

UM SISTEMA MULTI-CANAL RÁPIDO BASEADO EM LÓGICA
PROGRAMÁVEL

Herman Pessoa Lima Júnior

TESE SUBMETIDA AO CORPO DOCENTE DA COORDENAÇÃO DOS
PROGRAMAS DE PÓS-GRADUAÇÃO DE ENGENHARIA DA UNIVERSIDA-
DE FEDERAL DO RIO DE JANEIRO COMO PARTE DOS REQUISITOS
NECESSÁRIOS PARA OBTENÇÃO DO GRAU DE MESTRE EM CIÊNCIAS
EM ENGENHARIA ELÉTRICA.

Aprovada por:

Prof. José Manoel de Seixas, D.Sc.

Prof. Ademarlaudo França Barbosa, Ph.D.

Prof. Luiz Pereira Calôba, Dr.Ing.

Prof. Alexandre Santos de la Vega, D.Sc.

RIO DE JANEIRO, RJ - BRASIL
SETEMBRO DE 2001

LIMA JR, HERMAN

Um Sistema multi-canal rápido baseado
em lógica programável [Rio de Janeiro]
2001

XVII,114 pp 29,7 cm (COPPE/UFRJ,
M.Sc., Engenharia Elétrica, 2001)

Tese - Universidade Federal do Rio de
Janeiro, COPPE

1.Analisador-Multicanal 2.Dispositivo
Lógico Programável 3.Conversor
Analógico-Digital 4.Deteccção de raio-X
5.Detector a gás sensível a posição

I.COPPE/UFRJ II.Título (série)

Agradecimentos

Os meus agradecimentos são para todos aqueles que de alguma forma contribuíram para a conclusão deste trabalho. Abaixo tento listar todos, pedindo perdão para aqueles que possam ter sido omitidos por um pequeno lapso de memória.

Agradeço primeiramente a Deus, por ter me dado todas as chances e oportunidades, ao longo da minha vida, para que eu chegasse até aqui. Não basta só esforço pessoal e garra, sempre é necessário um conjunto de condições que permitam ao ser humano atingir seus objetivos.

Agradeço imensamente a minha mãe, Tais, por me ensinar desde cedo o precioso valor da educação e da cultura na vida de um indivíduo. É claro, também sou eternamente grato por ela ter me dado a vida e com muita sabedoria me ensinado como viver com liberdade e responsabilidade. Obrigado mãe! Também sou muito grato a minha avó Helena, que sempre ajudou muito na minha criação e educação.

Agradeço com grande fervor minha namorada, Marcia, por ter me apoiado desde o início da tese até sua conclusão. Agradeço pelo apoio e paciência que ela demonstrou em alguns momentos difíceis, onde minha vontade de desistir de tudo era inevitável. Um grande beijo!

Sou muito grato aos meus orientadores, Laudo (CBPF) e Seixas (COPPE), pela inestimável transferência de conhecimentos que me proporcionaram. Conhecimento e experiência não tem preço, e com certeza eles conseguiram me passar um pouco do que sabem, o que para mim significou muito. Obrigado!

Ao Germano, que com justiça, pode ser considerado um terceiro orientador e grande colega de trabalho. Muito do que está neste trabalho foi graças ao seu brilhantismo e a sua forte vocação para a eletrônica. Valeu Germanoel!

Ao Márcio e Aline, colegas do CBPF, por terem me apoiado nos momentos difíceis da tese, principalmente durante a época das matérias. Valioso apoio, obrigado!

Ao pessoal do LSD (Laboratório de Sistemas de Detecção) que me ajudou em partes deste trabalho. Ao Paulo, pelos ajustes precisos nos detectores e na eletrônica de pré-processamento e ao Luciano, pelo ótimo trabalho realizado nos programas de aquisição. Gratíssimo cabrones!

Ao pessoal do LPS (Laboratório de Processamento de Sinais) pelas ajudas inestimáveis durante época das matérias. Obrigado Caetano, Fábio e Rannieri!

A todas estas pessoas, sou muito grato. Espero poder retribuir a altura tudo o que fizeram por mim.

Resumo da Tese apresentada à COPPE/UFRJ como parte dos requisitos necessários para a obtenção do grau de Mestre em Ciências (M.Sc.)

UM SISTEMA MULTI-CANAL RÁPIDO BASEADO EM LÓGICA PROGRAMÁVEL

Herman Pessoa Lima Júnior

Setembro/2001

Orientadores: José Manoel de Seixas

Ademarlaudo França Barbosa

Programa de Engenharia Elétrica

Detectores sensíveis a posição para raio-X são utilizados em várias aplicações, de simples contadores até detectores bidimensionais para aquisição de imagens. Os sinais dos detectores, após um pré-processamento, são enviados ao sistema de aquisição de dados, em geral, um Analisador-Multicanal, ou MCA (*Multichannel Analyzer*). O MCA realiza uma análise das amplitudes do sinal de entrada, associando uma posição de memória a cada amplitude do sinal de entrada e incrementando o conteúdo desta posição a cada novo evento, formando, assim, um histograma. O objetivo deste trabalho foi projetar e implementar um MCA baseado em um conversor analógico-digital rápido de alta resolução e dispositivos lógicos programáveis. O MCA projetado possui 4096 canais de resolução, entrada de 0 a +10V e taxa de aquisição de 230 Ksps (*samples per second*). Para caracterizarmos o MCA, utilizamos uma fonte de ^{55}Fe e um detector a gás sensível a posição. A linearidade medida foi 0,2% e a homogeneidade 2,18%. Este desempenho é comparável a um MCA comercial, que apresenta taxa de 40 Ksps, 0,2% de linearidade e 1,58% de homogeneidade.

Abstract of Thesis presented to COPPE/UFRJ as a partial fulfillment of the requirements for the degree of Master of Science (M.Sc.)

A FAST MULTICHANNEL SYSTEM BASED ON PROGRAMMABLE LOGIC

Herman Pessoa Lima Júnior

September/2001

Advisors: José Manoel de Seixas

Ademarlaudo França Barbosa

Department: Electrical Engineering

Position sensitive detectors for X-ray particles are used in several applications, from simple counters to two-dimensional detectors for image acquisition. After some pre-processing stages, signals coming from the detectors are sent to a data acquisition system, usually a Multichannel-Analyzer (MCA). This device executes a pulse-height analysis of the input signal, assigning a memory location to each input signal amplitude and adding one unit to that memory content for each new event, building thus an histogram. The purpose of this work was to design and implement a MCA based on a fast and high resolution analog-to-digital converter and programmable-logic devices. The designed MCA has 4096 channels of resolution, 0 to +10V input range and an acquisition rate up to 230 Ksps (samples per second). In order to characterize this MCA, we used a ^{55}Fe source and a position sensitive detector. It was achieved a linearity of 0.2% and an homogeneity of 2.18%. This result is comparable to a commercial MCA, which has an acquisition rate of 40 Ksps, 0.2% of linearity and 1.58% of homogeneity.

Sumário

Lista de abreviaturas	xvi
1 Introdução	1
1.1 Ambiente de utilização do MCA	1
1.2 Motivação do trabalho	2
1.3 Roteiro da tese	3
2 Princípios de detecção de raios-X	5
2.1 Detecção de raio-X	5
2.1.1 Cadeia de aquisição geral	8
2.2 Detectores a gás sensíveis a posição - PSD	10
2.2.1 O detector de teste	11
2.2.2 Cadeia de aquisição específica para o detector de teste	13
2.3 Analisadores-multicanais	15
2.4 Aquisição bidimensional com o detector a gás sensível a posição	18
3 Projeto e Desenvolvimento	23
3.1 Introdução ao MCA desenvolvido	23
3.1.1 Especificações do projeto	23
3.1.2 Descrição geral do projeto	24
3.2 Circuito de disparo	26
3.3 O conversor analógico-digital AD976	29
3.4 Circuito de Controle	32
3.4.1 Circuito de Histogramação	34
3.4.2 Circuito decodificador de endereço	37
3.5 Projeto do circuito impresso	39

4	Resultados experimentais	41
4.1	Homogeneidade	41
4.1.1	Homogeneidade com o conversor AD1671KP	44
4.1.2	Homogeneidade com o conversor AD976ACN	51
4.2	Resolução	57
4.2.1	Resolução espacial do sistema de detecção	59
4.2.2	Resolução do MCA	61
4.3	Linearidade	63
4.4	Taxa de aquisição	67
4.5	Comparação com multicanal comercial	70
4.5.1	Homogeneidade	71
4.5.2	Resolução	75
4.5.3	Linearidade	75
4.5.4	Taxa de aquisição	80
5	Análise dos resultados e conclusão	82
5.1	Perspectivas	84
	Referências Bibliográficas	86
	Bibliografia	86
A	Conversores A/D	89
A.1	Definição	89
A.2	Arquiteturas de ADC's	90
A.2.1	<i>Flash</i>	90
A.2.2	Aproximação sucessiva	92
A.2.3	<i>Wilkinson</i>	93
A.2.4	Sigma-Delta	94
A.3	Especificações dos ADC's	95
A.3.1	Resolução	96
A.3.2	Tempo de conversão	96
A.3.3	Não-Linearidade Diferencial (DNL)	97
A.3.4	Não-Linearidade Integral (INL)	98

A.3.5	Erro de <i>offset</i>	98
A.3.6	Erro de ganho	98
B	Dispositivos lógicos programáveis	101
B.1	PLA (<i>Programmable Logic Arrays</i>)	101
B.2	PAL (<i>Programmable Array Logic</i>)	104
B.3	CPLD (<i>Complex Programmable Logic Device</i>)	106
C	Código em ABEL do deslocador de <i>bits</i>	110
D	Programa de interface com o usuário	112
E	Circuito do MCA	114

Lista de Figuras

2.1	Comparação entre as probabilidades de absorção de fótons por diferentes interações em 1 g/cm ² de Argônio.	7
2.2	Cadeia geral de aquisição para sistemas de detecção de radiação.	8
2.3	Pulso típico de um detector de radiação.	9
2.4	Detector a gás sensível a posição utilizado nos testes.	11
2.5	Esquema do Detector linear sensível à posição.	12
2.6	Célula de atraso da linha de retardo.	12
2.7	Circuito do pré-amplificador.	13
2.8	Esquema de condicionamento dos sinais provenientes da linha de retardo.	15
2.9	Elementos principais de um Analisador-Multicanal.	16
2.10	Esquema do catodo X&Y em um detector bidimensional de raio-X.	19
2.11	Corte transversal do detector sensível à posição bidimensional.	19
2.12	Diagrama em blocos da placa de aquisição bidimensional.	20
2.13	Exemplo de imagem gerada a partir de uma aquisição bidimensional.	21
3.1	Espectro utilizado no cálculo da resolução do detector.	24
3.2	Sinal de saída do TAC.	25
3.3	Esquema do Analisador-Multicanal desenvolvido.	25
3.4	Circuito de disparo do ADC.	27
3.5	Sinal do TAC e pulso de saída do comparador.	27
3.6	Temporização do Circuito de disparo do ADC.	29
3.7	Temporização da conversão do ADC AD976ACN com \overline{CS} mantido em nível baixo.	31
3.8	Malha de entrada do ADC com circuitos de Ganho e <i>Offset</i>	31
3.9	Curva característica do AD976.	32

3.10	Sinais de controle e barramentos do Circuito de Controle (CPLD).	33
3.11	Circuito de controle do sinal de <i>trigger</i> do ADC.	34
3.12	Deslocamento de <i>bits</i> do ADC (<i>Shift12</i>) e multiplexação do barramento de endereços (MA) da memória.	35
3.13	Histogramação dos eventos.	35
3.14	Circuito que gera os pulsos de leitura, incrementação e escrita para a memória (componente MAQUEST).	36
3.15	Soma, comunicação com o PC e geração dos sinais para a memória.	37
3.16	Processamento de um evento no detector.	38
3.17	Circuito de decodificação de endereços para o barramento ISA.	39
4.1	Exemplo de espectro de homogeneidade (acima), com ampliação de um trecho de interesse (abaixo).	42
4.2	Vista superior do aparato experimental para a medida de homogeneidade.	43
4.3	Sinal de entrada para o MCA.	45
4.4	Aparato experimental para a medida de homogeneidade na Configuração 1.	45
4.5	Resultado de homogeneidade do MCA para um sinal triangular de entrada e um <i>trigger</i> constante.	46
4.6	Histograma das contagens e o correspondente ajuste gaussiano para o sinal triangular da Configuração 1.	47
4.7	Espectro de homogeneidade para pulsos do TAC entre 3,6V e 7,2V, sem a utilização do detector de posição.	48
4.8	Histograma das contagens e o correspondente ajuste gaussiano para a Configuração 2.	48
4.9	Resposta do detector quando iluminado por uma fonte homogênea de raio-X (acima) e <i>zoom</i> da região atingida.	50
4.10	Histograma das contagens e o correspondente ajuste gaussiano para a resposta do detector a um feixe homogêneo de raio-X.	50
4.11	Resposta de homogeneidade para pulsos do TAC sem detector.	52
4.12	Histograma das contagens e ajuste gaussiano.	52

4.13	Resposta do detector quando iluminado por uma fonte homogênea de raio-X, para 1024 canais.	54
4.14	Histograma das contagens e ajuste gaussiano para 1024 canais.	54
4.15	Resposta do detector quando iluminado por uma fonte homogênea de raio-X, para 2048 canais.	55
4.16	Histograma das contagens e ajuste gaussiano para 2048 canais.	55
4.17	Resposta do detector quando iluminado por uma fonte homogênea de raio-X, para 4096 canais.	56
4.18	Histograma das contagens e ajuste gaussiano para 4096 canais.	56
4.19	Vista superior do experimento de medida de resolução espacial.	59
4.20	Resposta do detector de teste à iluminação através de uma máscara de calibração, para o MCA projetado.	60
4.21	Linearidade do sistema de detecção, obtida a partir da iluminação do detector através de uma máscara de calibração.	60
4.22	Ajuste gaussiano do pico mais central do espectro da Figura 4.20.	61
4.23	Aparato experimental para a medição da resolução do MCA.	62
4.24	Resultados experimentais obtidos através de pulsos do TAC com amplitude fixa de 1,5V, para 1024, 2048 e 4096 canais. Veja o texto.	64
4.25	Resultados experimentais obtidos através de pulsos do TAC com amplitude fixa de 5,0V, para 1024, 2048 e 4096 canais. Veja o texto.	65
4.26	Resultados experimentais obtidos através de pulsos do TAC com amplitude fixa de 8,5V, para 1024, 2048 e 4096 canais. Veja o texto.	66
4.27	Sinal de conversão do ADC (superior) e pulso de habilitação da memória (inferior).	68
4.28	Taxa de aquisição (a), em 1024 canais, para diferentes frequências de entrada (10kHz a 300kHz) e erro relativo (b), entre as taxas real e medida pelo MCA.	69
4.29	Taxa de aquisição (a), em 4096 canais, para diferentes frequências de entrada (10kHz a 300kHz) e erro relativo (b), entre as taxas real e medida pelo MCA.	70

4.30	Espectro de homogeneidade (a), ampliação da região atingida (b) e histograma com respectivo ajuste gaussiano das contagens (c), para o MCA desenvolvido (à esquerda) e o MCA comercial (à direita), com resolução de 1024 canais.	72
4.31	Espectro de homogeneidade (a), ampliação da região atingida (b) e histograma com respectivo ajuste gaussiano das contagens (c), para o MCA desenvolvido (à esquerda) e o MCA comercial (à direita), com resolução de 2048 canais.	73
4.32	Espectro de homogeneidade (a), ampliação da região atingida (b) e histograma com respectivo ajuste gaussiano das contagens (c), para o MCA desenvolvido (à esquerda) e o MCA comercial (à direita), com resolução de 4096 canais.	74
4.33	Resolução do MCA proposto (à esquerda) e do MCA comercial (à direita), para um sinal de entrada de 1,5V de amplitude em 1024, 2048 e 4096 canais.	76
4.34	Resolução do MCA proposto (à esquerda) e do MCA comercial (à direita), para um sinal de entrada de 5,0V de amplitude em 1024, 2048 e 4096 canais.	77
4.35	Resolução do MCA proposto (à esquerda) e do MCA comercial (à direita), para um sinal de entrada de 8,5V de amplitude em 1024, 2048 e 4096 canais.	78
4.36	Espectro de linearidade, para o MCA desenvolvido, obtido através da iluminação do detector através de uma máscara com fendas.	79
4.37	Aproximação linear para os picos do espectro de linearidade do MCA desenvolvido.	79
4.38	Espectro de Linearidade (a) e aproximação linear dos picos (b), para o MCA comercial.	80
5.1	Versão final do Analisador-Multicanal.	84
A.1	Função de transferência de um ADC unipolar	89
A.2	Arquitetura <i>Flash</i>	91
A.3	Arquitetura do ADC de Aproximação Sucessiva	92

A.4	Arquitetura <i>Wilkinson</i>	93
A.5	Arquitetura Sigma-Delta	94
A.6	Não-Linearidade Diferencial (DNL)	97
A.7	Espectros com homogeneidade boa (< 1%) (a) e ruim (> 10%) (b) devido à Não-Linearidade Diferencial(DNL) do ADC	98
A.8	Não-Linearidade Integral (INL) de um ADC de 8 <i>bits</i>	99
A.9	Erro de <i>Offset</i>	99
A.10	Erro de Ganho	100
B.1	Dispositivo Lógico Programável (PLD)	102
B.2	Estrutura geral de um PLA	103
B.3	Exemplo de aplicação com um dispositivo PLA	103
B.4	Arquitetura de um dispositivo PAL	104
B.5	Macro célula de um PAL	105
B.6	Arquitetura interna de um CPLD	106
B.7	Seção de um CPLD	108
C.1	Código fonte (em ABEL) do deslocador de <i>bits</i> (<i>Shift12</i>)	110
D.1	Janela ativa do programa Acq1D	113

Lista de Tabelas

4.1	Resultados de não-homogeneidade do MCA, com o ADC976ACN, utilizando o valor RMS e o modelo gaussiano.	57
4.2	Resultados de não-homogeneidade do MCA, com o ADC976ACN, utilizando o valor RMS e o modelo gaussiano, retirando o erro estatístico.	57
4.3	Resultados de não-homogeneidade do MCA, para os dois ADC's testados, de acordo com o valor RMS e o modelo gaussiano.	58
4.4	Valor RMS para a resolução do sinal do TAC, utilizando o ADC AD976ACN.	63
4.5	Erro relativo da resolução do sinal do TAC para o ADC AD976ACN. Vide o texto.	63
4.6	Não-homogeneidade do MCA desenvolvido e do MCA comercial. . . .	71
4.7	Valor RMS do teste de resolução, para os MCA's proposto e comercial, aplicando um sinal de entrada com amplitudes constantes de 1,5V, 5,0V e 8,5V.	75

Lista de abreviaturas

ADC - Analog-to-Digital Converter
CAMAC - Computer Automated Measurement and Control
CMOS - Complementary Metal Oxide Silicon
CPLD - Complex Programmable Logic Device
DAC - Digital-to-Analog Converter
DNL - Differential Non-Linearity
DSP - Digital Signal Processor
FPGA - Field Programmable Gate Array
HDL - Hardware Description Language
IMD - Inter-Modulation Distortion
INL - Integral Non-Linearity
ISA - Industry Standard Architecture
LLD - Lower-Level Discriminator
LSB - Least Significant Bit
MCA - Multi-Channel Analyzer
NIM - Nuclear Instrument Module
PAL - Programmable Array Logic
PC - Personal Computer
PHA - Pulse Height Analysis
PLA - Programmable Logic Array
PLD - Programmable Logic Device
PSD - Position Sensitive Detector
RGB - Red Green Blue
RMS - Root Mean Square
ROI - Region Of Interest

SCA - Single-Channel Analyzer

SNR - Signal-to-Noise Ratio

SRAM - Static Random Access Memory

TAC - Time-to-Amplitude Converter

TDC - Time-to-Digital Converter

THD - Total Harmonic Distortion

TTL - Transistor-Transistor Logic

ULD - Upper-Level Discriminator

VHDL - Very high speed integrated circuit HDL

Capítulo 1

Introdução

Neste capítulo, introduzimos o ambiente, em física de partículas, no qual se inserem o Detector Sensível a Posição (PSD) e o Analisador-Multicanal (MCA). Apresentamos os motivos que nos levaram a pensar e desenvolver um novo modelo de MCA e os objetivos que conseguimos alcançar, bem como a metodologia utilizada neste trabalho.

1.1 Ambiente de utilização do MCA

No estudo de física de partículas, diversos tipos de detectores de radiação são utilizados na captura e identificação de fótons, neutrons, múons, entre outras partículas. O princípio básico de funcionamento dos detectores consiste na interação da radiação incidente com o meio detector, ou seja, nos mecanismos fundamentais que levam uma certa forma de radiação a interagir e perder energia para a matéria. Dentre os diversos detectores que existem, o Detector Sensível a Posição é de particular interesse para este trabalho. Como o próprio nome diz, o PSD é um detector utilizado para contar e determinar a posição de incidência de uma partícula. Este tipo de detector pode ser construído para localização unidimensional ou bidimensional de partículas. No primeiro caso, o resultado de uma experiência de detecção é um espectro, onde, em geral, expressamos a quantidade de partículas incidentes em função da posição ou energia das partículas. Desta forma, podemos obter informações sobre a natureza e a intensidade da radiação incidente.

Uma vez detectada a partícula, é necessário condicionar os sinais elétricos do

detector, de forma que estes possam ser medidos, armazenados e visualizados por algum sistema digital de aquisição de dados. Em geral, os sinais elétricos gerados no detector são rápidos e de baixa amplitude, o que impede que sejam diretamente medidos pelo sistema de aquisição. Os sinais são, inicialmente, pré-processados por módulos eletrônicos que podem ser pré-amplificadores, amplificadores lineares, discriminadores, conversores, entre outros. A maior parte deste pré-processamento analógico, em geral, é realizada por módulos padrões de eletrônica nuclear, como o NIM (*Nuclear Instrument Module*) ou o CAMAC (*Computer Automated Measurement and Control*). Estes módulos são interconectados, formando uma cadeia de processamento dos sinais do detector. Ao final do estágio de pré-processamento, diremos que os sinais foram condicionados, ou seja, transformados para algum formato compatível com o sistema de aquisição. No presente trabalho, o sinal condicionado é um pulso de amplitude variável, onde cada amplitude corresponde a uma posição de incidência da partícula na janela ativa do detector.

Considerando um sistema completo para detecção de radiação (detector, pré-processamento e sistema de aquisição dados), o sistema de aquisição é a etapa final na cadeia de aquisição. Este é o ponto onde se insere o Analisador-Multicanal, objeto deste trabalho. A função do MCA é, basicamente, digitalizar e armazenar o pulso de amplitude variável, vindo do estágio de pré-processamento. O MCA desempenha um importante papel em física nuclear, uma vez que, em vários tipos de experimentos, a amplitude do sinal de saída do detector carrega toda a informação de posição ou de energia da partícula incidente. Para realizar sua função, o MCA produz histogramas das amplitudes do pulso, associando cada amplitude a uma determinada posição de memória. Nesta posição, será armazenado o número de vezes em que a amplitude ocorreu, durante um período de tempo. A informação armazenada no MCA pode ser transferida para um computador e visualizada/analísada, através de um *software* de interface com o usuário.

1.2 Motivação do trabalho

Analisadores-Multicanais já são utilizados há alguns anos em física de partículas. À medida que a tecnologia dos semicondutores e dos computadores avança, novos

modelos de MCA's surgem no mercado, fazendo uso destas novas tecnologias. Os modelos mais novos, em geral, fazem uso dos computadores pessoais como equipamento de interface, para a visualização dos resultados. O que observamos, por outro lado, é que os MCA's disponíveis atualmente apresentam dois pontos negativos: velocidade e custo. O que nos motivou a desenvolver este projeto foi a possibilidade de implementar um MCA de alta velocidade e baixo custo, utilizando dispositivos lógicos programáveis e conversores analógico-digitais (ADC's) rápidos.

Os dispositivos lógicos programáveis, ou PLD's (*Programmable Logic Devices*), são dispositivos integrados que permitem o projeto e a implementação de circuitos digitais, a partir de uma descrição de sua funcionalidade, via *software*. O uso de PLD's no projeto, diminuiu a possibilidade de falha no processamento digital, a complexidade de projeto (em relação a projetos com microprocessadores) e aumentou a velocidade do processamento. Outros fatores importantes para o sucesso deste trabalho foram o aumento significativo na relação velocidade-resolução dos conversores analógico-digital, e a velocidade de acesso das memórias estáticas (SRAM - *Static Random Access Memory*).

Fazendo uso dos PLD's e de ADC's rápidos, conseguimos projetar e implementar um novo modelo de Analisador-Multicanal cuja taxa de aquisição de eventos atingiu 200 mil eventos por segundo, a uma resolução de 4096 canais. Para uma primeira caracterização do MCA, utilizamos os detectores a gás sensíveis a posição para os testes de homogeneidade, que revelaram resultados abaixo de 1,0% de não-homogeneidade. Realizamos, também, testes comparativos entre o nosso MCA e um modelo comercial que utiliza microprocessador em seu circuito. Os resultados demonstraram que, apesar da menor complexidade do nosso projeto em relação ao modelo comercial, o desempenho de ambos os MCA's foi equivalente na maioria das medidas.

1.3 Roteiro da tese

O próximo capítulo aborda alguns princípios básicos da física de partículas e sua detecção. Descreveremos os principais processos de interação do raio-X com a matéria (efeito fotoelétrico, efeito Compton e produção de pares). A seguir,

abordaremos os detectores a gás sensíveis a posição, apresentando sua arquitetura e funcionamento. O tópico seguinte é o condicionamento dos sinais do detector, onde explicamos as três etapas envolvidas no pré-processamento dos sinais: pré-amplificação, discriminação e conversão tempo-amplitude. Nos dois últimos tópicos deste capítulo, explicamos o que é um Analisador-Multicanal, mostrando seu diagrama em blocos, e como funciona um sistema de aquisição bidimensional, que utiliza os mesmos princípios da aquisição unidimensional.

No Capítulo 3, descrevemos todo o projeto e funcionamento do MCA desenvolvido neste trabalho. Partindo de uma visão geral do MCA desenvolvido, passamos a uma abordagem detalhada de cada bloco do circuito. Estes blocos são: circuito de disparo (realiza o *trigger* do ADC), conversão analógico-digital e circuito de controle, que envolve o circuito de histogramação e de decodificação de endereços da placa.

O Capítulo 4 contém os resultados experimentais obtidos com o MCA. Caracterizamos o MCA quanto à homogeneidade, linearidade, taxa de aquisição e resolução. Mostramos, também, alguns resultados comparativos entre o MCA projetado e um modelo comercial.

No Capítulo 5 apresentamos a conclusão do trabalho e as perspectivas para o futuro.

O Apêndice A fornece uma introdução aos conversores analógico-digital, descrevendo quatro arquiteturas típicas: *Flash*, Aproximação Sucessiva, *Wilkinson* e Sigma-Delta. Para cada arquitetura, apresentamos as vantagens e desvantagens na sua utilização em um MCA. Apresentamos, também, as principais especificações dos ADC's e suas implicações no projeto de um Analisador-Multicanal.

No Apêndice B descrevemos um pouco da arquitetura e da funcionalidade dos dispositivos lógicos programáveis mais simples até os CPLD's (*Complex Programmable Logic Devices*).

O Apêndice C contém o código fonte, em ABEL-HDL, do Deslocador de Bits implementado na CPLD.

O Apêndice D comenta, em linhas gerais, o *software* de interface com o usuário do MCA.

Capítulo 2

Princípios de detecção de raios-X

Neste capítulo apresentamos os princípios básicos em detecção de raio-X, dando ênfase à detecção de posição, onde explicamos a arquitetura e o funcionamento dos detectores sensíveis a posição. Um bom material nestes assuntos é encontrado nas referências [1], [2] e [3]. Abordamos também as etapas de pré-processamento (ou condicionamento) dos sinais dos detectores e de aquisição de dados, para uma dimensão (Analisadores-Multicanais) e duas dimensões (Aquisição Bidimensional).

2.1 Detecção de raio-X

As radiações naturais são originadas em processos atômicos ou nucleares. Elas são divididas em duas categorias principais: radiação de partículas com carga elétrica e radiação sem carga. A radiação de partículas com carga inclui elétrons rápidos (partículas beta emitidas em decaimentos nucleares e elétrons energéticos) e partículas pesadas carregadas (prótons, partículas alfa, íons pesados e mésons), enquanto que a radiação sem carga se divide em radiação eletromagnética (visível, ultra-violeta, raios-X e raios gama) e neutrons. Todas estas formas de radiação produzidas por fontes naturais podem ser detectadas por algum tipo específico de detector ou processo de detecção, que se diferenciam basicamente em função da energia emitida pela radiação a detectar. A faixa de energia vai de alguns elétrons-volts (eV) a alguns milhões de elétrons-volts (MeV), sendo 1 elétron-volt definido como a energia cinética adquirida por um elétron quando acelerado através de uma diferença de potencial de 1 volt.

A maioria dos métodos de detecção faz uso da ionização ou excitação produzidas em um meio detector, como resultado da absorção de toda ou parte da energia da partícula emitida pela fonte. No caso de partículas carregadas, a ionização e a excitação são produzidas diretamente pela interação do campo eletromagnético da partícula com os elétrons do meio detector, sendo a ionização e excitação resultantes distribuídas ao longo da trajetória do centro da partícula. No caso de partículas sem carga, como fótons de raios-X e raios gama, a partícula tem que passar primeiro por algum processo, como uma interação fotoelétrica ou interação Compton, que venha a transferir toda ou parte da sua energia para um elétron, que por sua vez irá produzir uma trajetória de ionização ou excitação.

Fótons perdem energia na matéria através de três processos principais:

1. efeito fotoelétrico;
2. efeito Compton;
3. produção de pares.

No efeito fotoelétrico, toda a energia do fóton é transferida para um elétron, causando o desaparecimento do fóton original. Se o processo ocorrer com um elétron da camada K do átomo, que é o mais provável de acontecer na faixa de energia relativa aos raios-X, a energia cedida ao fotoelétron por um fóton de energia $h\nu$ será

$$h\nu - E_b^K \quad (2.1)$$

onde E_b^K é a energia do elétron da camada K. Isto é seguido por uma desexcitação do átomo, com a emissão de um ou mais fótons de energia total menor do que E_b^K . Estes podem escapar do meio detector, mas devido à baixa energia que os caracteriza, são reabsorvidos em outros processos fotoelétricos. Deste modo, o fóton K pode interagir com um elétron da camada L, de um outro átomo, que por sua vez perderá a excitação, gerando um fóton L. Este último será provavelmente reabsorvido com uma eventual emissão de um fóton de energia ainda mais baixa. Após esta rápida sequência de eventos, uma família completa de fotoelétrons são produzidos com uma energia total próxima à energia do fóton original $h\nu$. Qualquer fóton pode também escapar do meio detector ou passar por um processo Compton, ao invés do efeito fotoelétrico. O efeito Compton só tem probabilidade significativa de ocorrer quando

a energia do fóton é muito maior do que a energia do elétron ligado aos átomos. A Figura 2.1 mostra a probabilidade de ocorrência dos três processos de interação de raio-X com a matéria, em função da energia do fóton [4]. No efeito Compton

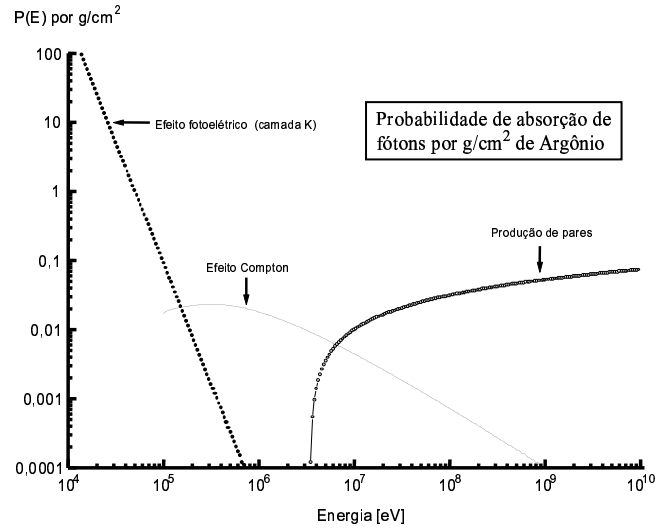


Figura 2.1: Comparação entre as probabilidades de absorção de fótons por diferentes interações em 1 g/cm² de Argônio.

somente parte da energia do fóton é transferida para um elétron, sendo o fóton defletido. O ângulo no qual o fóton é espalhado pode assumir qualquer valor e a energia cedida ao elétron correspondente tem uma distribuição de 0 a E_{\max} . O valor de E_{\max} é dado por

$$E_{\max} = \frac{2(h\nu)^2}{m_0c^2 + 2h\nu} \quad (2.2)$$

A produção de pares ocorre somente se o fóton tiver energia acima de $2m_0c^2$. Neste caso, o fóton original desaparece e o par elétron-pósitron carrega a energia em excesso $h\nu - 2m_0c^2$. O elétron e o pósitron perdem energia através das colisões e eventualmente são extintos. O pósitron, então, se aniquila com um elétron vizinho e, juntos, emitem uma radiação característica da aniquilação, um par de raios gama, cada um de energia $m_0c^2 (= 511keV)$, que são emitidos em direção opostas. Um ou ambos os raios podem ser absorvidos por processo fotoelétrico ou Compton, de modo que a energia total cedida ao meio detector pode variar muito.

Na próxima seção, descreveremos as considerações gerais sobre um sistema típico para detecção de radiação.

2.1.1 Cadeia de aquisição geral

Os sistemas de medidas utilizados em detecção de radiação executam, tipicamente, uma das seguintes tarefas: contar pulsos (eventos) do detector ou realizar análise de altura dos pulsos. Sistemas simples de contagem não necessitam de muitos componentes para sua implementação. A cadeia de aquisição, neste caso, é formada pelo detector, um pré-amplificador, um amplificador e um contador. Nos sistemas que realizam análise de altura de pulsos, a cadeia de aquisição apresenta maior complexidade, em virtude da resolução em energia do detector. Se a resolução em energia do detector é baixa, as exigências do sistema de medição são pequenas. Por outro lado, detectores com grande resolução em energia exigem maior atenção para evitar degradação da resolução. O diagrama em blocos da Figura 2.2 ilustra a cadeia geral de aquisição para qualquer tipo de sistema.

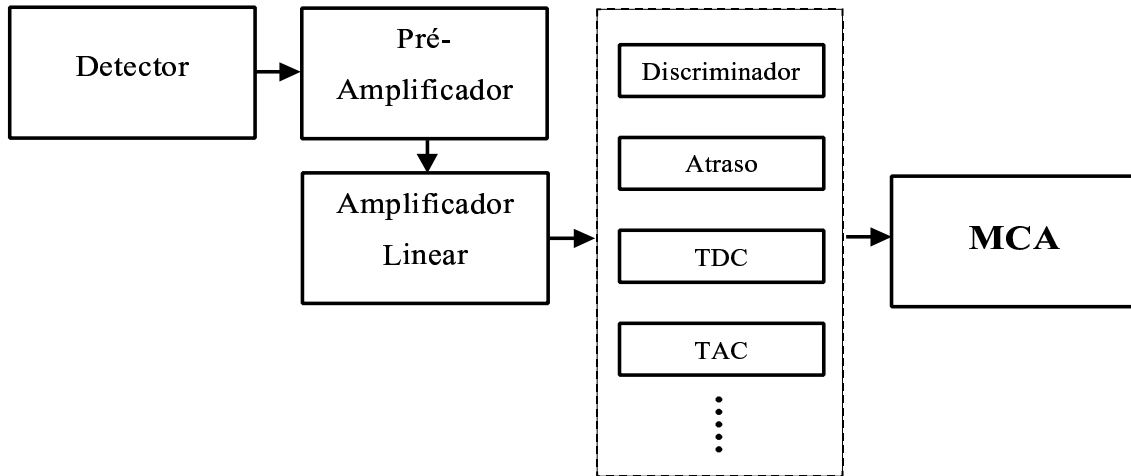


Figura 2.2: Cadeia geral de aquisição para sistemas de detecção de radiação.

O primeiro elemento da cadeia de aquisição, o pré-amplificador, é indispensável em qualquer aplicação de radiação. O pré-amplificador é utilizado para fornecer um primeiro ganho ao sinal de saída do detector, Figura 2.3, que é proporcional à carga liberada pela radiação incidente. Na maioria dos detectores, a carga é tão pequena que se torna impossível enviar o sinal diretamente a qualquer outro estágio sem uma pré-amplificação. Existem dois tipos básicos de pré-amplificação: de tensão e de carga. A principal diferença entre ambas é que, para o pré de carga, a amplitude do pulso de saída é independente da capacitância de entrada (capacitância do detector). Para detectores que podem apresentar variação em sua capacitância,

o pré de carga se mostra muito superior, já que a amplitude do pulso de saída dependerá somente de uma capacitância de realimentação interna do pré-amplificador. Em qualquer configuração de pré-amplificador, sua saída é sempre um pulso de amplitude linearmente proporcional e com um certo ganho em relação à amplitude de entrada.

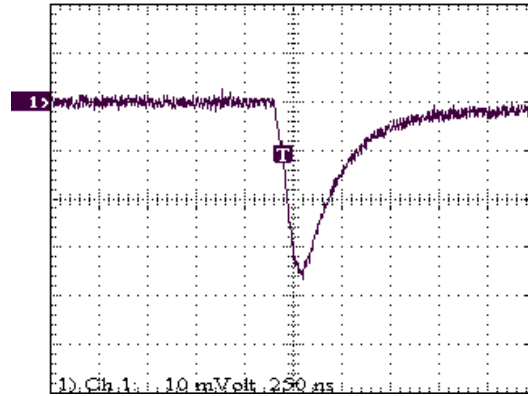


Figura 2.3: Pulso típico de um detector de radiação.

O amplificador linear é utilizado, basicamente, para duas funções: formatação e amplificação do sinal de saída do pré-amplificador. O fator de amplificação, ou ganho, varia muito em virtude da aplicação, mas tipicamente assume um valor entre 100 e 5000, [1]. Em geral, o amplificador ajusta o sinal para um formato compatível com o próximo módulo de processamento.

Além do pré-amplificador e do amplificador linear, que são típicos em qualquer cadeia de aquisição, outros módulos de pré-processamento podem ser utilizados em um sistema de detecção. Estes módulos, em geral, seguem algum padrão de instrumentação nuclear, como NIM ou CAMAC. Os módulos mais comuns são: Discriminador, Atraso, Conversor Tempo-Digital (TDC) e Conversor Tempo-Amplitude (TAC). Estes módulos podem ser utilizados em várias configurações diferentes na cadeia de aquisição, dependendo da necessidade da aplicação. Os discriminadores têm, basicamente, a função de separar sinais válidos de ruído ou de sinais inválidos. O módulo de atraso impõe um atraso temporal no sinal de entrada. O conversor tempo-digital produz na sua saída um código digital que é proporcional ao intervalo de tempo entre dois pulsos de entrada. O conversor tempo-amplitude é semelhante ao TDC, porém, produz um pulso analógico de tensão na saída, cuja amplitude é proporcional ao intervalo de tempo entre dois pulsos de entrada. Na seção 2.2.1

descreveremos alguns destes módulos em mais detalhes.

2.2 Detectores a gás sensíveis a posição - PSD

Existem diversos tipos de detectores de radiação: os detectores a gás, os detectores semicondutores, os detectores à cintilação e o detector Cherenkov. Cada um é destinado a uma determinada aplicação e se diferencia, principalmente, quanto ao meio detector empregado.

Conforme mencionado na seção 2.1, a interação mais provável para fótons de raio-X é o efeito fotoelétrico. O resultado básico desta interação é a produção de fotoelétrons, que representam efetivamente a possibilidade de se gerar um sinal elétrico observável.

Para isto, nos detectores a gás se estabelece um campo elétrico capaz de acelerar os fotoelétrons em direção a um eletrodo. No processo de aceleração, os fotoelétrons, desde que o campo elétrico seja suficientemente elevado, podem adquirir energia suficiente para ionizar moléculas de gás, produzindo mais elétrons e íons positivos. Nesse caso, é gerada uma avalanche de carga elétrica, já que os elétrons secundários também ionizam moléculas. A avalanche termina quando todos os elétrons gerados são colhidos pelo eletrodo positivo. Os íons positivos restantes são colhidos no eletrodo oposto, assim, é gerado um sinal elétrico de magnitude observável.

Os detectores a gás que operam nesse regime são chamados de contadores proporcionais, em alusão ao fato de que a amplitude do sinal observado é proporcional à energia da partícula detectada e ao campo elétrico aplicado entre os eletrodos.

Os contadores proporcionais são preferencialmente construídos em formato cilíndrico, sendo a superfície interna do cilindro o elemento catodo e um fio centralizado neste cilindro o elemento anodo. A diferença básica entre os contadores proporcionais e os detectores sensíveis à posição é que neste último aumenta-se o comprimento do elemento anodo. Isto permite a determinação da posição de incidência de fótons ao longo do fio anodo, ao contrário do contador proporcional, que só permite detectar a avalanche causada pela incidência dos fótons. Na geometria cilíndrica, os elétrons internamente tendem a se orientar ao longo das linhas de cam-

po radiais de tal maneira que a posição da avalanche é um bom indicador da posição axial na qual o par de íons original foi formado.

Os detectores a gás sensíveis à posição são, portanto, uma variação dos contadores proporcionais. Como o próprio nome diz, são detectores especializados não apenas na contagem de fótons de raios-X, mas também na localização espacial destes fótons. São utilizados na detecção de raios-X na faixa de 1 keV a 100 keV, onde o efeito fotoelétrico é a interação mais provável de ocorrer entre fótons e matéria.

2.2.1 O detector de teste

Neste trabalho, utilizamos um detector a gás sensível a posição, Figura 2.4, para caracterizar o MCA. Seu princípio de funcionamento é semelhante ao do contador proporcional cilíndrico, explicado nos parágrafos anteriores. Entretanto, a fim de propiciar a localização de partículas, a geometria é ligeiramente alterada. Na Fi-

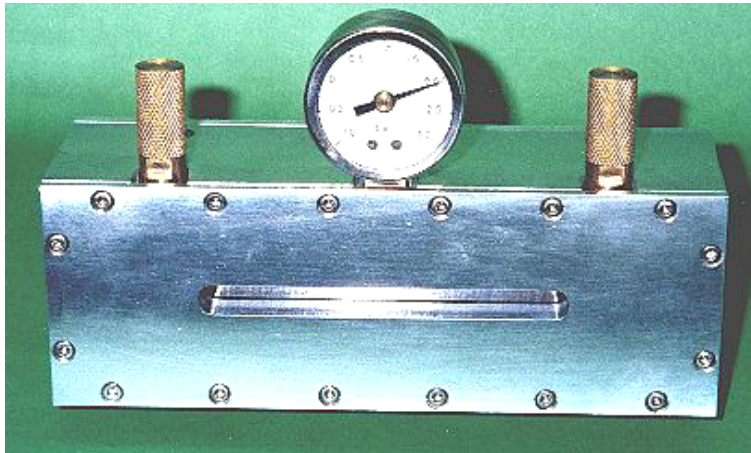


Figura 2.4: Detector a gás sensível a posição utilizado nos testes.

gura 2.5, mostramos um esboço da célula de detecção do detector usado no presente trabalho. Nota-se que o elemento catodo é discretizado, e uma linha de retardo é incluída. Esta discretização do elemento catodo em placas condutoras e a utilização de uma linha de retardo associada permite que a avalanche gerada pelos fótons de raios-X seja localizada.

O sinal induzido no catodo, por uma avalanche localizada no anodo, é direcionado a uma linha de retardo, permitindo que a posição de incidência do fóton seja estimada a partir do tempo que o sinal leva para atingir cada extremidade da linha. A linha de retardo é formada por várias células de atraso ligadas em série. Cada

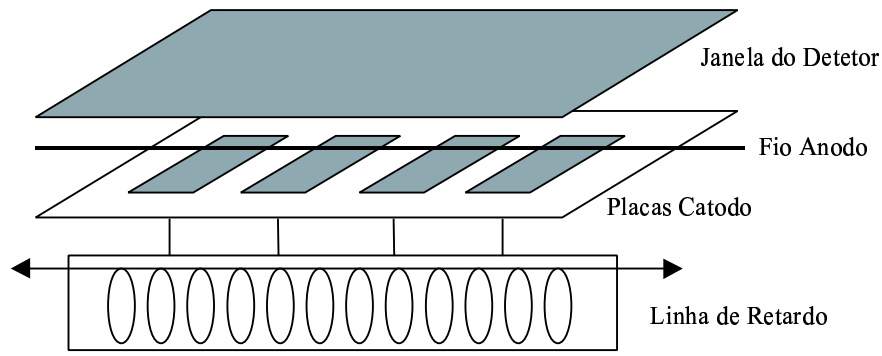


Figura 2.5: Esquema do Detetor linear sensível à posição.

célula de atraso é composta por capacitores e um indutor, em configuração π , como mostra a Figura 2.6. Para sinais cuja banda de frequência seja muito menor que a

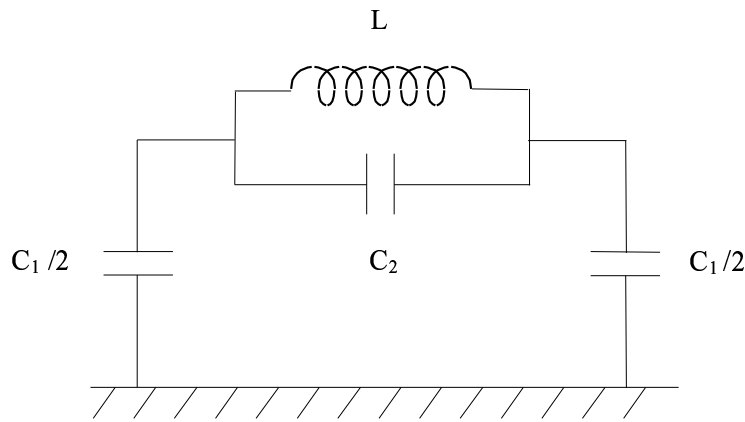


Figura 2.6: Célula de atraso da linha de retardo.

frequência de corte do circuito, $w \ll w_c$, onde w_c é a frequência de corte dada por $2/\sqrt{LC_1}$, o atraso que o circuito 2.6 impõe à propagação de um sinal e a impedância vista pelo sinal são dados, respectivamente, por:

$$\tau = \sqrt{LC_1} \quad (2.3)$$

$$Z = \sqrt{\frac{L}{C_1}} \quad (2.4)$$

Desta forma, o sinal elétrico induzido pela avalanche percorre a linha nos dois sentidos e chega nas extremidades com um atraso proporcional ao número de células que percorreu.

Os sinais coletados nas extremidades da linha de retardo são pré-amplificados e enviados a um conversor tempo-amplitude (*TAC - time to amplitude converter*)

que gera um pulso de amplitude de saída proporcional à diferença de tempo entre dois sinais de entrada. As etapas de processamento de sinal posteriores à linha de retardo e anteriores ao sistema de aquisição de dados são chamadas de etapas de condicionamento dos sinais e serão discutidas na próxima seção.

2.2.2 Cadeia de aquisição específica para o detector de teste

Os sinais provenientes da linha de retardo, antes de serem enviados ao Analisador-Multicanal, passam por três etapas de condicionamento:

1. Pré-amplificação;
2. Discriminação;
3. Conversão tempo-amplitude.

A pré-amplificação dos sinais elétricos provenientes da linha de retardo tem por objetivo amplificar a amplitude destes sinais para níveis de tensão mais facilmente discrimináveis. O pré-amplificador utilizado, que pode ser visto na Figura 2.7, consiste de 4 estágios amplificadores conectados em cascata e construídos a partir de transistores bipolares ligados em configuração emissor-comum. Estes estágios amplificam o sinal de entrada, produzindo na saída sinais de tensão tipicamente acima de $V_{saída} = 100mV$. Além dos estágios de ganho, o pré-amplificador ainda possui um estágio de entrada de alta impedância, que utiliza um transistor FET, e um estágio de saída que garante o fornecimento de corrente para cargas de baixa impedância (50Ω). Após a etapa de pré-amplificação, os sinais são enviados a

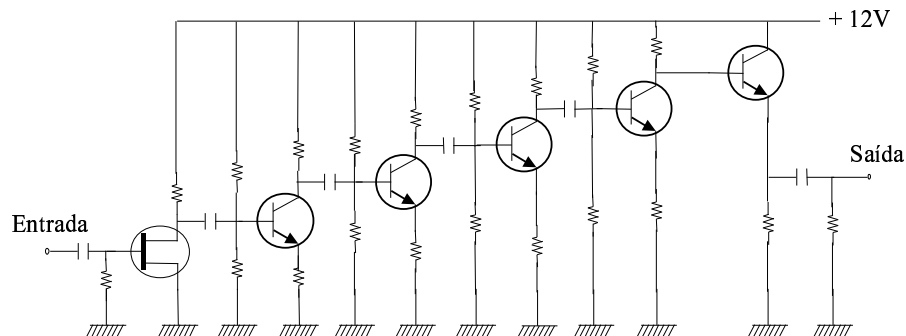


Figura 2.7: Circuito do pré-amplificador.

circuitos discriminadores que têm a função de separar os sinais correspondentes a

eventos válidos do ruído de fundo presente no pré-amplificador. Utilizamos o discriminador do tipo *Constant Fraction* como separador do ruído e como *trigger* do sinal do detector. Os discriminadores mais comuns, que são chamados de *Leading Edge*, utilizam um nível fixo de tensão de comparação (*threshold*). No instante em que o sinal de entrada ultrapassa o valor do *threshold*, um pulso lógico é gerado na saída do discriminador. Utilizando outro princípio de operação, o discriminador do tipo *Constant Fraction* gera o pulso de saída no instante em que o sinal de entrada atinge uma fração constante de sua amplitude máxima. Este tipo de discriminação reduz os erros que comprometem a precisão temporal do sistema. Na técnica de *Constant Fraction*, o sinal de entrada é atrasado e uma fração do sinal original é subtraído do sinal atrasado. Este processo produz um sinal bipolar, de modo que o instante em que este sinal cruza o zero é utilizado para produzir o pulso de saída. O atraso do sinal de entrada é configurado externamente ao discriminador, utilizando-se um módulo NIM de retardo.

A última etapa de condicionamento é realizada pelo Conversor Tempo-Amplitude (*Time-to-Amplitude Converter(TAC)*). A função do TAC é medir o intervalo de tempo entre dois pulsos lógicos, denominados START e STOP, e gerar na saída um pulso analógico de tensão cuja amplitude é diretamente proporcional ao intervalo de tempo medido. Este processo é realizado carregando-se um capacitor com uma tensão constante durante o intervalo de tempo entre os pulsos de START e STOP. Sendo assim, a carga armazenada no capacitor é diretamente proporcional ao intervalo de tempo entre os pulsos lógicos. A tensão de saída do TAC é coletada nos terminais do capacitor de carga. Nos TAC's comerciais, o intervalo de tempo entre START e STOP pode variar de dezenas de *ns* a alguns *s*. Como os sinais provenientes das duas extremidades da linha de retardo sofrem atrasos diferentes (salvo se a avalanche ocorrer exatamente no meio da linha), cada evento que ocorrer no detector corresponderá a um valor diferente de tensão na saída do TAC. Caso o evento ocorra exatamente no meio da linha de retardo, a diferença de tempo entre os pulsos de START e STOP será igual a zero. Além disso, intervalos de tempo negativos seriam medidos caso o pulso de STOP ocorresse antes do START. Para contornar este problema, é inserido no caminho do sinal de STOP, um módulo de atraso entre o discriminador e o TAC. Este atraso é ajustado para um valor acima do

atraso total da linha. Desta forma, a diferença entre a chegada do sinal de START e o de STOP nunca será menor ou igual a zero. A Figura 2.8 mostra o diagrama em blocos do do sistema de detecção, incluindo os módulos de condicionamento do sinal.

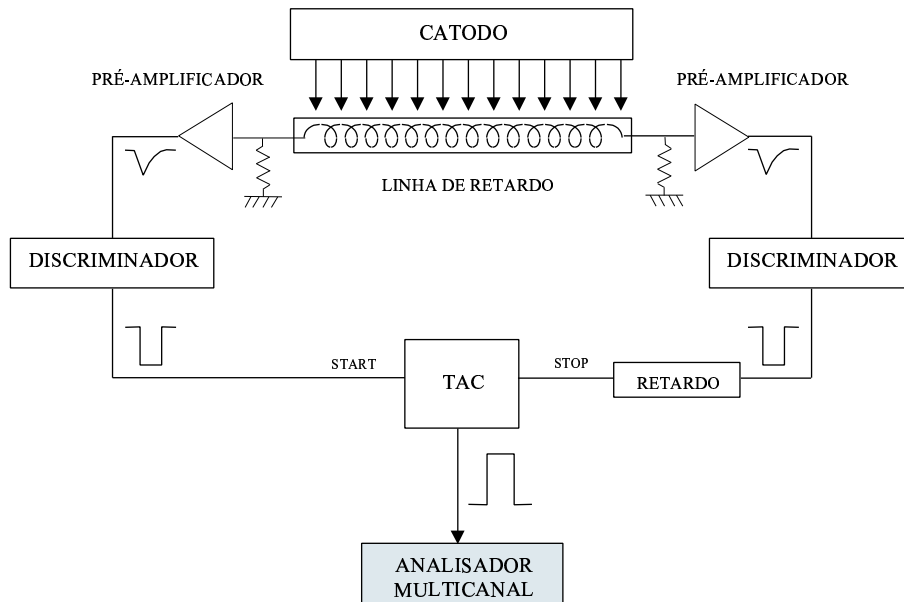


Figura 2.8: Esquema de condicionamento dos sinais provenientes da linha de retardo.

2.3 Analisadores-multicanais

Quando medimos a altura dos pulsos provenientes dos detectores de radiação, extraímos informações a respeito da natureza da radiação incidente e a respeito do próprio detector. A análise de altura de pulsos (*Pulse Height Analysis - PHA*) é de importância primordial na área de física nuclear experimental.

Um dos primeiros equipamentos desenvolvidos para realizar a análise de altura de pulsos foi o Analisador de um único canal (*Single-Channel Analyzer - SCA*). A função básica de um SCA é gerar um pulso lógico de saída quando amplitude do sinal de entrada se localizar dentro de uma janela de tensão, definida por dois níveis pré-ajustados. Estes dois níveis de tensão são chamados de LLD (*Lower-Level Discriminator*) e ULD (*Upper-Level Discriminator*), respectivamente, os níveis inferior e superior de comparação. Na operação do SCA é seleciona-se uma faixa de amplitudes ou janela na qual a amplitude de um pulso de entrada tem que se situar

para produzir um pulso lógico de saída. Para se medir várias faixas de amplitude faz-se com que o LLD e o ULD sejam variados uniformemente durante um intervalo de aquisição, provocando o deslocamento da janela de comparação.

O analisador-multicanal ou MCA pode ser considerado como uma evolução do analisador de um único canal ou SCA. O princípio de operação do MCA é semelhante ao do SCA, porém com algumas diferenças importantes:

- o MCA registra pulsos em todas as regiões do espectro de amplitudes;
- o MCA contém um sistema contador para histogramar as amplitudes;
- o MCA contém memória própria que armazena o número de eventos para cada amplitude.

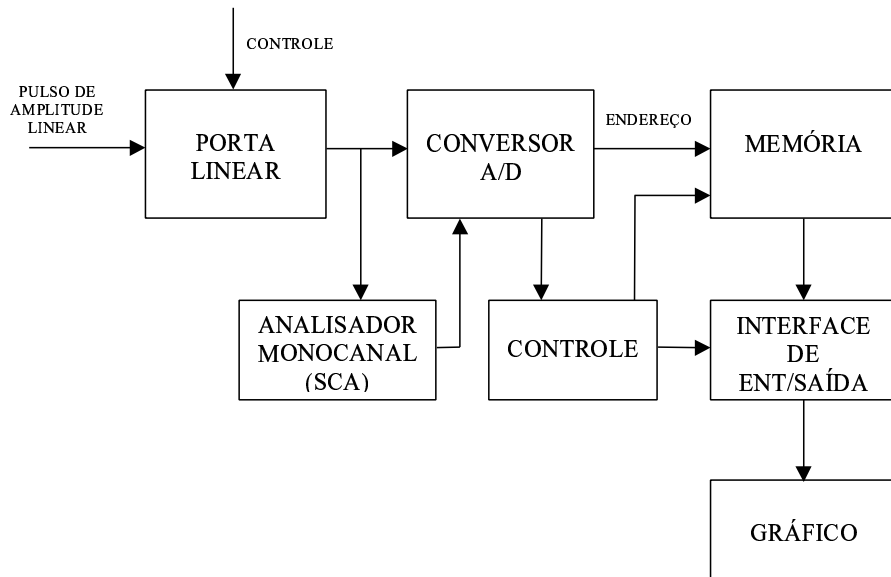


Figura 2.9: Elementos principais de um Analisador-Multicanal.

Um sistema integrado utilizando um SCA, um circuito para deslocamento contíguo da janela de aquisição, um circuito contador dos eventos e uma memória pode ser substituído por um único MCA. O circuito típico de um MCA, Figura 2.9, contém basicamente os seguintes elementos:

- Conversor Analógico-Digital (*Analog-to-Digital Converter - ADC*);
- Memória;
- Circuito de controle.

O princípio básico do MCA consiste em contar quantos pulsos de cada amplitude do espectro ocorrem no detector. Para isso, a primeira operação é digitalizar o pulso aplicado à sua entrada, convertendo o nível de tensão analógica em um dado

digital de N bits. Isto é realizado através de um conversor analógico-digital. Uma vez que a amplitude de entrada está representada por um dado digital, utiliza-se este dado como um endereço de memória, onde está armazenada a quantidade de eventos ocorridos naquela amplitude. A quantidade total de endereços da memória, 2^N , onde N é o número de bits do ADC, é o número de canais nos quais o espectro será subdividido. Para cada evento, o conteúdo do endereço de memória será lido, incrementado de uma unidade e escrito de volta no mesmo endereço. Esta última etapa completa o processamento de um único evento no detector, podendo o próximo evento ser lido pelo MCA.

Em muitos MCA's, um microprocessador é utilizado para gerar os sinais de controle das operações descritas acima e para realizar a incrementação dos dados lidos da memória. Alguns sinais de controle são, por exemplo, os sinais de leitura e escrita na memória, o sinal de início de conversão no ADC e os sinais de controle da interface de entrada e saída, que faz a comunicação entre o barramento interno do MCA e o barramento de um computador. A principal inovação proposta e desenvolvida neste trabalho é o uso de um circuito lógico dedicado, ao invés de um microprocessador, que execute todas as funções de controle do MCA. Esta abordagem foi possível devido ao grande avanço tecnológico que tem sido observado recentemente nos dispositivos lógicos programáveis, abordados no Apêndice B.

Os MCA's comerciais, em geral, possuem também um circuito de entrada que funciona como uma chave ou porta linear, permitindo ou não que o sinal de entrada seja enviado ao ADC. A porta linear possui uma entrada de controle que pode ser usada para conectar o sinal ao ADC somente durante uma janela de tempo de interesse.

Uma importante aplicação para os MCA's, além das aplicações elementares envolvendo espectroscopia, é sua utilização em tomografia por raio-X. Quando colocamos um objeto entre uma fonte de radiação e um detector a gás sensível à posição, o espectro resultante fornece o perfil do objeto sob um determinado ângulo. Se montarmos um aparato mecânico de tal forma que o objeto seja observado de vários ângulos sucessivamente, girando o objeto em torno de um eixo fixo, podemos construir a imagem de corte transversal do objeto a partir dos espectros.

2.4 Aquisição bidimensional com o detector a gás sensível a posição

Quando realizamos uma medida de radiação utilizando um analisador-multicanal e um detector sensível à posição com uma linha de retardo, dizemos que se trata de uma aquisição unidimensional, já que a linha de retardo permite a localização da partícula ao longo de uma única dimensão. Outro tipo de aquisição, com os mesmos princípios, é aquela onde utiliza-se um detector sensível a posição bidimensional e uma placa de aquisição de imagens, ou bidimensional.

O princípio de funcionamento do detector bidimensional é semelhante ao do detector unidimensional. Porém, a fim de localizar a partícula em duas dimensões, o detector apresenta diferenças de construção, principalmente quanto aos eletrodos coletores da avalanche de carga elétrica [5]. A janela ativa dos detectores bidimensionais geralmente é quadrada e funciona também como um elemento catodo. O outro catodo, chamado catodo X&Y, é construído a partir de uma placa de circuito impresso em multicamadas. Em uma das faces desta placa são distribuídos centenas de elementos discretos condutores conectados entre si e às linhas de retardo nas direções horizontal(X) e vertical(Y), como é mostrado na Figura 2.10. Entre a janela ativa do detector e o catodo X&Y é inserido um plano de fios polarizados positivamente que funciona como elemento anodo, gerando o campo elétrico necessário ao direcionamento dos fotoelétrons aos fios causando o efeito de avalanche de carga elétrica. A Figura 2.11 ilustra o corte transversal do detector bidimensional, mostrando a disposição dos eletrodos em relação à janela ativa. A avalanche produzida induz em alguns elementos de amostragem do catodo X&Y um sinal elétrico de baixa amplitude ($< 1mV$), que será conduzido às duas linhas de retardo, possibilitando a localização do evento nas direções X e Y.

Os sinais elétricos provenientes das duas linhas de retardo são enviados a dois sistemas de condicionamento de sinais, sendo cada um semelhante ao utilizado na detecção unidimensional. Deste modo, ao final teremos dois pulsos vindos de dois conversores tempo-amplitude. Estes dois pulsos corresponderão às posições X e Y de ocorrência do evento na janela do detector e serão enviados a um sistema de aquisição bidimensional.

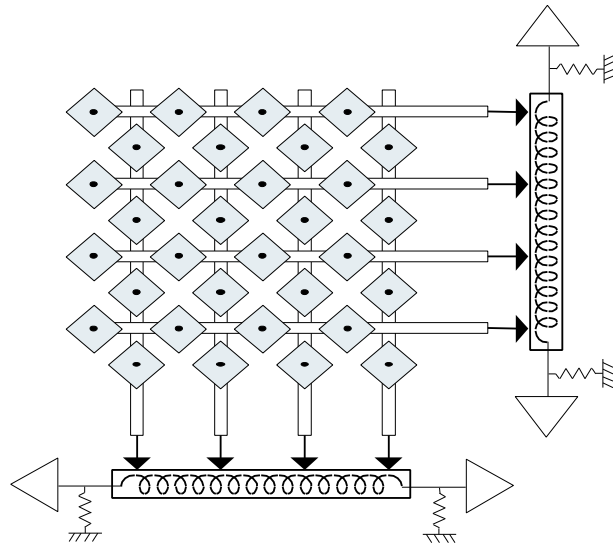


Figura 2.10: Esquema do catodo X&Y em um detector bidimensional de raio-X.

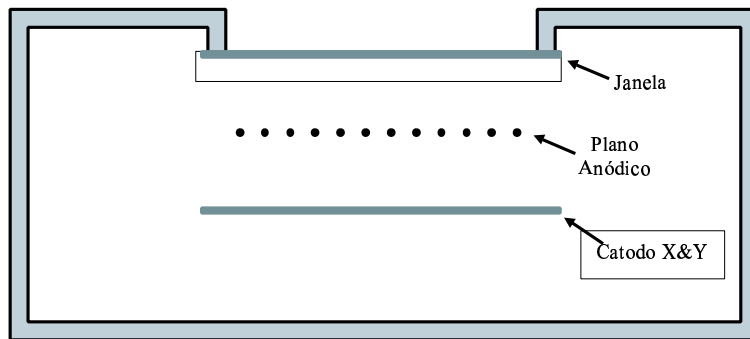


Figura 2.11: Corte transversal do detector sensível à posição bidimensional.

Durante este trabalho, desenvolvemos em paralelo, dois modelos de circuito para aquisição bidimensional. A primeira versão baseou-se no mesmo princípio do MCA, contendo circuito histogramador e memória *on-board*. Este circuito opera, basicamente, como dois MCA's em paralelo, sendo que os sinais de entrada são digitalizados somente quando ocorrem dentro de uma janela de coincidência, Figura 2.12. Ocorrendo a coincidência, os sinais são digitalizados e agrupados em uma só palavra, que corresponderá a um endereço de memória. O número total de endereços de memória para este circuito é $2^N \times 2^N$, onde cada endereço corresponde a um *pixel* (menor elemento da imagem). O conteúdo de cada posição da memória é incrementado, como no caso unidimensional, e devidamente reescrito, cada vez que ocorrer um evento na posição correspondente. O conteúdo do *pixel* é representado em alguma escala de cores, como tons de cinza ou RGB (*Red Green Blue*), por exemplo.

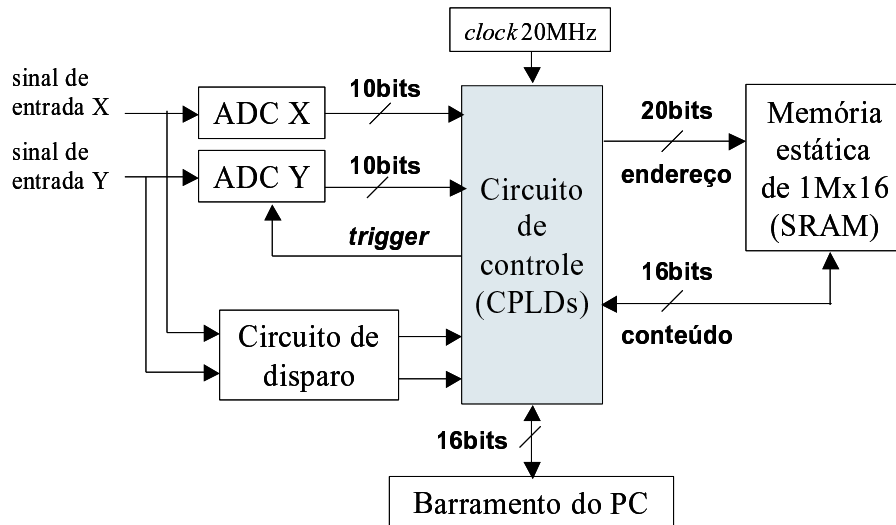


Figura 2.12: Diagrama em blocos da placa de aquisição bidimensional.

Uma das aplicações mais imediatas de um sistema de detecção bidimensional é a radiografia tridimensional. Quando colocamos um objeto entre a fonte de raio-X e o detector, observamos o fenômeno da absorção de fótons pelo objeto. Deste modo, podemos identificar o corpo, já que sua estrutura é diferenciada em cada ponto (regiões mais ou menos densas e regiões mais espessas ou mais delgadas). A Figura 2.13 ilustra o resultado experimental de uma aquisição bidimensional, onde iluminamos a janela ativa do detector com uma fonte de raio-X, tendo uma garrafa plástica com gotas d'água como obstáculo.

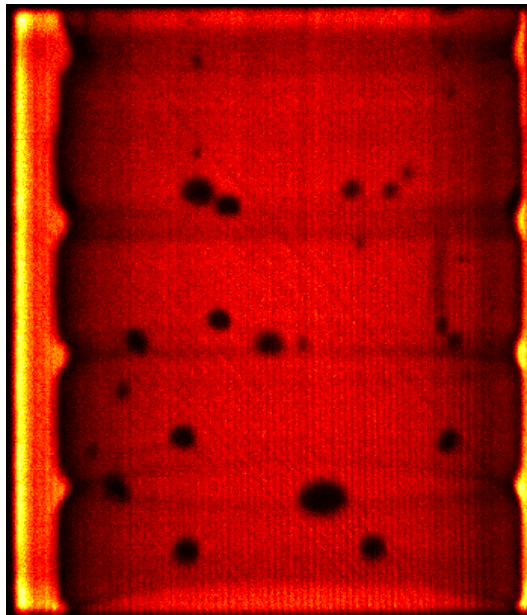


Figura 2.13: Exemplo de imagem gerada a partir de uma aquisição bidimensional.

O segundo projeto de circuito de aquisição bidimensional foi idealizado [6] com base no significativo aumento na velocidade dos microprocessadores que equipam os PC's comerciais. A idéia básica deste projeto foi utilizar o microprocessador e a memória do PC para realizar a histogramação dos eventos, ao invés de um circuito dedicado na placa, como no MCA. Sendo assim, o circuito de aquisição consiste somente de: dois ADC's, um circuito de disparo e uma lógica para armazenar os sinais digitalizados. Como no outro projeto de placa bidimensional, os dois sinais de entrada são considerados válidos somente quando ocorrem dentro de uma janela de coincidência. Os dados digitalizados são armazenados em registradores (*latches*), para posterior leitura pelo PC. A leitura ocorre após o PC testar um sinal de *flag*, que sinaliza a existência, ou não, de um dado novo. Este dado, formado pelo agrupamento das palavras de saída dos dois ADC's, representará uma posição de memória no PC, correspondente à posição de incidência da partícula na janela ativa do detector. Somente após a leitura do PC, o ADC fica liberado para realizar outra conversão. O teste do sinal de *flag* é feito periodicamente, por meio de uma leitura de I/O. Projetamos esta placa para dois modos de operação para esta placa, um rápido e um lento. No primeiro, a imagem mostrada no monitor de vídeo só é visualizada ao final do tempo total de aquisição. Desta forma, reduzimos o tempo morto de aquisição, uma vez que o PC não gasta tempo para atualizar a imagem

na tela do monitor. No modo rápido de aquisição, utilizando ADC's de 800ns de conversão e um PC de 233MHz, atingimos uma taxa de aquisição de 360ksps (360 mil amostras por segundo). No segundo modo de operação, o modo lento, o PC atualiza a imagem no monitor periodicamente, ao longo da aquisição. Isto reduziu a taxa de aquisição para 160ksps. As imagens podem ter tamanhos de 256 x 256, 512 x 512 ou 1024 x 1024 *pixels*. Cada *pixel* pode acumular até 2^{16} eventos, em função do tamanho da variável utilizada no programa de interface (dois *bytes*). O programa de interface foi desenvolvido em Delphi, para a plataforma *Windows*.

Capítulo 3

Projeto e Desenvolvimento

Neste capítulo, apresentamos o desenvolvimento de todos os estágios do Analisador-Multicanal. Partindo da definição de especificações e de uma visão geral do MCA desenvolvido, detalhamos o projeto e o funcionamento dos circuitos de disparo, de conversão e de controle.

3.1 Introdução ao MCA desenvolvido

3.1.1 Especificações do projeto

Com o objetivo de estabelecer as especificações do projeto do MCA, nos baseamos em sua aplicação com os detectores sensíveis a posição (PSD). Deste modo, os três parâmetros de especificação para o projeto são: resolução, taxa de aquisição e homogeneidade.

A resolução do MCA foi definida em função da resolução espacial do detector de teste, medida através da exposição do detector a uma fonte homogênea de raio-X, através de uma máscara contendo fendas. Este experimento resulta em um espectro contendo vários picos, correspondendo às fendas, como ilustra a Figura 3.1. A partir da largura a meia altura (FWHM) média dos picos, calculamos a resolução do detector, conforme os cálculos detalhados no capítulo 4. O detector utilizado apresenta 10cm de janela ativa e resolução em torno de $300\mu m$. Sabendo-se que são necessários, no mínimo, 10 canais para definirmos cada pico da Figura 3.1, a resolução mínima do MCA deve ser, no mínimo, de: $(10\text{cm}/300\mu m)\times 10 \text{ canais} = 3333 \text{ canais}$. Logo, estabelecemos uma resolução de 4096 para o MCA.

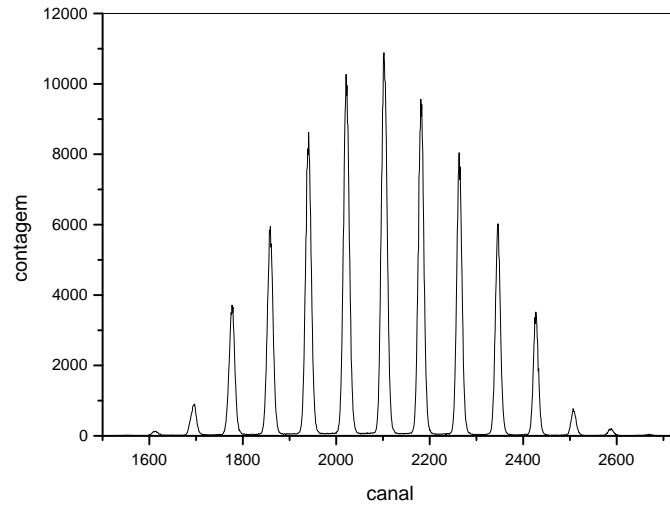


Figura 3.1: Espectro utilizado no cálculo da resolução do detector.

Para especificar a taxa de aquisição para o MCA, tomamos por base algumas medidas com fontes de raio-X de ^{55}Fe . As medidas demonstraram que a taxa de incidência, em geral, não ultrapassa 180ksps. Com base neste valor, procuramos um ADC que apresentasse uma taxa de conversão igual ou superior. O ADC escolhido (AD976), entre outros testados, apresenta taxa de conversão nominal de 200ksps.

As especificações de linearidade e homogeneidade tomaram como base um modelo de MCA comercial (EG&G Ortec), também testado durante este trabalho.

3.1.2 Descrição geral do projeto

Os principais elementos de um analisador-multicanal são o ADC e a memória, que, respectivamente, digitalizam e armazenam o pulso de entrada. Além destes dois elementos, o esquema proposto neste trabalho, apresenta um circuito de disparo do ADC e um circuito digital programado em dois dispositivos lógicos programáveis, ou CPLD's (*Complex Programmable Logic Devices*) [7]. O diagrama em blocos do MCA proposto e desenvolvido é mostrado na Figura 3.3.

O sinal de entrada do MCA, que é proveniente do TAC, como ilustra a Figura 2.8, é um pulso de amplitude variável entre 0 e +10V e largura ajustável entre $1\mu s$ e $3\mu s$, sendo mostrado na Figura 3.2. Ele é enviado a um circuito de disparo e ao ADC. O circuito de disparo é responsável pela geração do pulso de amostragem

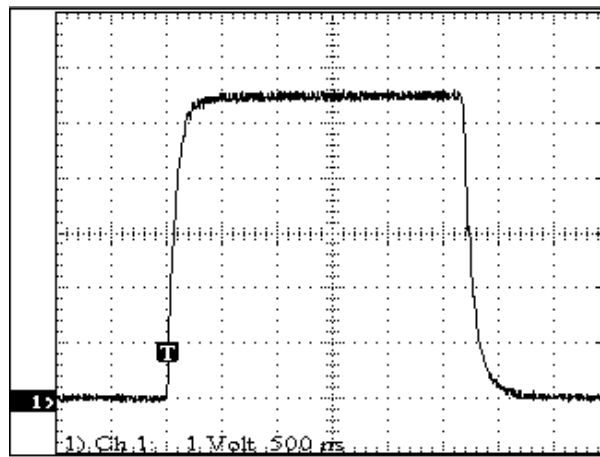


Figura 3.2: Sinal de saída do TAC.

(*trigger*), que vai para o ADC. Este pulso, porém, é enviado, primeiramente, a uma porta lógica controlada por *software* na CPLD, que permite ou não sua passagem. O sinal de entrada digitalizado é armazenado em *latches* tipo D na CPLD, para posterior acesso pelo barramento de endereço da memória. No momento em que o ADC termina a conversão, envia um pulso de sinalização para a CPLD, que inicia o processo de histogramação. O programa em execução no PC realiza a leitura do conteúdo da memória em intervalos regulares de tempo. A cada leitura da memória, o espectro é atualizado na janela gráfica do programa de interface com o usuário. As próximas seções são dedicadas a explicar mais detalhadamente os estágios deste analisador-multicanal.

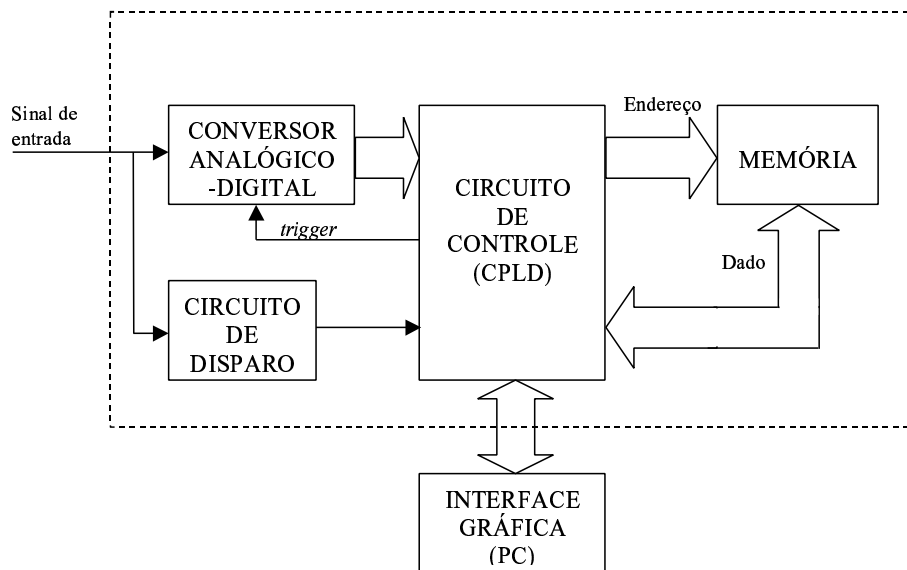


Figura 3.3: Esquema do Analisador-Multicanal desenvolvido.

3.2 Circuito de disparo

A impedância de entrada do MCA é 6,5 k Ω . Este valor foi medido e se deve aos estágios de entrada do circuito de disparo e do ADC. Como o sinal de entrada (sinal do TAC) é um pulso relativamente longo (2,0 μs), e o ADC só amostra o pulso 500 ns após sua subida, não ocorrem problemas de reflexão devido ao não-casamento da impedância de entrada com a impedância do cabo de sinal (50 Ω). O estágio de entrada do analisador-multicanal, que estamos denominando de Circuito de Disparo, é constituído por um amplificador operacional, um comparador e dois multivibradores monoestáveis. As funções do circuito de disparo, ilustrado na Figura 3.4, são:

1. Eliminar disparos acidentais do ADC devido a ruído produzido pela eletrônica de pré-processamento e;
2. Produzir na sua saída um pulso lógico que determina o instante em que o ADC amostra o sinal de entrada.

A primeira operação, que pode ser chamada de etapa de discriminação do sinal de entrada, utiliza o amplificador operacional TL081 e o comparador NE529. O amplificador operacional, que é utilizado em configuração seguidor de tensão ou *buffer* [8] funciona somente como *driver* para uma tensão de comparação, ajustada por um potenciômetro linear. No circuito da Figura 3.4 utilizamos resistores de carvão com tolerância de 1% e capacitores cerâmicos multicamada [9] para o desacoplamento dos circuitos integrados.

Normalmente, ajustamos o nível de comparação para cerca de 200mV. O NE529 é um comparador analógico de tensão de alta velocidade, apresentando 10ns de atraso de propagação. O comparador tem sua saída ativada, nível baixo, toda vez que a amplitude da tensão na entrada A for superior à amplitude da tensão de comparação (*threshold*), ajustada na entrada B, conforme ilustra a Figura 3.5.

O comparador NE529 é construído a partir de amplificadores que operam normalmente saturados em nível alto ou baixo. Estes amplificadores possuem elevado produto ganho-banda passante e não utilizam malhas de realimentação, para preservar sua velocidade de chaveamento. Sendo assim, se o sinal de entrada permanecer com valor igual ou próximo da tensão de *threshold* por longos períodos de tempo (dezenas de nanosegundos), a saída do comparador pode oscilar ou responder

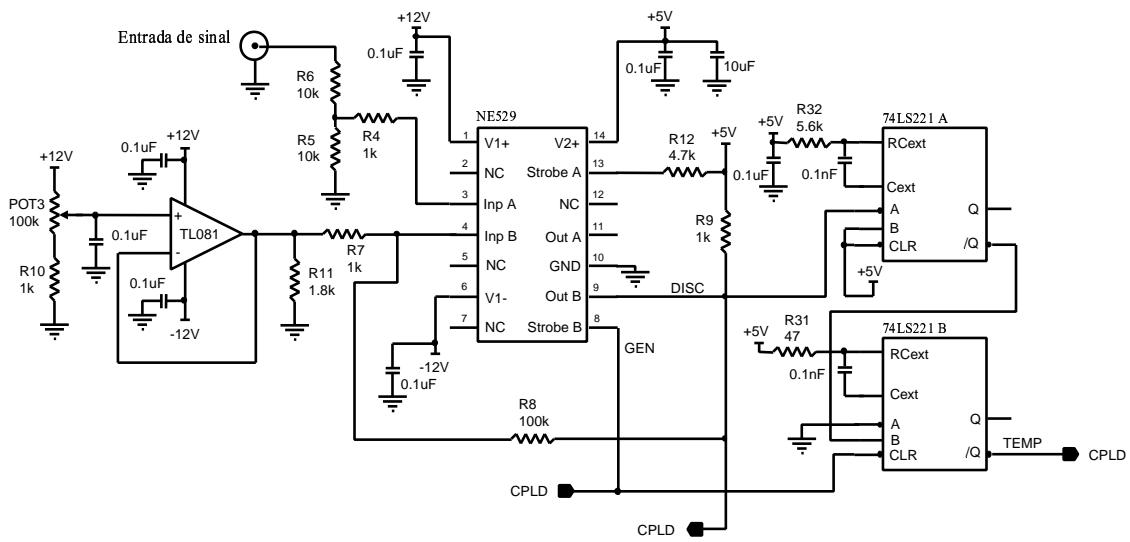


Figura 3.4: Circuito de disparo do ADC.

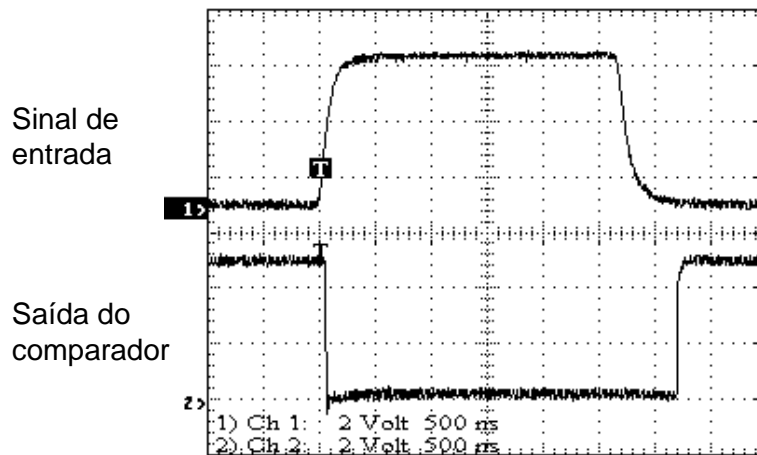


Figura 3.5: Sinal do TAC e pulso de saída do comparador.

a ruído. Isto foi efetivamente verificado em testes de bancada, durante o desenvolvimento do trabalho. Para evitar esta oscilação na faixa linear do comparador, implementamos uma malha de realimentação, provocando histerese no sistema [10]. Isto implica que o comparador tem, na prática, dois níveis de comparação, um para a transição negativa e outro para a transição positiva. A realimentação ocorre através do resistor R8 de $100\text{k}\Omega$. A configuração final do comparador, utilizando-se a saída complementar B e o resistor de realimentação de $100\text{k}\Omega$, foi a melhor possível, após vários testes de bancada. Outra medida para impedir oscilações na saída do comparador foi a colocação de um resistor ($R9=1\text{k}\Omega$) de *pull-up*, da saída para a alimentação digital +5V. Além das medidas para evitarmos oscilações na saída do comparador, os terminais de alimentação analógicos foram desacoplados para o plano de terra analógico, através de capacitores de $0,1\mu\text{F}$ e $10\mu\text{F}$. Para o amplificador operacional TL081, utilizamos somente capacitores de $0,1\mu\text{F}$. Com estas precauções, conseguimos implementar um circuito discriminador mais imune a ruído e oscilações.

A segunda função do circuito de disparo, que é gerar o pulso lógico para a amostragem do sinal de entrada, foi implementada utilizando-se um multivibrador monoestável duplo da linha TTL: o 74LS221. Estes monoestáveis são de disparo único, cada um possuindo duas entradas de disparo, uma gatilhada pela transição de subida e outra pela de descida. A característica de disparo único é importante, pois, uma vez disparado, as saídas se tornam imunes a quaisquer transições nas entradas. Com isso, evitamos disparos errôneos devido a oscilações indesejáveis na entrada. O 74LS221 tem duas saídas complementares. A largura do pulso gerado nas saídas é função dos componentes R e C dispostos entre os terminais de temporização (RC_{ext} e C_{ext}). Essa largura pode variar de 35 ns a 70 s, permitindo uma grande gama de aplicações para o dispositivo. Devido à necessidade de se ter o sinal de entrada do ADC estável e, como o tempo de subida do sinal gerado pelo TAC (Figura 3.2) é relativamente lento, utilizamos dois monoestáveis ligados em série para gerar o pulso de amostragem do ADC. O primeiro gera um pulso que serve como atraso para o instante de amostragem. O sistema é, então, ajustado para amostrar o sinal somente quando este já se encontra estabilizado por algumas centenas de nanosegundos. Através de medidas, verificamos que um atraso da ordem de 500 ns é suficiente para garantir que o sinal proveniente do Conversor Tempo-Amplitude (TAC) se encontre

estável.

A Figura 3.6 ilustra os eventos do circuito de disparo, que ocorrem na seguinte sequência:

1. A saída B do comparador NE529 transita negativamente devido à ocorrência de um pulso na entrada acima de um *threshold* pré-ajustado;
2. A transição na saída do comparador gera um pulso lógico de 500 ns na saída complementar \overline{Q} do primeiro monoestável. Este pulso fornece um atraso ao instante em que o ADC irá amostrar a entrada;
3. O fim do pulso de atraso, uma transição positiva, produz na saída do segundo monoestável o pulso lógico que é enviado ao ADC para que este amostrasse o sinal de entrada e inicie um ciclo de conversão.

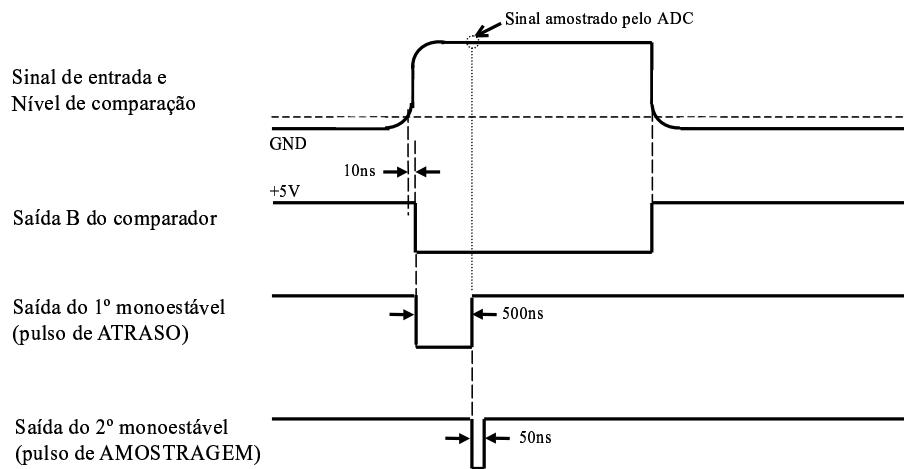


Figura 3.6: Temporização do Circuito de disparo do ADC.

3.3 O conversor analógico-digital AD976

A procura por um conversor analógico-digital para o projeto do analisador-multicanal baseou-se, principalmente, nos parâmetros velocidade, resolução e linearidade. ADCs de vários fabricantes foram pesquisados, montados no MCA e testados quanto ao seu desempenho. Nesta seção, abordaremos o conversor AD976, escolhido para a montagem do MCA, devido aos resultados apresentados no Capítulo 4. Maiores detalhes sobre o ADC AD976 podem ser encontrados em <http://products.analog.com/products/info.asp?product=AD976>.

O AD976 é um conversor A/D tipo aproximação sucessiva (veja Apêndice A), de alta velocidade, baixa potência (100mW) e resolução de 16 *bits*. É comercializado em duas versões de velocidade: 100ksps (ACN) e 200ksps (AN). A faixa de entrada do AD976 é de $\pm 10V$, o que é diretamente compatível com a saída dos Conversores Tempo-Amplitude (TAC), considerando-se somente a parte positiva. Isto elimina a necessidade de circuitos de condicionamento de sinal entre o TAC e o ADC, diminuindo a possibilidade de geração de ruído. O AD976 dispensa o uso de sinal de *clock* externo, possuindo um sistema interno de temporização. Ele não utiliza arquitetura *pipeline* de conversão, característica que facilitou seu uso no projeto do MCA. Quanto à linearidade, o AD976 apresenta DNL máxima de $\pm 2,0LSB$. Apesar da linearidade não ser muito boa, o problema foi contornado quando utilizamos somente os 12 *bits* mais significativos do conversor, desconsiderando-se o *bit* de sinal. Ao desprezarmos os 3 *bits* menos significativos do ADC, melhoramos sua DNL, aproximadamente, por um fator de 8. No caso do AD976, o resultado final é uma DNL de $\pm 0,25LSB$, valor que não se encontra em um ADC comercial com resolução de 12 *bits*.

O controle de conversão do AD976 é realizado por dois sinais: R/\overline{C} e \overline{CS} , como mostrado na Figura 3.7. Para dar início a uma conversão e colocar o circuito interno de *sample/hold* no modo *hold*, os sinais R/\overline{C} e \overline{CS} devem ficar em nível baixo por no mínimo 50ns. Uma vez iniciada a conversão, o sinal de saída \overline{BUSY} vai para nível baixo até que seja finalizada a conversão. Neste instante, o sinal \overline{BUSY} transita para nível alto, indicando que existe dado válido no barramento do ADC. Durante todo o processo, o sinal \overline{CS} é mantido em nível baixo. Como será mostrado detalhadamente adiante, utilizamos a transição de subida do sinal \overline{BUSY} para armazenar o código resultante da conversão.

O AD976 é ajustado na fábrica para minimizar os erros de ganho, *offset* e linearidade. Em nosso projeto, entretanto, resolvemos implementar o circuito opcional de ajuste, Figura 3.8. O ajuste de *offset* é feito antes do ajuste do ganho. Para realizá-lo, basta regular o potenciômetro de 50k Ω da esquerda, com a tensão de entrada 1/2LSB abaixo do nível de terra (GND), até que o código de saída seja 0000 0000 0000 0000. Na prática, como não possuíamos uma fonte de tensão com resolução de 1/2LSB=152,6 μV , fizemos o ajuste de *offset* com a entrada conectada

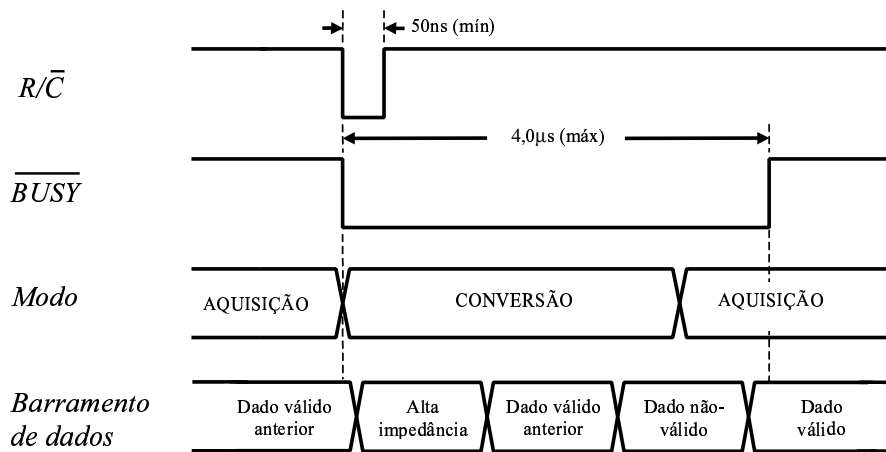


Figura 3.7: Temporização da conversão do ADC AD976ACN com \overline{CS} mantido em nível baixo.

ao terra (0V). Para ajustar o erro de ganho, deve-se injetar um sinal analógico no ADC correspondente à primeira transição de código (fundo de escala negativo) ou a última transição (fundo de escala positivo). Como utilizamos somente a porção positiva do fundo de escala do ADC, realizamos o ajuste através do fundo de escala positivo. Para isso, injetamos aproximadamente +10V à sua entrada e regulamos o potenciômetro de 50kΩ da direita até obtermos na saída a última transição positiva, que ocorre entre 0111 1111 1111 1110 e 0111 1111 1111 1111. No circuito de ajuste do ADC, os capacitores de 2,2 μF são de tântalo, os resistores são de 5% de precisão e os potenciômetros são do tipo linear de 10 voltas.

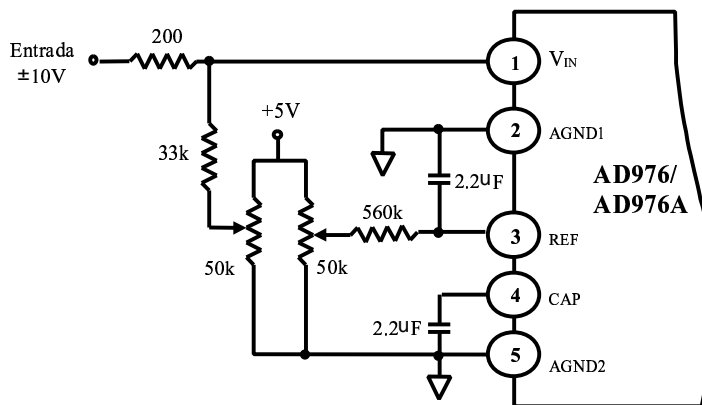


Figura 3.8: Malha de entrada do ADC com circuitos de Ganho e *Offset*.

Outro detalhe na utilização do AD976 é sua característica bipolar de entrada, $\pm 10\text{V}$. Como podemos observar na curva característica do AD976, ilustrada na Figura 3.9, para utilizarmos somente a parte positiva da faixa de entrada, tivemos

que desprezar o *bit* mais significativo (MSB) da saída, uma vez que este *bit* é responsável pela sinalização do código do ADC. Como projetamos um MCA com até 4096 canais (12 *bits* de resolução), utilizamos somente os 12 *bits* mais significativos do AD976. No total, não foram utilizados 4 *bits*, o D15 por servir somente para entradas bipolares, e os *bits* D2, D1 e D0(LSB) por não necessitarmos de 16 *bits* de resolução e também para melhorar a não-linearidade do MCA.

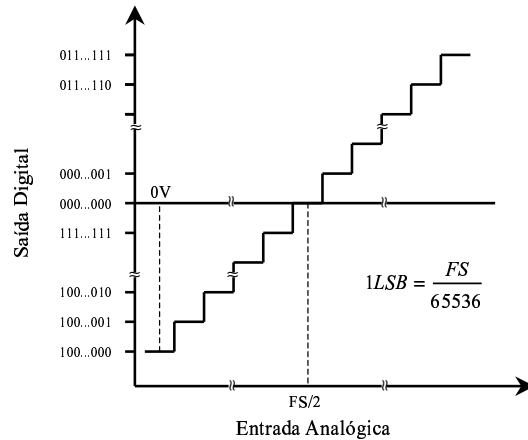


Figura 3.9: Curva característica do AD976.

3.4 Circuito de Controle

O circuito de controle foi implementado em dois dispositivos lógicos programáveis da família de CPLD's (*Complex Programmable Logic Devices*) XC95108, da *Xilinx* [11], [12]. O ambiente de desenvolvimento utilizado foi o *Foundation* [13].

O circuito de controle realiza as seguintes operações:

1. Permitir ou não a passagem do sinal de *trigger*, gerado no bloco de disparo, para o ADC. Isto envolve quatro sinais: TEMP, DISC, G_EN, TRIG;
2. Armazenar o dado convertido pelo ADC ao final de uma conversão. Esta operação envolve o sinal DAV (fim de conversão) e o barramento AD11...AD0 (dado de saída do ADC);
3. Ler, incrementar e reescrever o dado no endereço de memória fornecido pelo ADC. Os sinais envolvidos nestas operações são: MCE (Habilita memória), MRD (lê memória), MWR (escreve na memória), MA11...MA0 (barramento de endereço da memória) e MD15...MD0 (barramento de dados da memória);

4. Fazer a comunicação entre o microcomputador PC e a memória da placa. Esta operação envolve todo o circuito de decodificação e seus sinais, assim como os barramentos de dados e de endereço da memória.

O diagrama em blocos da Figura 3.10 mostra o circuito de controle e os sinais de comunicação com os outros componentes da placa. O sentido das setas indica o fluxo real do sinal.

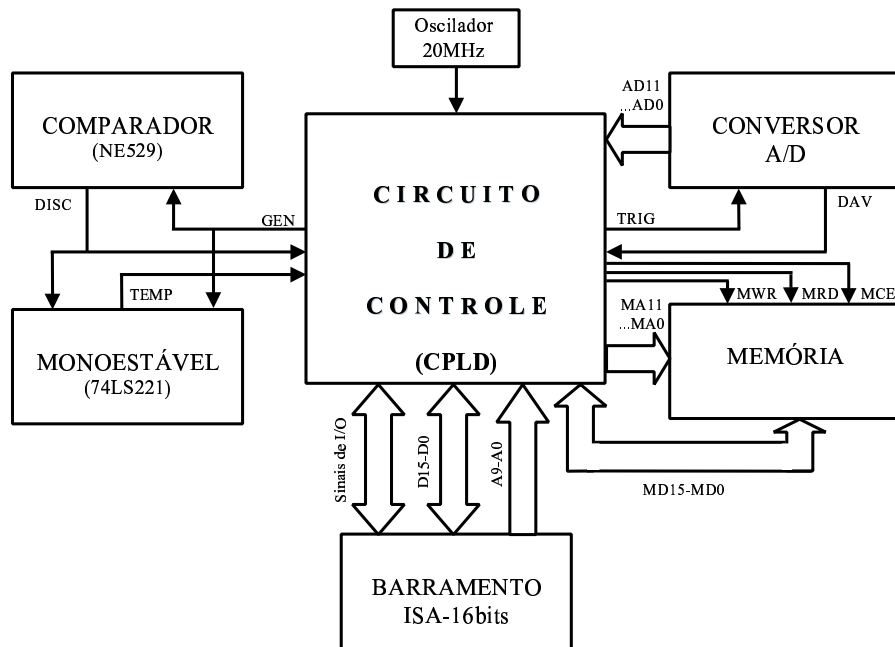


Figura 3.10: Sinais de controle e barramentos do Circuito de Controle (CPLD).

Para controlar o envio do sinal de *trigger* ao ADC, implementamos uma lógica simples, contendo apenas uma porta OR e um *buffer* com terminal de controle, como mostra a Figura 3.11. A porta OR tem como entradas os sinais **TEMP** e **DISC**. O sinal **DISC** permanece em nível baixo somente quando a saída do comparador está ativa, indicando a ocorrência de um evento. Desta forma, evitamos que qualquer sinal de disparo (**TEMP**) errôneo, vindo do monoestável, seja enviado ao ADC, já que, neste caso, o sinal **DISCR** estará em nível alto, forçando a saída da porta OR a se manter em nível alto, independente de **TEMP**. Conectado à saída da porta OR, instalamos um *buffer* unidirecional, cujo controle de habilitação é o sinal **GEN**, configurado por uma instrução de I/O, via *software*. O sinal de *trigger* (**TRIG**) só será enviado ao ADC com duas condições: ocorrer um pulso válido na entrada e o usuário habilitar o *buffer*.

A segunda função do circuito de controle é armazenar e, se necessário, deslo-

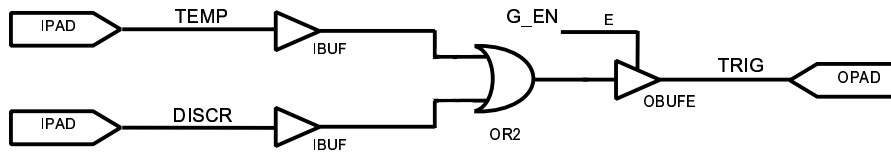


Figura 3.11: Circuito de controle do sinal de *trigger* do ADC.

car o dado convertido pelo ADC. Este deslocamento permite a variação da resolução do MCA, que é o número de canais com que se pretende fazer a aquisição. Nosso projeto permite que o número de canais de aquisição seja definido como 256, 512, 1024, 2048 ou 4096, já que utilizamos no máximo 12 *bits* do ADC. Para o deslocamento de *bits* do ADC, projetamos um componente específico, que chamamos de *Shift12*. Este componente foi projetado em linguagem ABEL-HDL, uma linguagem de descrição de *hardware* da Xilinx [14]. O código fonte que gera o deslocador de *bits* está listado no Apêndice C.

O barramento Q do deslocador de *bits* é conectado à entrada A de um multiplexador de duas entradas, como mostrado no circuito da Figura 3.12. O multiplexador permite que selecionemos quem irá configurar o barramento de endereços da memória (MA): o ADC ou o PC. A seleção é realizada pelo sinal PC_H, definido por uma instrução de I/O gerada pelo programa de interface. A multiplexação do barramento MA é utilizada para que possamos acessá-lo de duas formas:

1 - Durante o processo de histogramação, o endereço é definido pelo dado de saída do ADC;

2 - Durante a leitura do conteúdo da memória pelo PC, o endereço é definido pelo próprio PC via barramento ISA.

No circuito da Figura 3.12 também está inserido um componente que define um número de identificação da placa, o C_VALUE. Este componente tem seu valor lido por um acesso de I/O no endereço 286H do barramento ISA.

3.4.1 Circuito de Histogramação

Durante a exposição do detector ao raio-X, ocorrem eventos válidos em qualquer posição da janela ativa que estiver sendo irradiada. Consideramos evento válido como a incidência de um fóton que interagiu com o gás, gerou um efeito fotoelétrico,

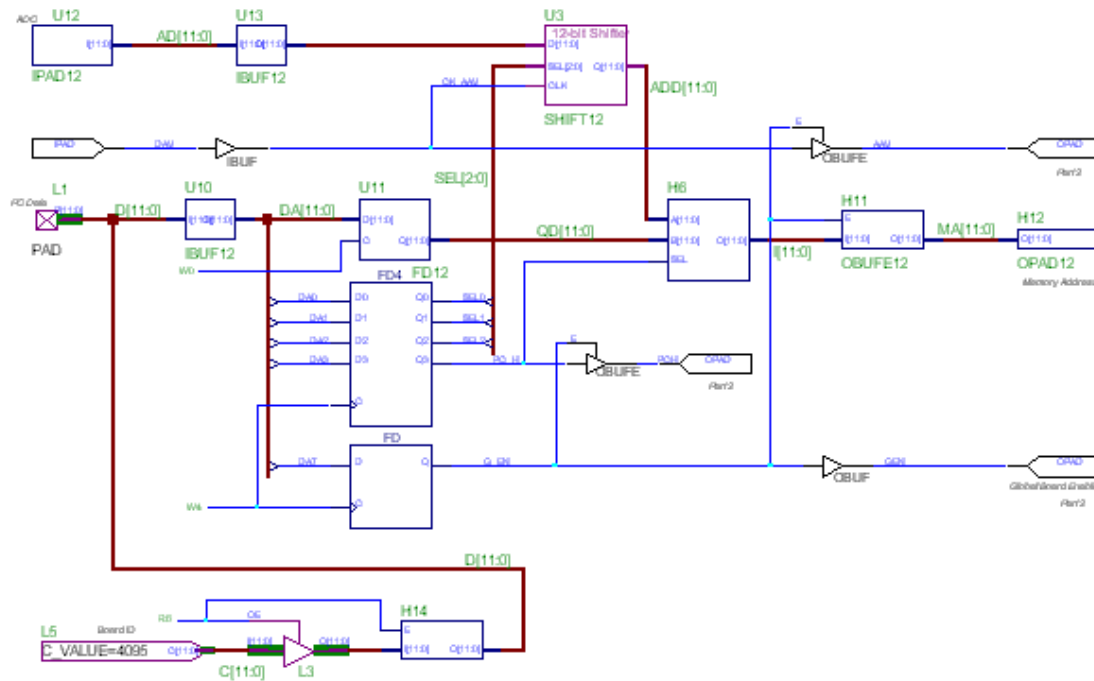


Figura 3.12: Deslocamento de *bits* do ADC (*Shift12*) e multiplexação do barramento de endereços (MA) da memória.

uma avalanche elétrica, o que por fim induziu sinais elétricos na linha de retardo. Se um evento ocorre na posição X do detector e esta posição corresponde ao canal, ou posição de memória C_x , o circuito de controle lê o conteúdo (contagem) já existente no canal C_x , adiciona 1 ao valor lido e reescreve o novo valor no canal C_x . Chamamos este processo de histogramação, pois o resultado que teremos, ao final de um tempo de aquisição, é um espectro de contagens distribuídas ao longo de um eixo de posições.

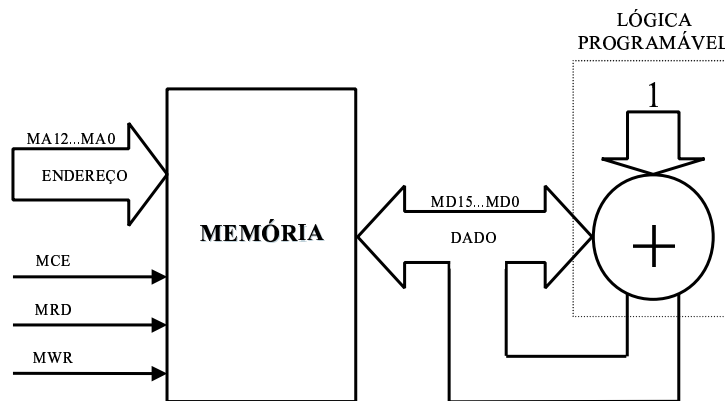


Figura 3.13: Histogramação dos eventos.

A Figura 3.13 mostra o diagrama em blocos da histogramação. O processo de histogramação é iniciado quando um dado é convertido pelo ADC. O sinal de fim de conversão (DAV), gerado pelo ADC, é enviado à CPLD, onde passa por um *buffer* de controle e passa a se chamar AAV. Uma transição positiva do sinal AAV dispara os eventos de leitura, incrementação e escrita na memória. Estes pulsos positivos são gerados por um componente que chamamos de MAQUEST. A temporização dos eventos é definida por um *clock* externo de 20MHz e sincronizada pelo sinal AAV. No esquemático da Figura 3.14 podemos visualizar o circuito interno do componente MAQUEST. O circuito contém um *latch* tipo D, um contador de 2 *bits* e portas lógicas.

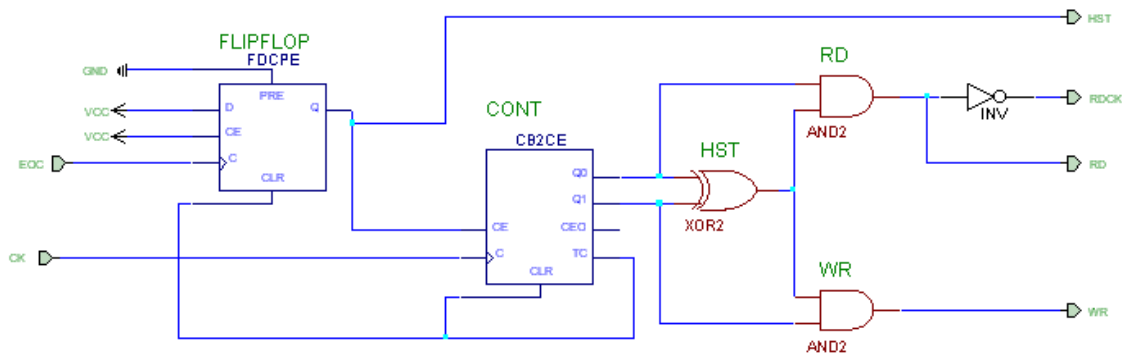


Figura 3.14: Circuito que gera os pulsos de leitura, incrementação e escrita para a memória (componente MAQUEST).

No momento que o sinal EOC (*End Of Conversion*), que é o próprio AAV, sofre uma transição positiva, a saída Q do *latch* vai para nível alto. O sinal Q em nível alto habilita o contador que inicia contagem na primeira transição de CK. Quando Q1 e Q0 mudam para o estado 01, a saída $RD = (Q1 \oplus Q0) \cdot Q0$ vai para nível alto e WR continua em nível baixo. No estado $Q1Q0=10$ a situação se inverte e no último estado do contador, o sinal TC, de fim de contagem, reinicializa o sistema. Desta forma são gerados os sinais de leitura e escrita para a memória.

Na Figura 3.15 mostramos o esquemático completo do circuito de histogramação. Na parte superior da figura temos o barramento de entrada e saída de dados do PC (D15-D0), o barramento de dados da memória (MD15-MD0) e um somador com saída registrada (ADD_SUB). Na parte inferior da figura vemos o componente MAQUEST e alguma lógica adicional necessária para gerar os sinais MCE, MRD, MWR para a memória. Os dois multiplexadores M2_1 mostrados no esquemático

são utilizados para permitir que os sinais enviados à memória também possam ser enviados pelo PC. Deste modo, durante o tempo de histogramação os multiplexadores selecionam as entradas D0 e durante o acesso do PC selecionam as entradas D1, recebendo os sinais R2 e W2.

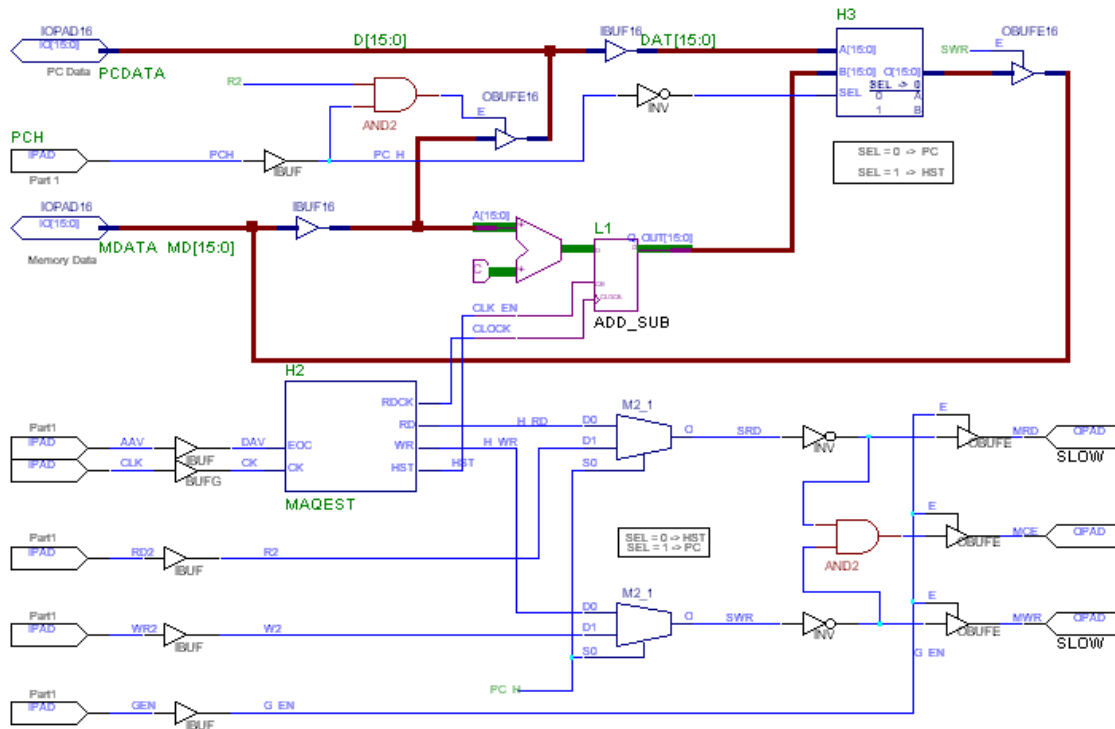


Figura 3.15: Soma, comunicação com o PC e geração dos sinais para a memória.

A Figura 3.16 mostra a temporização de um ciclo completo de processamento de um evento pelo Analisador-Multicanal. Notamos que o tempo de conversão do sinal de entrada em uma palavra digital é responsável por cerca de 95% do tempo morto do MCA. O eventual surgimento, no mercado, de ADCs de alta resolução, do tipo de amostragem (*single-shot*) e com boa linearidade nos permitirá aumentar a taxa máxima de aquisição de dados. Conforme veremos no Capítulo 4, para o conversor AD976, nosso projeto de MCA apresenta uma taxa de aquisição máxima em torno de 215.000 eventos por segundo.

3.4.2 Circuito decodificador de endereço

Para estabelecer a comunicação entre o PC e a placa MCA, projetamos um circuito decodificador de endereço compatível com o barramento ISA-16 bits. O circuito permite decodificar quatro endereços de leitura (R0, R2, R4, R6) e quatro

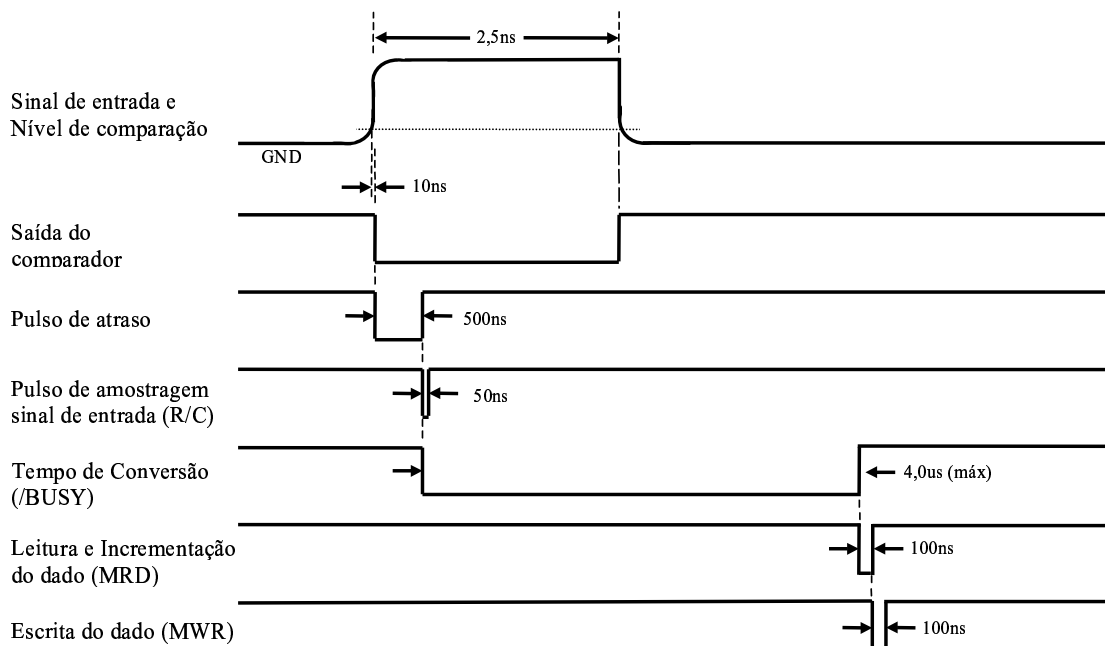


Figura 3.16: Processamento de um evento no detector.

de escrita (W0, W2, W4, W6). O funcionamento do decodificador se baseia na comparação de um endereço base e no teste dos sinais AEN, RD, WR do barramento ISA [15]. Cabe ressaltar que para transferências de 16 *bits*, o barramento ISA só permite a utilização dos endereços pares. Por este motivo, só podemos decodificar 4 endereços para a base. Escolhemos para nossa placa o endereço base 280H, que é um endereço livre para periféricos em qualquer PC comercial. O circuito completo de decodificação é mostrado na Figura 3.17.

O componente H8 compara os *bits* de endereçamento A8...A3. Uma vez que estes *bits* estejam com valores iguais a 010000, o comparador ativa o sinal EN, habilitando o restante da decodificação. Para dispositivos periféricos, o PC sempre coloca o sinal A9=1 e o sinal AEN=0. Estes sinais são testados pelas portas AND5B3. Como só utilizamos os endereços pares, o LSB do endereçamento (A0) será sempre igual a zero. Em resumo, a saída RDEN da porta AND é ativada (nível alto) quando: A9 EN A0 AEN = 1100 e o PC envia um pulso de leitura RD. A outra porta AND é ativada quando o PC envia um pulso de escrita WR. Os sinais RDEN e WREN ativam o respectivo decodificador, que, por sua vez, gera os sinais de leitura e escrita para a placa, a partir da configuração de A2 e A1 definida pelo PC.

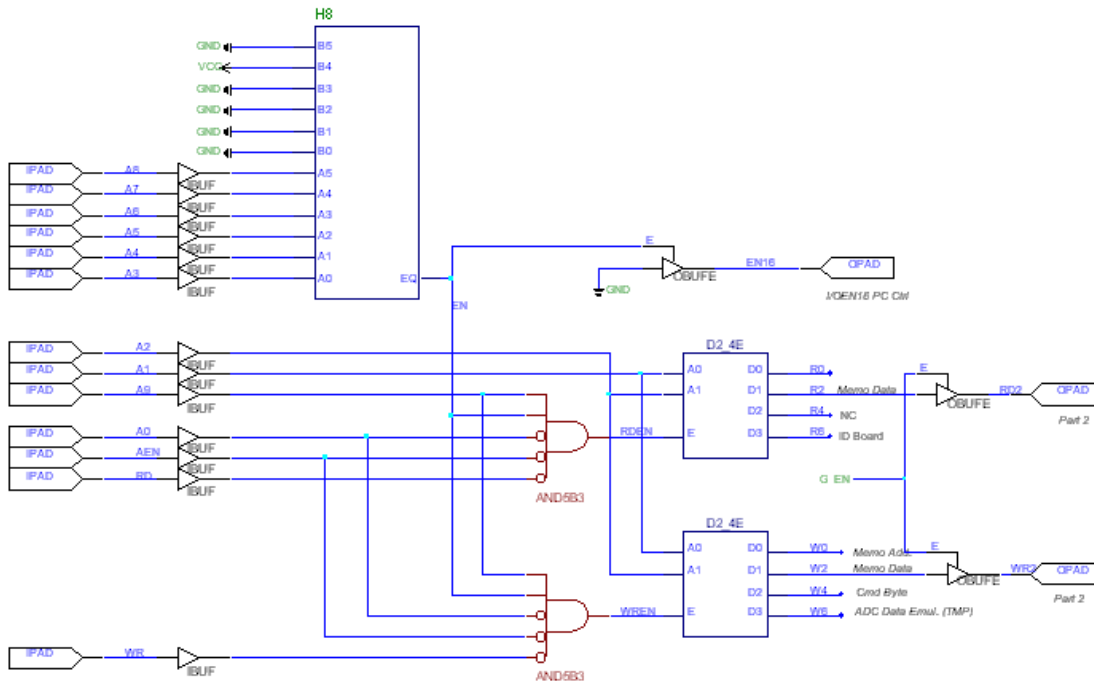


Figura 3.17: Circuito de decodificação de endereços para o barramento ISA.

3.5 Projeto do circuito impresso

Como o circuito completo do MCA envolve componentes analógicos (ADC, amplificador operacional e comparador) e digitais (CPLD's, oscilador), tomamos algumas precauções quanto ao *layout* do circuito. A primeira medida foi a separação dos planos de terra analógico e digital. Principalmente em relação ao conversor A/D, a utilização de dois planos de terra distintos é essencial para evitarmos o acoplamento de ruído da parte digital do conversor para a parte analógica [16], [17]. As transições muito rápidas (da ordem de nanosegundos) dos sinais digitais geram ruído de alta frequência nos sinais analógicos, quando existe alguma forma de acoplamento entre os dois tipos de sinais. Para a eliminação deste problema, criamos dois planos de terra, para que as correntes analógicas e digitais retornem por caminhos diferentes para a referência de terra. O plano de terra analógico, que é o terra do sinal de entrada do MCA também, é localizado sob a parte analógica do ADC, enquanto o plano digital, sob a parte digital. Os dois planos são unidos somente em um único ponto, no pino de terra de saída do conversor DC/DC, que fornece a alimentação analógica do ADC. Utilizando o conversor DC/DC, separamos o terra analógico do ADC do terra do barramento do PC. Este é um ponto muito importante, pois o

terra do PC é extremamente ruidoso, devido, principalmente, à natureza digital dos sinais que trafegam pelo barramento [18]. Projetamos, no total, 5 planos de terra: um para o oscilador de 20MHz, um para as CPLD's, um para o monoestável e o discriminador e dois planos para o ADC e o amplificador operacional. Obviamente, todos as correntes fluem para o mesmo terra na fonte de alimentação do PC, mas a separação na placa do MCA é essencial para evitar a propagação de ruído localmente, entre as correntes digitais e os sinais analógicos.

Outra medida, visando a redução de ruído na placa, e principalmente nos pinos de alimentação dos componentes, foi a colocação de capacitores SMD de $0,1\mu\text{F}$ entre todos os pinos de alimentação e os planos de terra mais próximos. A utilização de capacitores SMD é importante, pois minimiza a indutância parasita que surge nos terminais de capacitores axiais ou radiais [19]. É importante que os ruídos de alta frequência, presentes nas alimentações, sejam filtrados da maneira mais eficiente possível. Para isso, a impedância e indutância vistas pelo terminal de terra dos capacitores de desacoplamento, para o plano de terra, devem ser as menores possíveis. Na alimentação analógica do ADC, ainda colocamos um capacitor de $6,8\mu\text{F}$ em paralelo com o de $0,1\mu\text{F}$, para filtrar também ruído em frequências mais baixas. Em todos os componentes, localizamos os capacitores de desacoplamento o mais próximo possível do pino de alimentação, visando mais uma vez diminuir a indutância e impedância vistas pelo terminal do dispositivo para o terminal do capacitor.

Capítulo 4

Resultados experimentais

Este capítulo apresenta os resultados experimentais do analisador-multicanal proposto. Mostramos, inicialmente, resultados comparativos de homogeneidade do MCA, para dois ADC's utilizados: AD1671 e AD976. Estes resultados foram decisivos na escolha do AD976 como melhor opção para o MCA projetado. Apresentamos, em seguida, os resultados de resolução, taxa de aquisição e linearidade para o MCA, utilizando o conversor AD976. No final do capítulo, mostramos resultados comparativos entre a versão final do MCA proposto e um MCA comercial similar.

4.1 Homogeneidade

Genericamente, quando expomos a janela ativa de um detector de posição a uma fonte homogênea e isotrópica de raio-X, o espectro resultante deve apresentar uma resposta homogênea, como ilustra a Figura 4.1. Assumindo que a distribuição de contagens do espectro apresenta um comportamento de Poisson, mas que tende a gaussiano para N muito grande, podemos definir a não-homogeneidade total do sistema como:

$$\delta = \frac{\sigma}{N} \quad (4.1)$$

onde N é a contagem média do espectro e σ é o desvio padrão, ambos obtidos através do ajuste gaussiano dos dados.

No caso da distribuição de contagens não apresentar um comportamento gaussiano, o que podemos verificar através do teste do χ^2 normalizado [20], calcula-

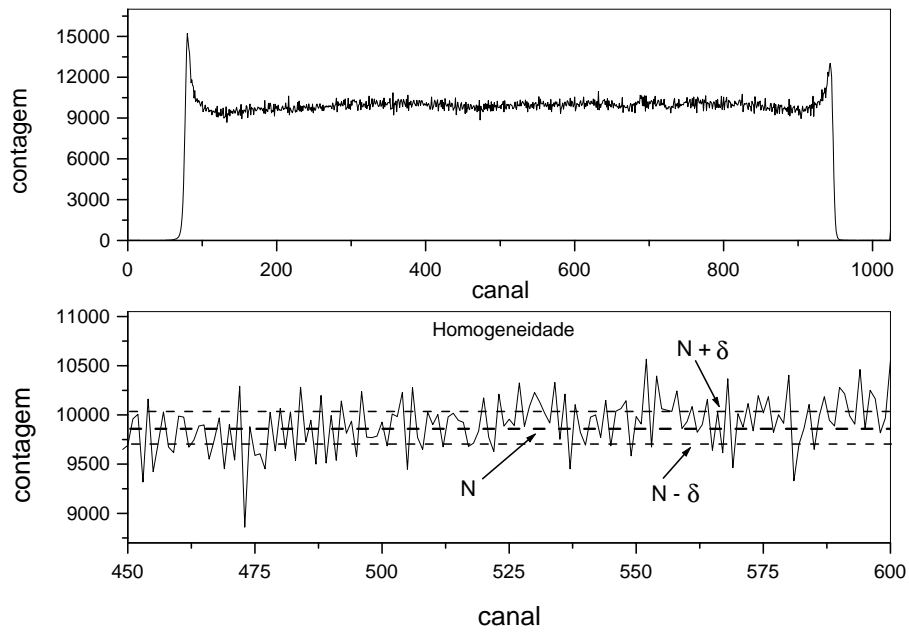


Figura 4.1: Exemplo de espectro de homogeneidade (acima), com ampliação de um trecho de interesse (abaixo).

mos a não-homogeneidade total do sistema como:

$$\delta = \frac{RMS}{M} \quad (4.2)$$

onde M é a contagem média do espectro e RMS é a raiz quadrada do valor médio quadrático, ambos calculados a partir dos resultados medidos.

No cálculo de não-homogeneidade, pelas Equações (4.1) e (4.2), estão incluídos erros devidos ao detector e ao sistema de detecção, além da flutuação estatística do processo. Devido à natureza quântica da fonte de raio-X, uma taxa média de eventos (n fótons/s) apresenta uma flutuação estatística de [1]:

$$\Delta n = \frac{1}{\sqrt{n}} \quad (4.3)$$

A relação acima é obtida considerando-se a emissão de fótons como um processo de Poisson. Neste caso, se cada canal de aquisição conta uma taxa de eventos n , um erro mínimo de $\pm\Delta n$ está sempre associado à contagem no canal. Quando a flutuação observada ultrapassa Δn , o erro é devido à soma da flutuação estatística com os erros do detector e do sistema de detecção (Pré-processamento + MCA). Baseados nesta premissa, podemos calcular a não-homogeneidade, devido somente ao sistema de detecção, utilizando a equação [1]:

$$\delta^2 = \delta_e^2 + \delta_s^2 \quad (4.4)$$

onde δ é a não-homogeneidade total, δ_e é a não-homogeneidade devido à flutuação estatística e δ_s é a não-homogeneidade devido ao sistema de detecção.

Para a medida de homogeneidade, utilizamos uma fonte de ^{55}Fe iluminando o detector de posição, conforme ilustra a Figura 4.2, mantendo-se uma distância mínima ($\approx 50\text{cm}$) entre a fonte e o detector, a fim de reduzir a divergência do feixe de fótons. A aquisição é realizada por um período de tempo suficiente para que a contagem média (M) do espectro atinja valores elevados (> 10000), de tal maneira que a flutuação estatística tenha pouca influência nos resultados ($< 1\%$).

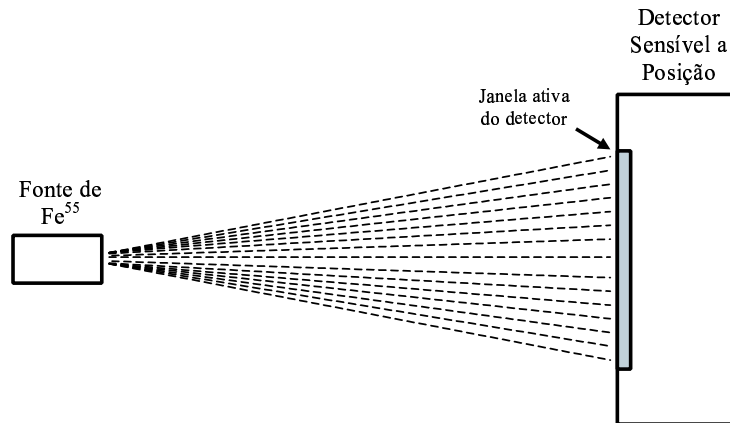


Figura 4.2: Vista superior do aparato experimental para a medida de homogeneidade.

O analisador-multicanal contribui para a não-homogeneidade do espectro de raio-X devido à própria não-linearidade diferencial (DNL) do ADC. Teoricamente, cada código do ADC deve exibir a mesma largura com relação à amplitude do sinal de entrada. Porém, devido à DNL, cada código apresenta uma largura diferente, fazendo com que os canais mais largos concentrem maior número de eventos que os mais estreitos (veja Apêndice A).

Como a homogeneidade é uma das características mais importantes de um MCA, realizamos testes de homogeneidade, em 1024 canais de resolução, para selecionar um dentre os dois conversores AD pré-selecionados. Os dois conversores foram pré-selecionados com base nas suas especificações de resolução, velocidade e método de amostragem. Uma característica importante para esta seleção é que o conversor tem que ser do tipo amostragem, ou *sampling*, o que significa que o sinal de entrada é amostrado aleatoriamente no tempo. Essa característica é essencial,

uma vez que os eventos no detector são de natureza randômica. A maioria dos conversores disponíveis no mercado são destinados a aplicações dinâmicas, onde o sinal a ser digitalizado é repetitivo no tempo, e sua amostragem pode obedecer a um sinal de *clock* com frequência fixa. Seguindo estes critérios de pré-seleção, testamos os seguintes ADC's:

1. AD1671KP - 12 *bits* de resolução, 800 ns de tempo de conversão e $\pm 2LSB$ de DNL [21];
2. AD976ACN - 16 *bits* de resolução, 4,0 μs de tempo de conversão e $\pm 2LSB$ de DNL [21];

Outros métodos, sem a utilização do detector, foram implementados com o objetivo de medir a homogeneidade unicamente do MCA. Mostramos a seguir os resultados de homogeneidade para o MCA, utilizando cada um dos dois ADC's nas configurações com e sem o detector de posição.

4.1.1 Homogeneidade com o conversor AD1671KP

Implementamos três diferentes configurações com o conversor AD1671KP. Nas duas primeiras, não utilizamos o detector de posição, o que eliminou os erros devido às não-linearidades intrínsecas do detector. Em todas as configurações, o circuito de histogramação do MCA foi mantido o mesmo.

4.1.1.1 Configuração 1 - Sinal triangular

Nesta primeira configuração, utilizamos o sinal triangular unipolar da Figura 4.3 como sinal de entrada e pulsos com frequência constante como sinal de *trigger* do ADC, conforme ilustrado na Figura 4.4. Como geramos o próprio sinal de trigger externamente, o primeiro estágio do MCA, contendo o circuito discriminador, não foi incluído. As características para esta configuração são:

- Sinal de entrada do MCA: sinal triangular unipolar, com 8,7 V_{pp} de amplitude, frequência de 300 Hz e *Slew-Rate* de 5,24 $mV/\mu s$.
- Sinal de *trigger* do ADC: pulsos com frequência de 1 MHz , gerados com o gerador de funções Keithley 3910.
- Resolução do MCA: 1024 canais (9,76 mV).

- Contagem média (M): $1,2 \times 10^6$ eventos.

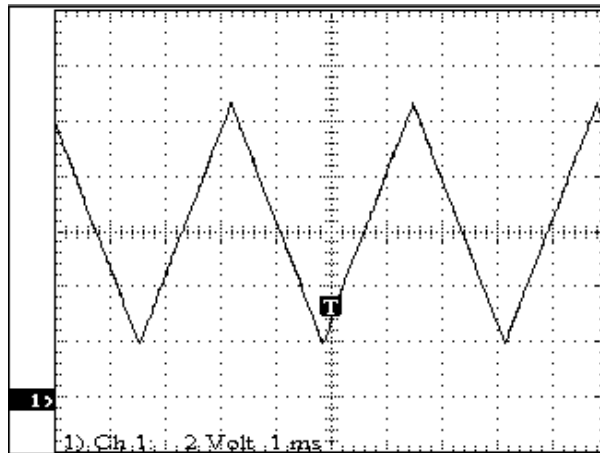


Figura 4.3: Sinal de entrada para o MCA.

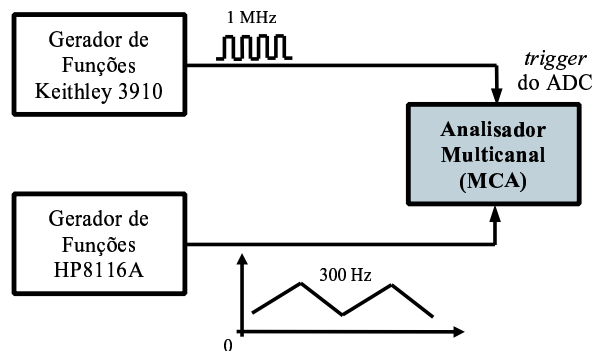


Figura 4.4: Aparato experimental para a medida de homogeneidade na Configuração 1.

Utilizamos um *trigger* de alta frequência, comparado com a frequência do sinal de entrada, para simular a configuração experimental com o TAC, onde digitalizamos um sinal praticamente DC. A Figura 4.5 ilustra o resultado desta aquisição e uma ampliação da região de interesse. Neste teste de homogeneidade, assim como nos demais, não existiu a necessidade de cobrirmos todos os canais disponíveis do MCA, uma vez que, nos experimentos práticos com fontes de raio-X, os efeitos de borda dos campos eletromagnéticos nos electrodos coletores de carga, no interior dos detectores de posição, impedem que as extremidades do espectro sejam utilizadas.

Supondo um comportamento gaussiano do espectro, a média ($N=1, 202 \times 10^6$) e o desvio padrão ($\sigma_T = 1, 611 \times 10^4$) são obtidos através do ajuste gaussiano (*fitting*)

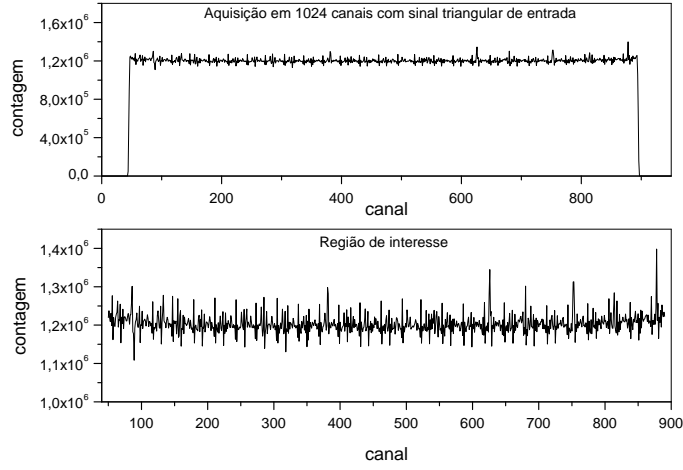


Figura 4.5: Resultado de homogeneidade do MCA para um sinal triangular de entrada e um *trigger* constante.

da distribuição de contagens na região de interesse (canais 50 a 890), como ilustra a Figura 4.6 (obtida com o programa PAW [22]). A região de interesse compreende os canais onde o MCA localizou o sinal de entrada. Mais especificamente, podemos calibrar estes canais com a grandeza física que está sendo medida (tensão, energia, etc.).

A não-homogeneidade resultante, pelo ajuste gaussiano, é:

$$\delta = \left(\frac{1,611 \times 10^4}{1,202 \times 10^6} \right) \times 100 = 1,34 \pm 0,09\%, \quad (4.5)$$

Observando o valor alto do χ^2 normalizado (1,92) e o correspondente grau de confiança ($< 1,0\%$) [20], calculamos também a não-homogeneidade com base no valor RMS:

$$\delta = \left(\frac{2,420 \times 10^4}{1,202 \times 10^6} \right) \times 100 = 2,01\% \quad (4.6)$$

4.1.1.2 Configuração 2 - geradores e TAC

Nesta segunda configuração para medir a homogeneidade, utilizamos dois geradores de funções (HP8116A e Keithley 3910) e o TAC (*Time-to-Amplitude Converter*), para gerar o sinal de entrada do MCA. Utilizando-se dois sinais não-sincronizados e de frequências constantes como START (250kHz) e STOP (145kHz) no TAC, foi gerado um sinal de amplitude variável entre 3,6V e 7,2V. Esta configuração apresenta as seguintes características:

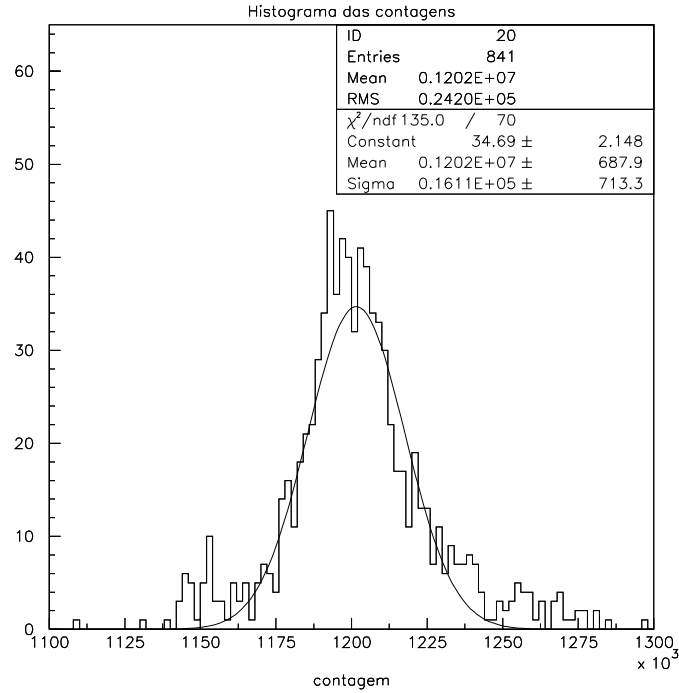


Figura 4.6: Histograma das contagens e o correspondente ajuste gaussiano para o sinal triangular da Configuração 1.

- Sinal de entrada do MCA: pulso do TAC com amplitude variando entre 3,6V e 7,2V.
- Sinal de *trigger* do ADC: *trigger* automático do MCA.
- Resolução do MCA: 1024 canais (9,76mV).
- Contagem média (M): $1,997 \times 10^6$ eventos.

O espectro resultante e a ampliação da região de interesse (canais 340 a 685) são mostrados na Figura 4.7. O histograma das contagens e o respectivo ajuste gaussiano são mostrados na Figura 4.8.

A não-homogeneidade, baseada no ajuste gaussiano, é:

$$\delta = \left(\frac{4,924 \times 10^4}{1,997 \times 10^6} \right) \times 100 = 2,46 \pm 0,22\% \quad (4.7)$$

Para o ajuste gaussiano da Figura 4.8, o χ^2 normalizado foi de 1,12 e o grau de confiança foi de $\approx 33\%$, o que já indica uma distribuição gaussiana. Calculando a não-homogeneidade pelo valor RMS, obtemos:

$$\delta = \left(\frac{6,024 \times 10^4}{1,997 \times 10^6} \right) \times 100 = \pm 3,01\% \quad (4.8)$$

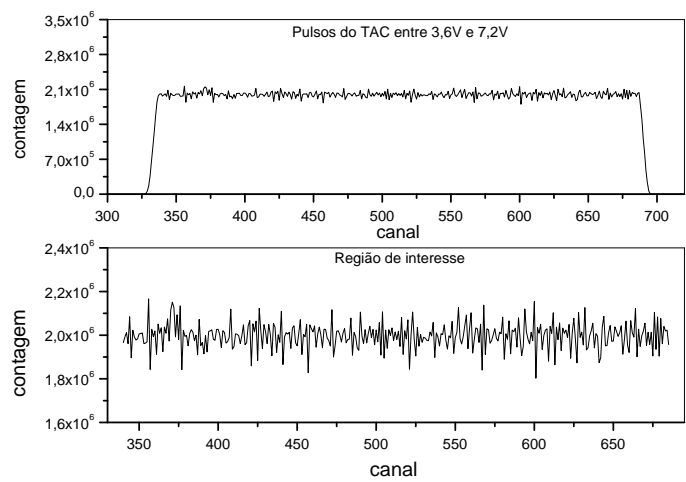


Figura 4.7: Espectro de homogeneidade para pulsos do TAC entre 3,6V e 7,2V, sem a utilização do detector de posição.

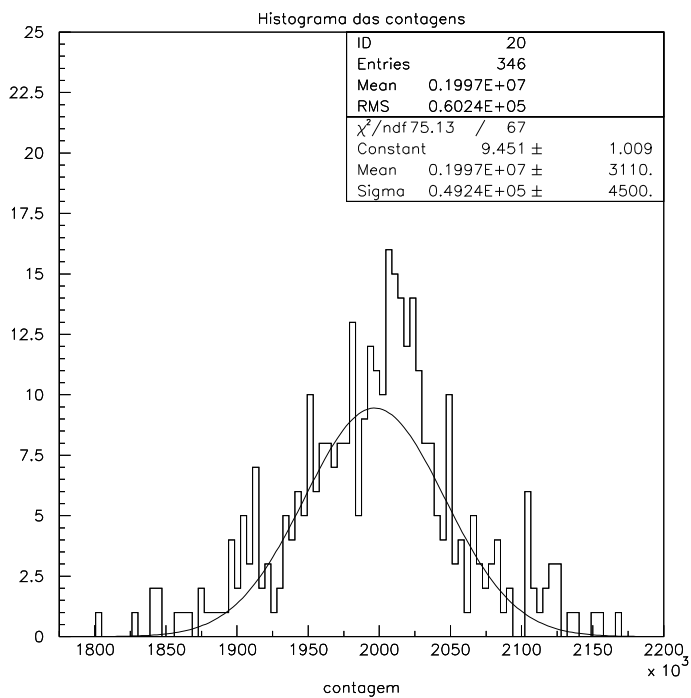


Figura 4.8: Histograma das contagens e o correspondente ajuste gaussiano para a Configuração 2.

4.1.1.3 Configuração 3 - detector e TAC

Nesta última configuração, empregamos o método mais usual para medida de homogeneidade, utilizando-se detectores sensíveis a posição. O método consiste em iluminar a janela ativa do detector escolhido com um feixe homogêneo de raio-X, de tal modo que a resposta do detector, na região atingida pelo feixe, seja plana e homogênea. Os erros de homogeneidade encontrados neste teste, além de incluírem erros do sistema de detecção, incluem irregularidades do próprio detector, como defeitos nos eletrodos e no material que compõe a janela do detector.

As características desta medida são:

- Sinal de entrada do MCA: pulso do TAC gerado a partir da iluminação do detector por um feixe de raio-X.
- Sinal de *trigger* do ADC: *trigger* automático do MCA.
- Resolução do MCA: 1024 canais (9,76mV).
- Contagem média (M): 9895 eventos.

A Figura 4.9 mostra a resposta do detector, quando iluminado pela fonte de ^{55}Fe e a ampliação (abaixo) da região atingida pelo feixe de raio-X (canais 105 a 920). Nesta configuração, a contagem média e o desvio padrão foram de $N=9898$ e $\sigma_T = 296,9$, enquanto o χ^2 normalizado foi de 0,96. O grau de confiança correspondente é de $\approx 55\%$, caracterizando um ótimo ajuste gaussiano dos dados. A Figura 4.10 ilustra o histograma das contagens e o respectivo ajuste gaussiano da distribuição. O fato do espectro não se apresentar plano na região de incidência é devido à característica pontual da fonte radioativa utilizada no experimento. Como a fonte de raio-X está alinhada com o centro da janela ativa do detector, a maior taxa de incidência de fótons ocorre no centro do espectro, diminuindo em direção às extremidades.

A não-homogeneidade, pelo ajuste gaussiano, é:

$$\delta = \left(\frac{296,9}{9898} \right) \times 100 = 2,99 \pm 0,09\% \quad (4.9)$$

A não-homogeneidade, pelo erro médio quadrático, é:

$$\delta = \left(\frac{320,5}{9895} \right) \times 100 = 3,23\% \quad (4.10)$$

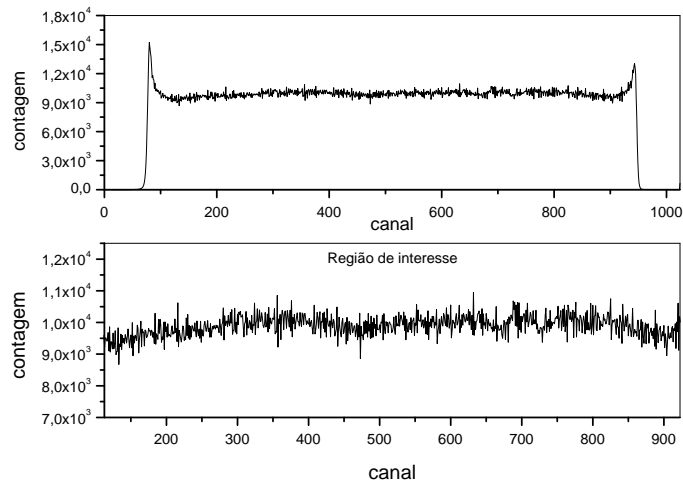


Figura 4.9: Resposta do detector quando iluminado por uma fonte homogênea de raio-X (acima) e *zoom* da região atingida.

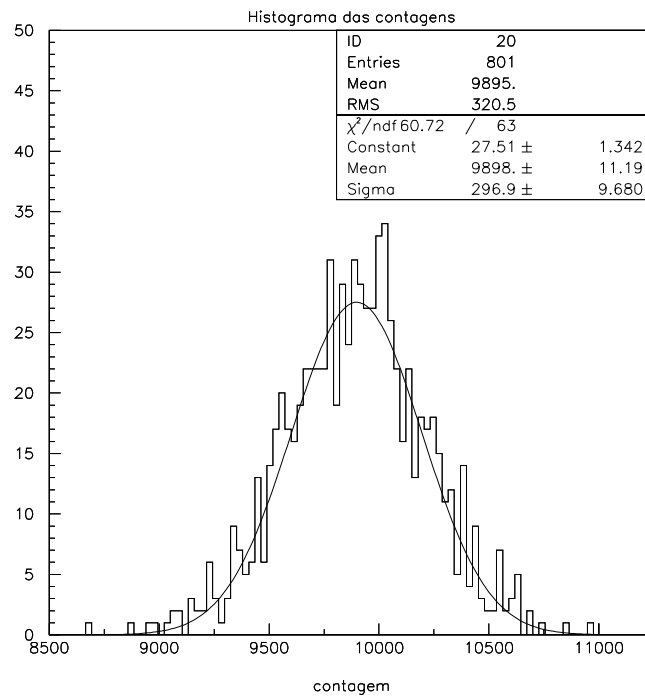


Figura 4.10: Histograma das contagens e o correspondente ajuste gaussiano para a resposta do detector a um feixe homogêneo de raio-X.

Como utilizamos o detector e uma fonte de raio-X, o espectro apresenta uma flutuação estatística de:

$$\delta = \frac{1}{\sqrt{N}} = \frac{1}{\sqrt{9895}} \approx 0,01 \quad (4.11)$$

Aplicando a Equação (4.4), para suprimir o efeito da flutuação estatística, obtemos a não-homogeneidade devido ao sistema de detecção, com base no ajuste gaussiano:

$$\delta = \sqrt{2,99^2 - 1,00^2} = \pm 2,81\% \quad (4.12)$$

Com base na estatística dos dados experimentais, a não-homogeneidade do sistema de detecção é:

$$\delta = \sqrt{3,23^2 - 1,00^2} = \pm 3,07\% \quad (4.13)$$

4.1.2 Homogeneidade com o conversor AD976ACN

Para este ADC, implementamos duas configurações para medir a homogeneidade resultante do MCA. Na primeira, utilizando os sinais de START e STOP (30kHz e 24,4kHz, respectivamente), geramos um sinal de amplitude variável na saída do TAC. A segunda configuração consistiu no método usual, com fonte de raio-X e detector. No primeiro teste, utilizamos 1024 canais, enquanto no segundo realizamos medidas com 1024, 2048 e 4096 canais.

4.1.2.1 Configuração 1 - geradores e TAC

Características:

- Sinal de entrada do MCA: pulso do TAC com amplitude variável;
- Sinal de *trigger* do ADC: *trigger* automático do MCA;
- Resolução do MCA: 1024 canais (9,76mV);
- Contagem média (M): $1,194 \times 10^4$ eventos.

O espectro resultante e a ampliação da região de interesse são mostrados na Figura 4.11. A distribuição das contagens na região de interesse (canais 131 a 640) e o respectivo ajuste gaussiano são mostrados na Figura 4.12. A média e o desvio

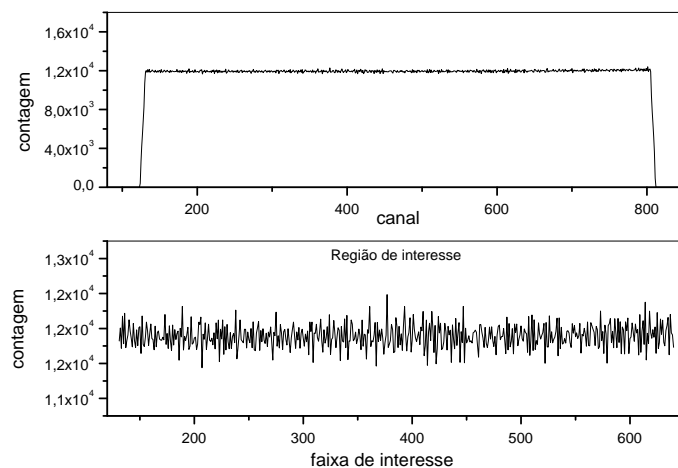


Figura 4.11: Resposta de homogeneidade para pulsos do TAC sem detector.

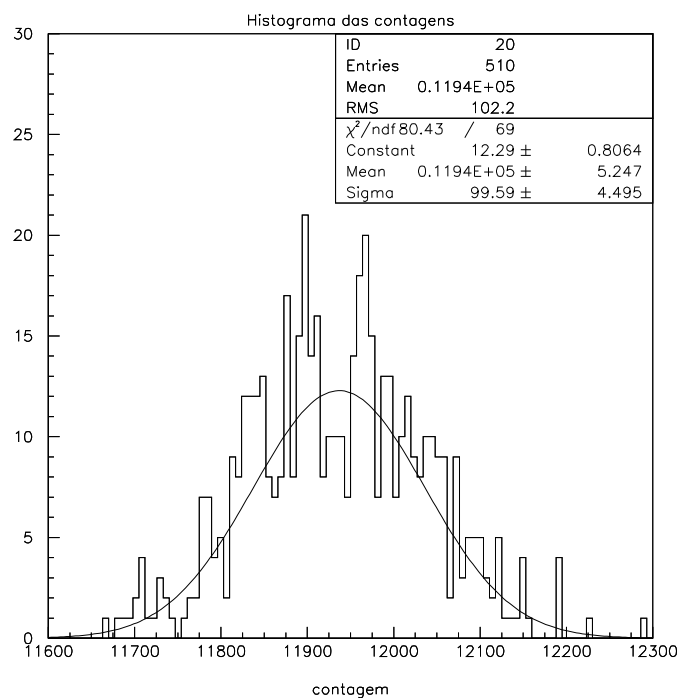


Figura 4.12: Histograma das contagens e ajuste gaussiano.

padrão do ajuste gaussiano são $N = 1,194 \times 10^4$ e $\sigma_T=99,59$, apresentando um χ^2 normalizado de 1,16 e um grau de confiança de 30%. A não-homogeneidade é:

$$\delta = \left(\frac{99,59}{1,194 \times 10^4}\right) \times 100 = 0,83 \pm 0,03\% \quad (4.14)$$

Utilizando os dados experimentais e o valor RMS, a não-homogeneidade é:

$$\delta = \left(\frac{102,2}{1,194 \times 10^4}\right) \times 100 = \pm 0,85\% \quad (4.15)$$

4.1.2.2 Configuração 2 - detector e TAC

Nesta segunda medida, iluminamos o detector com um feixe homogêneo de raio-X (fonte de ^{55}Fe) e realizamos uma aquisição de 10.000 eventos por canal, na média. Fizemos medidas com 1024, 2048 e 4096 canais. Para esta medida, utilizamos:

- Sinal de entrada do MCA: pulsos do TAC gerados a partir da iluminação do detector por um feixe de raio-X;
- Sinal de *trigger* do ADC: *trigger* automático do MCA;
- Resolução do MCA: 1024, 2048 e 4096 canais;
- Contagem média (M): 10000 eventos por canal.

Os espectros resultantes e os respectivos ajustes gaussianos das regiões de interesse são mostrados da Figura 4.13 a 4.18.

Para o espectro com 1024 canais, o ajuste gaussiano resultou em um χ^2 normalizado de 1,06 e um grau de confiança de, aproximadamente, 40%, o que caracteriza efetivamente uma distribuição gaussiana. Para 2048 canais, o χ^2 normalizado obtido foi de 0,86, com um grau de confiança de 70%. No pior resultado, com 4096 canais de resolução, o valor do χ^2 normalizado foi de 1,43, o que acarretou um grau de confiança de 3%, indicando alguma tendência não gaussiana nos dados.

Os resultados de não-homogeneidade são mostrados na Tabela 4.1. Retirando-se o efeito da flutuação estatística, chegamos aos resultados da Tabela 4.2.

A Tabela 4.3 resume todos os resultados de não-homogeneidade, obtidos experimentalmente, para os dois ADC's testados. Como era esperado, o AD976ACN apresentou melhor desempenho em relação ao AD1671KP em todos os testes, pois

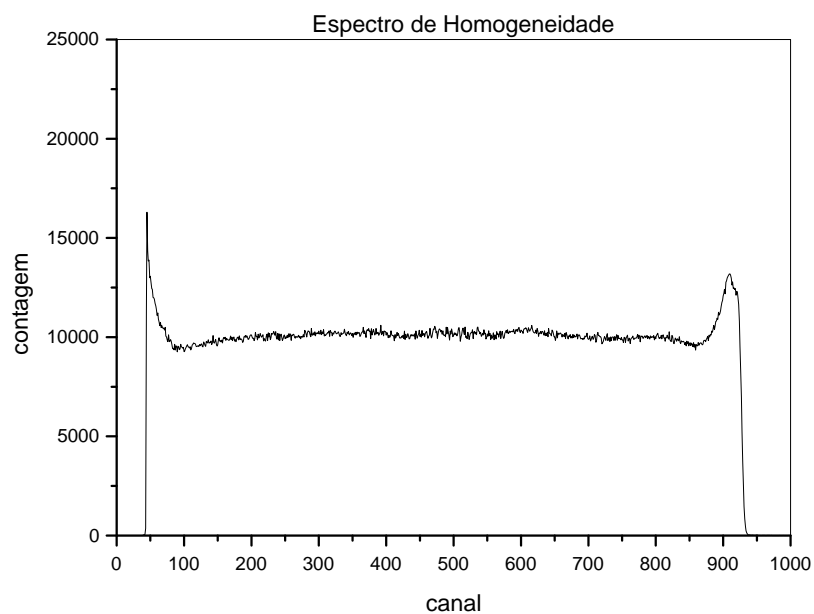


Figura 4.13: Resposta do detector quando iluminado por uma fonte homogênea de raio-X, para 1024 canais.

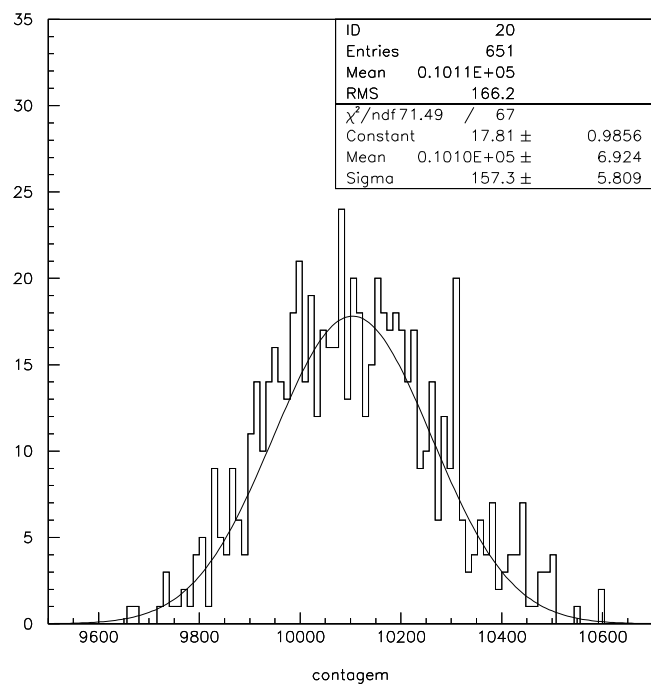


Figura 4.14: Histograma das contagens e ajuste gaussiano para 1024 canais.

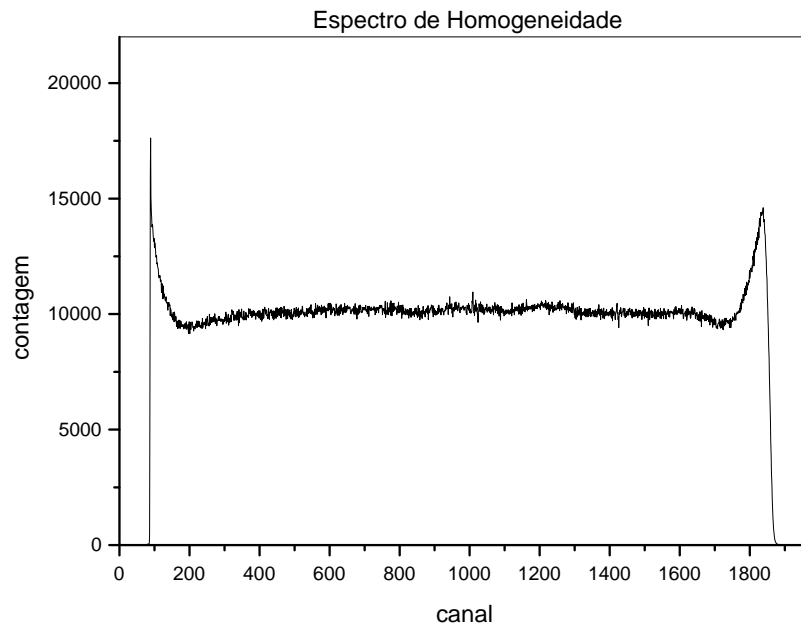


Figura 4.15: Resposta do detector quando iluminado por uma fonte homogênea de raio-X, para 2048 canais.

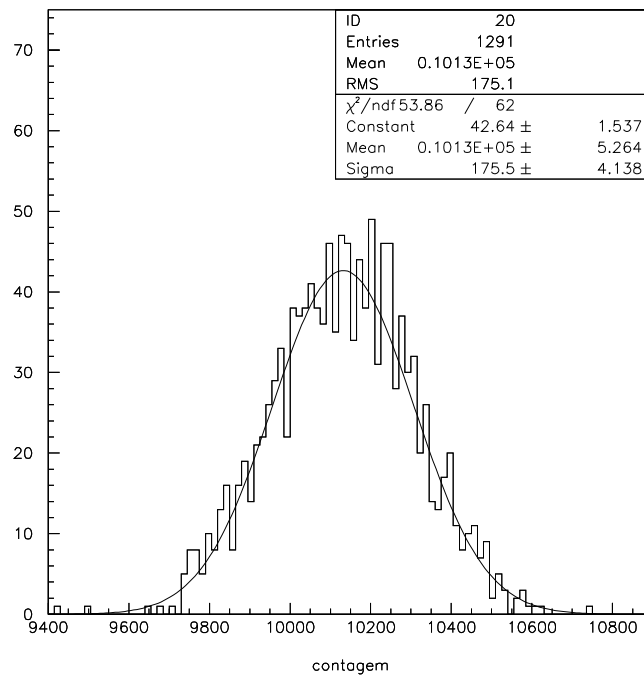


Figura 4.16: Histograma das contagens e ajuste gaussiano para 2048 canais.

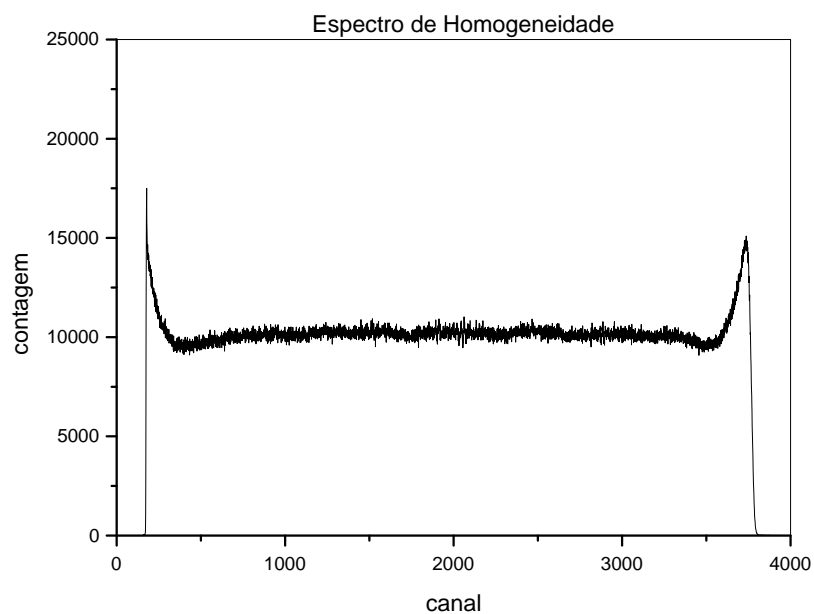


Figura 4.17: Resposta do detector quando iluminado por uma fonte homogênea de raio-X, para 4096 canais.

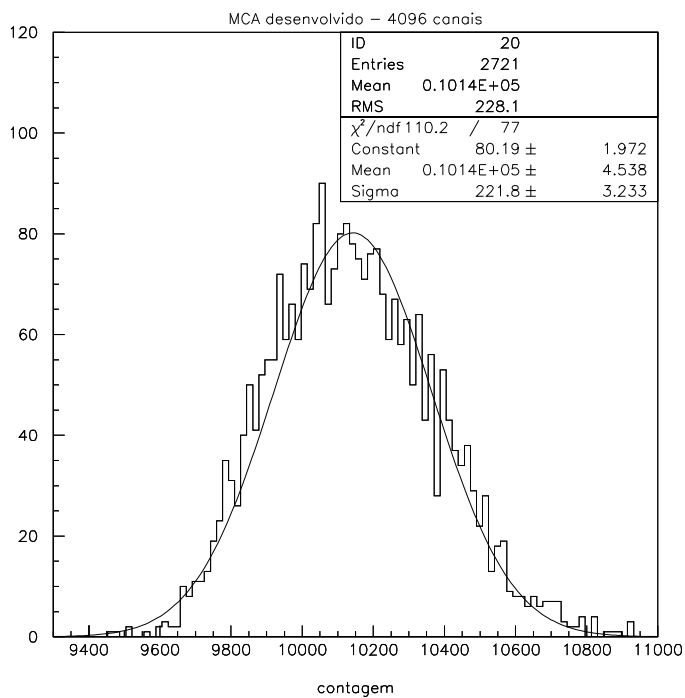


Figura 4.18: Histograma das contagens e ajuste gaussiano para 4096 canais.

Estimador	1024 canais	2048 canais	4096 canais
RMS	1,64%	1,72%	2,24%
gaussiano	$1,55 \pm 0,05\%$	$1,73 \pm 0,04\%$	$2,18 \pm 0,03\%$

Tabela 4.1: Resultados de não-homogeneidade do MCA, com o ADC976ACN, utilizando o valor RMS e o modelo gaussiano.

Estimador	1024 canais	2048 canais	4096 canais
RMS	1,29%	1,39%	2,00%
gaussiano	1,18%	1,41%	1,93%

Tabela 4.2: Resultados de não-homogeneidade do MCA, com o ADC976ACN, utilizando o valor RMS e o modelo gaussiano, retirando o erro estatístico.

apesar de apresentarem a mesma DNL ($\pm 2,0LSB$), a utilização de um ADC de maior resolução nos leva a trabalhar com uma DNL inferior, que é o caso do AD976ACN. Em razão destes resultados, escolhemos o conversor AD976ACN para a implementação da versão final do MCA. No final deste capítulo, mostramos resultados comparativos de homogeneidade entre a versão final do MCA desenvolvido e um MCA comercial similar.

4.2 Resolução

No sistema de detecção de raio-X, envolvendo detectores sensíveis a posição, a resolução espacial está relacionada com a menor distância de separação observável entre dois eventos. Considerando-se todo o sistema de detecção (detector, módulos de pré-processamento e analisador-multicanal), a resolução espacial é definida pelos seguintes fatores:

- resolução intrínseca do detector de posição;
- nível de ruído presente no sinal do TAC;
- número de canais do analisador-multicanal.

Configuração	Canais	Não-Homogeneidade	AD1671KP	AD976ACN
Sinal Triangular	1024	RMS	2,01%	-
		gaussiano	$1,34 \pm 0,09\%$	-
Geradores e TAC	1024	RMS	3,01%	0,85%
		gaussiano	$2,46 \pm 0,22\%$	$0,83 \pm 0,03\%$
Detector e TAC	1024	RMS	3,23%	1,64%
		gaussiano	$2,99 \pm 0,09\%$	$1,55 \pm 0,05\%$
	2048	RMS	-	1,72%
		gaussiano	-	$1,73 \pm 0,04\%$
	4096	RMS	-	2,24%
		gaussiano	-	$2,18 \pm 0,03\%$

Tabela 4.3: Resultados de não-homogeneidade do MCA, para os dois ADC's testados, de acordo com o valor RMS e o modelo gaussiano.

A resolução do MCA é dada pelo número de *bits* do ADC AD976, sendo que, efetivamente, o MCA pode apresentar uma resolução ligeiramente inferior, em virtude do nível de ruído presente no sinal de entrada e de erros estáticos do ADC. Significa dizer que a mesma amplitude no sinal do TAC pode corresponder a mais de um canal no MCA. Teoricamente, o MCA desenvolvido apresenta resolução de $10V/4096=2,44mV$, podendo este valor ser modificado para 4,88mV, 9,76mV, 19,53mV e 39,06mV, dependendo do número de canais escolhido no programa de aquisição. A variação do número de canais consiste em considerar somente o número de *bits* mais significativos correspondentes no ADC. Quando se define uma aquisição com 1024 canais de resolução, por exemplo, utilizamos somente os 10 *bits* mais significativos do ADC, mesmo este possuindo 16 *bits* de resolução. Este processo reduz a resolução, mas melhora a homogeneidade do MCA, conforme mostra a Tabela 4.3. Isto ocorre porque os códigos do ADC passam a apresentar uma largura maior para a conversão, diminuindo o efeito da não-linearidade diferencial (DNL). A resolução do ADC não deve, entretanto, comprometer a resolução espacial do detector.

Na medida de resolução do sistema, utilizamos duas abordagens. A primeira, que considera a resolução de todo o sistema de detecção (detector + pré-processamento + MCA), é medida utilizando-se o detector PSD de teste. A segunda

abordagem é uma medida unicamente da resolução do MCA, na qual geramos um sinal de amplitude constante na saída do TAC e verificamos a quantidade de canais onde foram localizados os eventos.

4.2.1 Resolução espacial do sistema de detecção

Para a determinação da resolução espacial, considerando todo o sistema de detecção, utilizamos uma máscara de calibração com fendas espaçadas linearmente, como mostramos na Figura 4.19. O processo consiste em iluminar a janela do

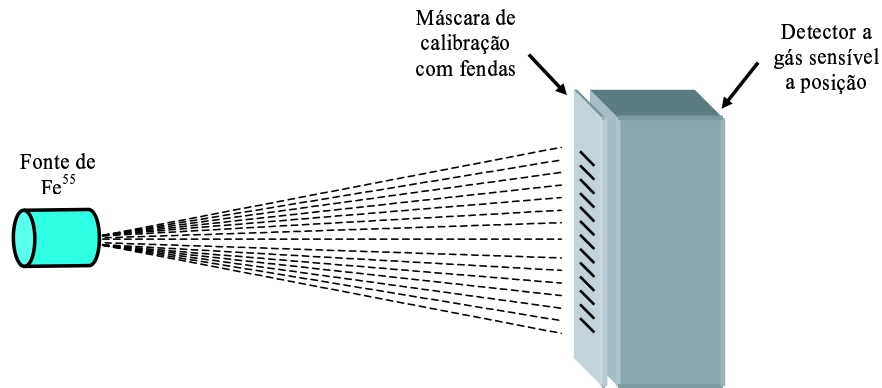


Figura 4.19: Vista superior do experimento de medida de resolução espacial.

detector com um feixe homogêneo de raio-X, gerado por uma fonte de ^{55}Fe , e medir a distância entre os picos do espectro, estabelecendo uma relação $\Delta\text{canal} / \Delta\text{posição}$. Desta forma, conseguimos determinar a relação de conversão entre canal e posição. A máscara utilizada possui fendas de $300\mu\text{m}$ de largura, espaçadas de 2mm entre si. A Figura 4.20 ilustra o resultado da aquisição com a máscara de calibração.

A partir do ajuste gaussiano de cada um dos 11 picos mais centrais do espectro da Figura 4.20, determinamos o canal central de cada pico. Com os centros de cada pico e as distâncias entre as fendas, calculamos a relação $\Delta\text{canal} / \Delta\text{posição}$, dada pelo coeficiente angular da reta que melhor se aproxima dos pontos resultantes, como mostra a Figura 4.21. Para os dados experimentais obtidos, com o ADC AD976ACN, chegamos a $\Delta\text{canal} / \Delta\text{posição} = 40,5$ canais por mm .

No cálculo final da resolução espacial do sistema, utilizamos a FWHM (*Full Width at Half Maximum*), ou largura total à meia altura, do pico mais central, que representa a posição de menor divergência do feixe de raio-X. Com a divergência

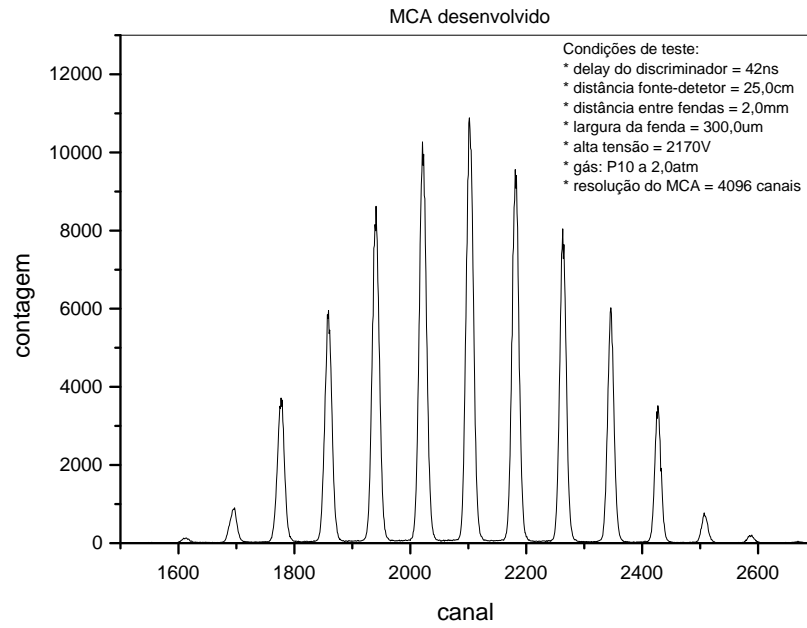


Figura 4.20: Resposta do detector de teste à iluminação através de uma máscara de calibração, para o MCA projetado.

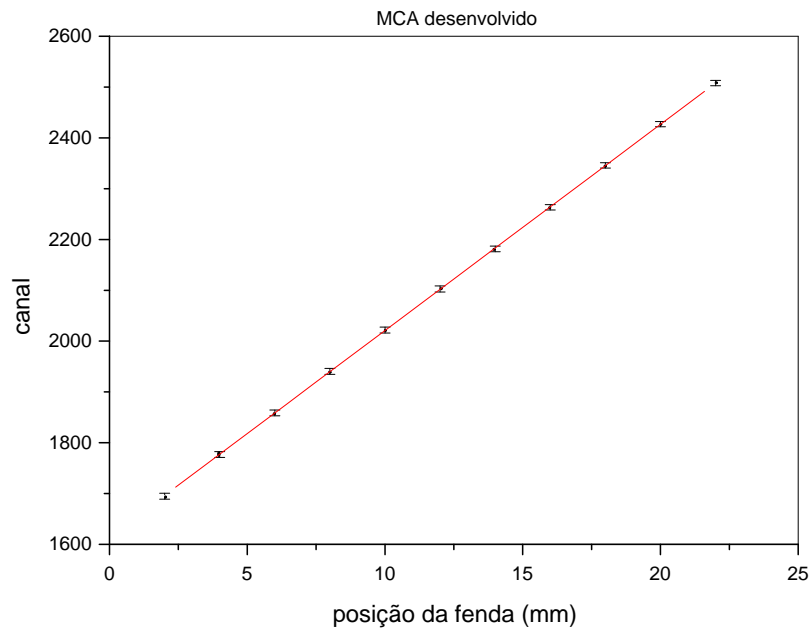


Figura 4.21: Linearidade do sistema de detecção, obtida a partir da iluminação do detector através de uma máscara de calibração.

da fonte, a resolução tende a se deteriorar nos demais canais, introduzindo erros experimentais na estimativa da resolução. A FWHM é dada por [1]:

$$FWHM = 2,35 \times \sigma \quad (4.16)$$

sendo σ o desvio padrão obtido pelo ajuste gaussiano.

Para o pico mais central, mostrado na Figura 4.22, correspondente ao canal 2102, aproximadamente, calculamos $FWHM = 2,35 \times 5,9 = 13,8$ canais. A resolução espacial é obtida convertendo-se a largura à meia altura para milímetros, através da relação $\Delta_{\text{canal}} / \Delta_{\text{posição}}$ obtida anteriormente.

$$r = \frac{FWHM}{\frac{\Delta_{\text{canal}}}{\Delta_{\text{posição}}}} = \frac{13,8}{40,5} \cong 340,7 \mu\text{m} \quad (4.17)$$

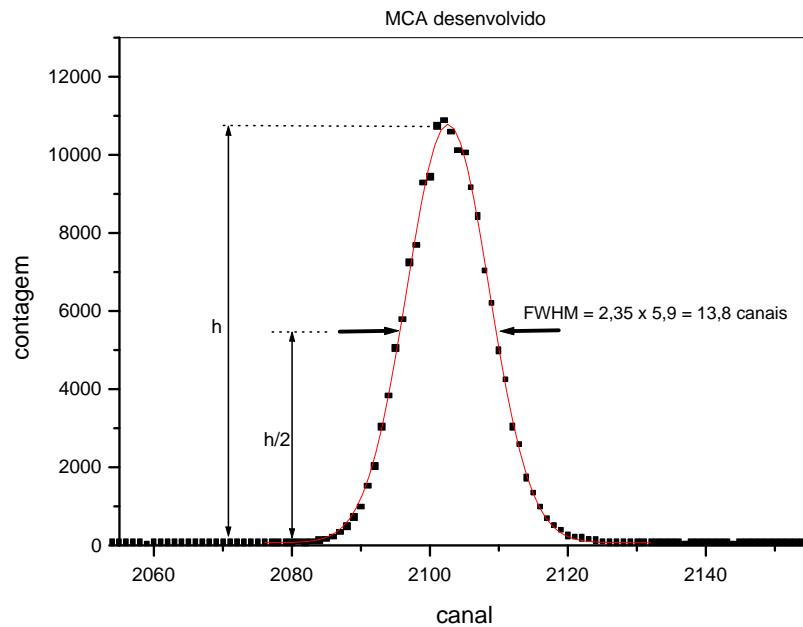


Figura 4.22: Ajuste gaussiano do pico mais central do espectro da Figura 4.20.

4.2.2 Resolução do MCA

Para a medida de resolução intrínseca do MCA, montamos o aparato experimental mostrado na Figura 4.23, que simula a ocorrência de vários eventos em

uma mesma posição, através de sinais START e STOP com defasagem constante. Utilizando o esquema da Figura 4.23, e variando o atraso entre os sinais de

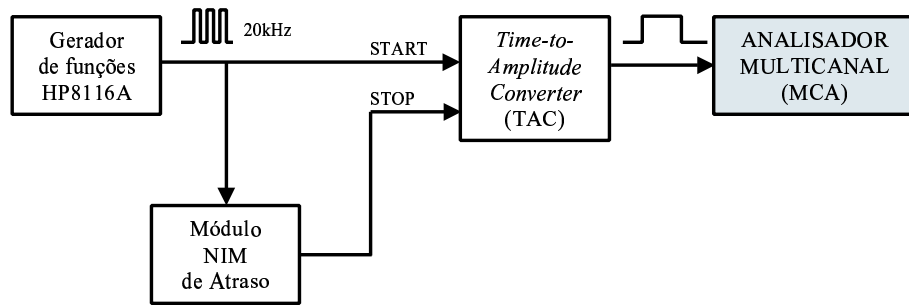


Figura 4.23: Aparato experimental para a medição da resolução do MCA.

START e STOP, geramos na saída do TAC três valores de amplitudes diferentes, $1,5V \pm 1,5mV$, $5V \pm 5,5mV$ e $8,5V \pm 11,0mV$. Os erros associados a cada amplitude foram obtidos através da amostragem de vários pulsos através de um osciloscópio digital (TDS220) com 8 *bits* de resolução. Realizamos o teste com amplitudes diferentes para verificar algum comportamento diferenciado do MCA em relação à amplitude do sinal de entrada. Podemos verificar nas Figuras 4.24, 4.25 e 4.26 e nos resultados da Tabela 4.4, que o MCA apresentou o mesmo comportamento para o sinal de entrada com as diferentes amplitudes.

Para cada amplitude, realizamos uma aquisição até que o maior pico atingisse aproximadamente 2×10^6 contagens (flutuação estatística de 0,07%). Realizamos as medidas, com o MCA proposto e um MCA comercial similar, para 1024, 2048 e 4096 canais, que são as resoluções mais utilizadas em aplicações práticas.

Como os sinais de START e STOP estão defasados por um fator de tempo constante e têm a mesma frequência, o pulso gerado na saída do TAC mantém a mesma amplitude para cada par de sinais START e STOP que chega. Se este evento simulado ocorresse sempre na mesma posição, e assumindo um sinal de TAC sem ruído e um MCA ideal, todos os eventos deveriam ser localizados em um mesmo canal. É óbvio que tais condições são impossíveis de serem atingidas na prática, já que o sinal do TAC apresenta $\pm 16mV$ de ruído intrínseco, medido com o osciloscópio digital TDS220. Além disso, o ADC utilizado no MCA apresenta ruído próprio e não-linearidades [23].

Os resultados obtidos no teste de resolução são mostrados nas Figuras 4.24, 4.25 e 4.26. Em virtude dos poucos canais ocupados, utilizamos o valor RMS como

	1024 canais	2048 canais	4096 canais
1,5V	0,63	1,16	2,25
5,0V	0,51	0,91	1,64
8,5V	0,47	0,81	1,60

Tabela 4.4: Valor RMS para a resolução do sinal do TAC, utilizando o ADC AD976ACN.

	1024 canais	2048 canais	4096 canais
1,5V	0,68	2,13	5,18
5,0V	0,39	1,62	3,65
8,5V	0,36	1,23	3,42

Tabela 4.5: Erro relativo da resolução do sinal do TAC para o ADC AD976ACN. Vide o texto.

uma estimativa da resolução. Os resultados de resolução do MCA são mostrados na Tabela 4.4.

A Tabela 4.5 mostra o erro relativo para as Figuras 4.24, 4.25 e 4.26. O erro relativo foi calculado como a razão entre o número de contagens que ocorreram fora do canal central de maior contagem e o valor da contagem correspondente a este canal.

Podemos concluir, a partir dos resultados experimentais, que o ruído presente no sinal do TAC torna-se mais crítico somente em uma aquisição com 4096 canais, onde a resolução é mais fina.

4.3 Linearidade

O resultado mostrado na Figura 4.21 também pode ser utilizado no cálculo da linearidade do sistema de detecção. Como as fendas estão dispostas linearmente na máscara de calibração, os centros correspondentes a cada pico do espectro também devem estar espaçados linearmente. O maior desvio relativo de canal, quando se medem os desvios do modelo linear em relação aos dados experimentais, serve como

1,5V - 1024, 2048 e 4096 canais

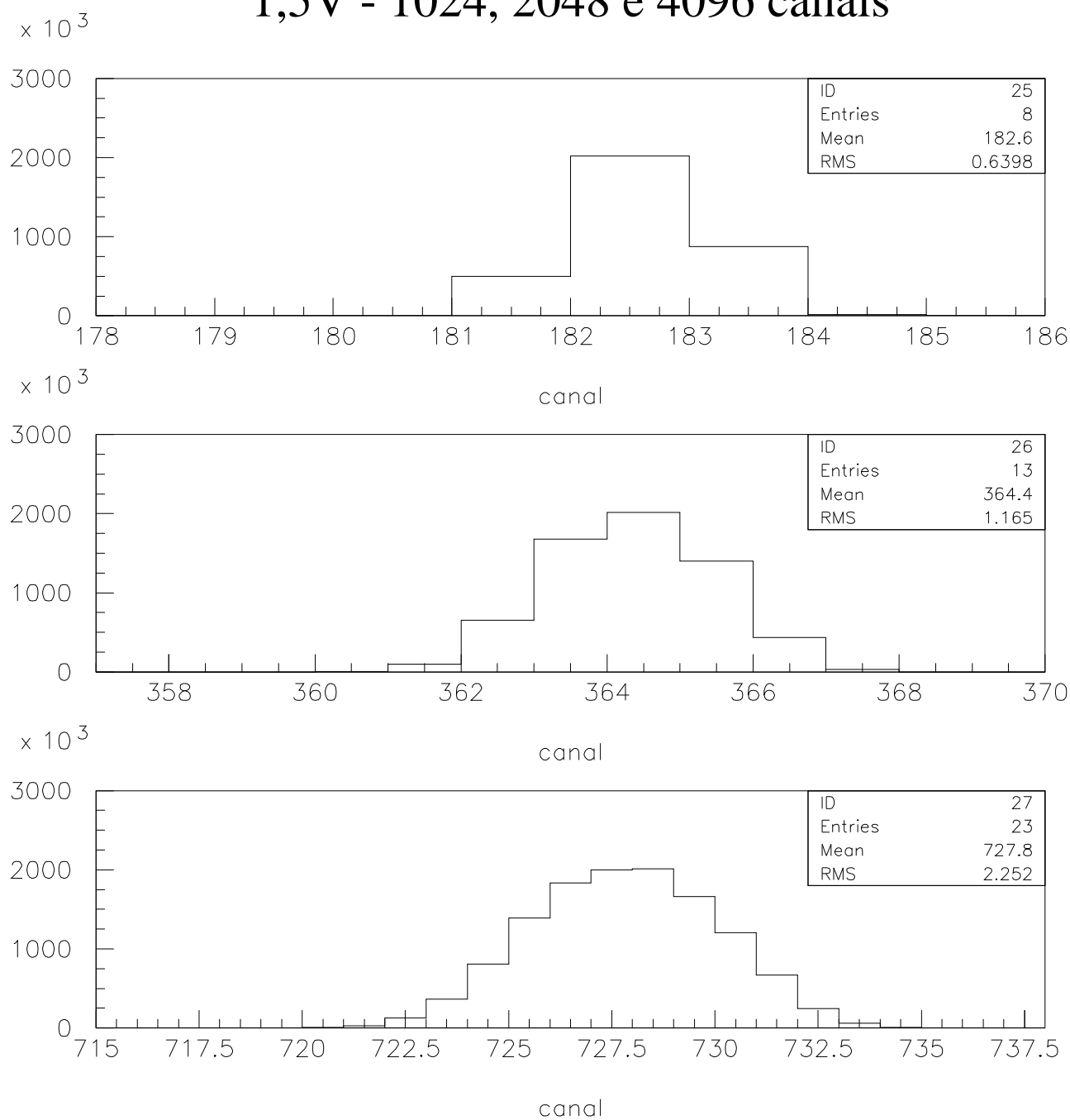


Figura 4.24: Resultados experimentais obtidos através de pulsos do TAC com amplitude fixa de 1,5V, para 1024, 2048 e 4096 canais. Veja o texto.

5,0V - 1024, 2048 e 4096 canais

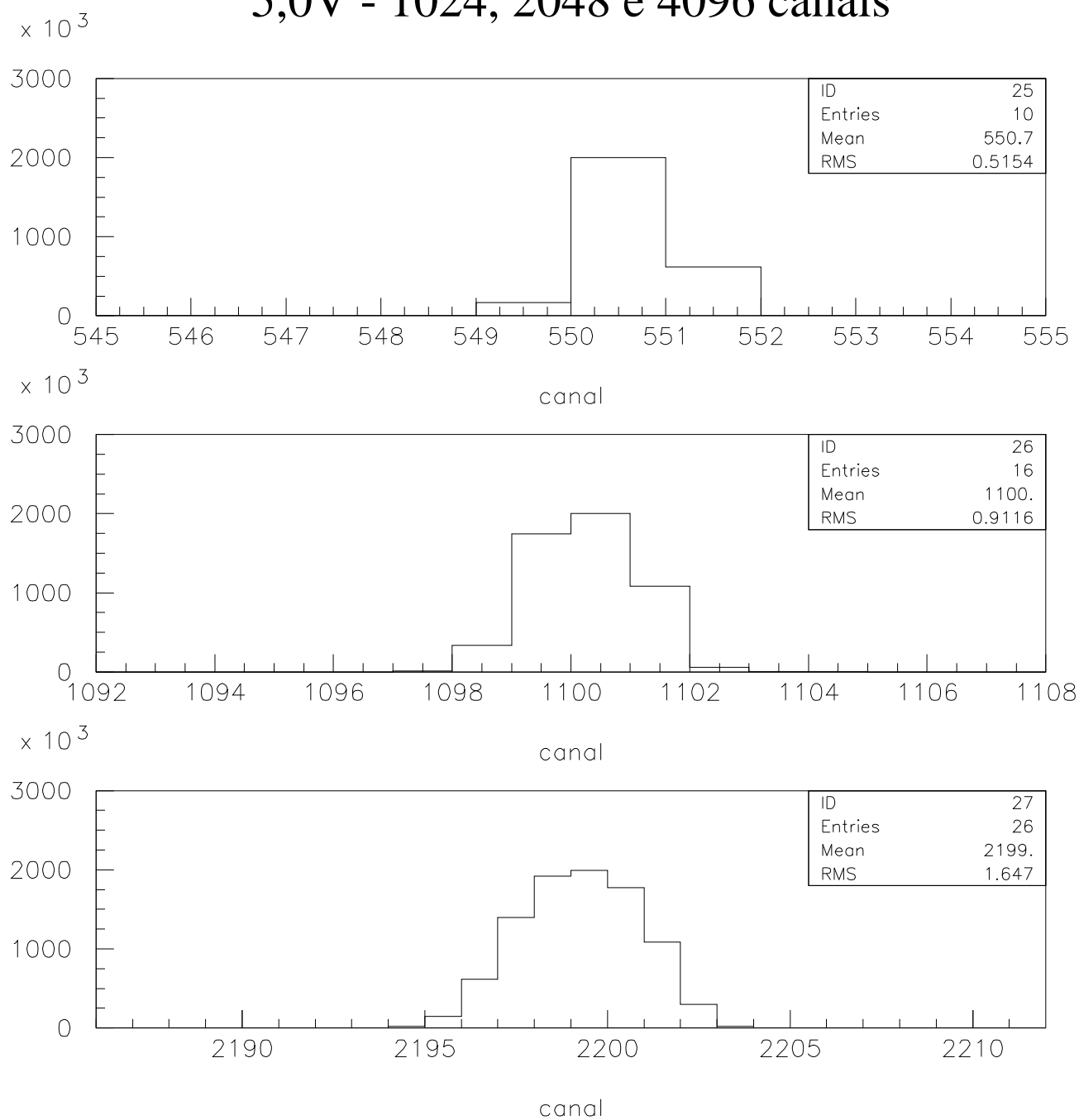


Figura 4.25: Resultados experimentais obtidos através de pulsos do TAC com amplitude fixa de 5,0V, para 1024, 2048 e 4096 canais. Veja o texto.

8,5V - 1024, 2048 e 4096 canais

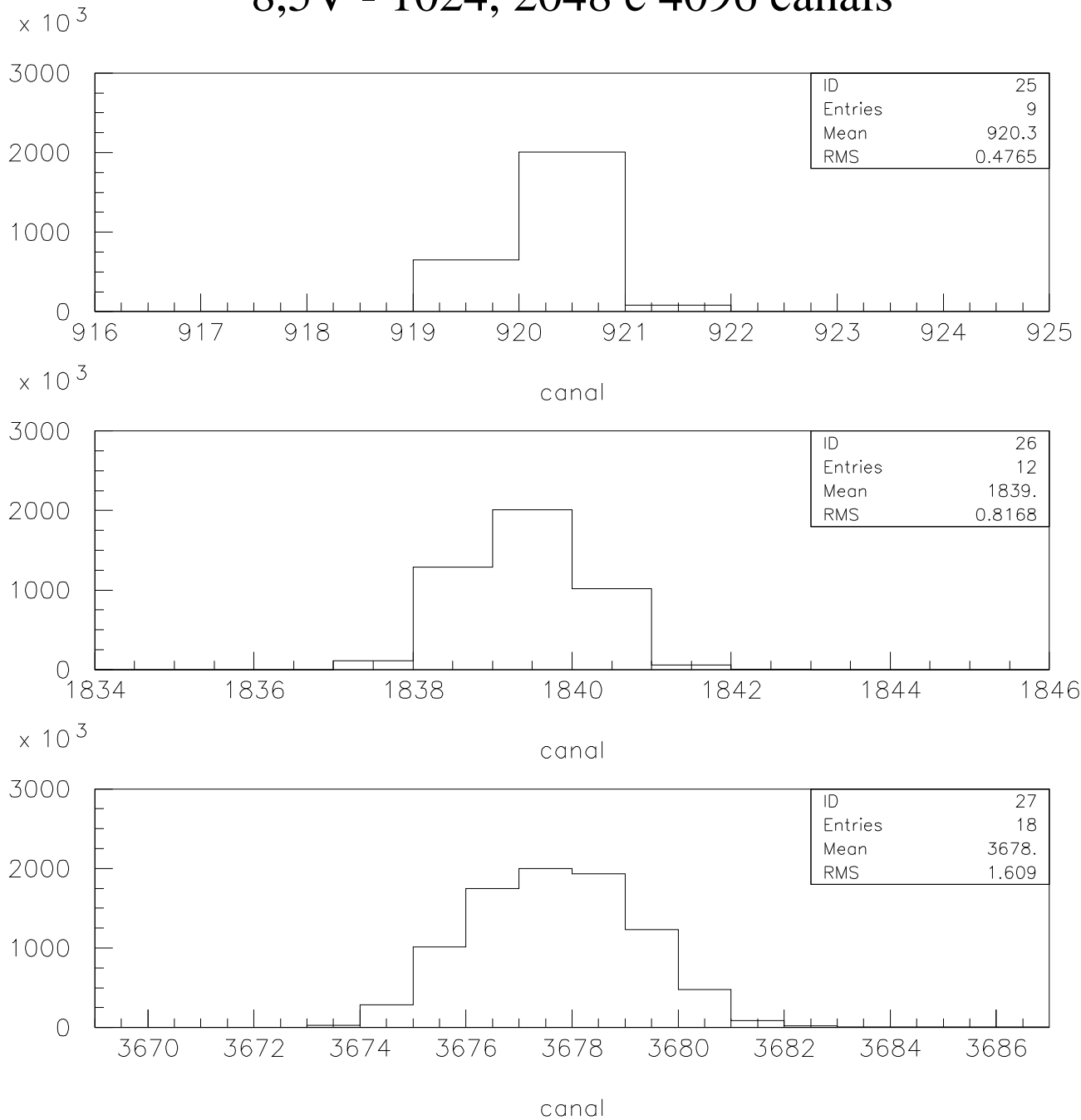


Figura 4.26: Resultados experimentais obtidos através de pulsos do TAC com amplitude fixa de 8,5V, para 1024, 2048 e 4096 canais. Veja o texto.

estimativa da não-linearidade do MCA:

$$NL = \left(\frac{|canal\ do\ modelo\ linear - canal\ medido|}{faixa\ de\ canais\ utilizados} \right) \times 100 \text{ [%]} \quad (4.18)$$

A distância entre a fonte de raio-X e o detector foi de 25,0cm. A máscara de calibração apresenta fendas com 300 μ m de largura, espaçadas de 2mm entre si. A não-linearidade medida foi de 0,2%.

4.4 Taxa de aquisição

A taxa de aquisição de um analisador-multicanal (MCA) indica a maior quantidade de eventos por unidade de tempo que o MCA pode aceitar, processando corretamente tais eventos. Acima desta taxa, os eventos começam a ser perdidos. A taxa de eventos em sistemas de detecção de raio-X depende da fonte radioativa utilizada para expor o detector. Todos os testes realizados neste trabalho utilizaram fontes de ^{55}Fe . Utilizaremos como unidade para taxa de eventos a quantidade amostras por segundo (*samples per second-sps*). A taxa de aquisição máxima do MCA é o inverso do seu tempo morto (*Dead Time*), que significa o menor intervalo de tempo que deve separar dois eventos, para que estes sejam medidos como eventos distintos no MCA [1]. Quanto menor o tempo morto do MCA, maior é sua capacidade de adquirir eventos em alta velocidade.

A taxa de aquisição do MCA desenvolvido é limitada por três fatores:

1. tempo de conversão do ADC;
2. tempo de histogramação do evento;
3. tempo de acesso do PC à memória do MCA.

Estes três fatores colaboram no aumento do tempo morto do MCA, sendo que os dois primeiros são intrínsecos do MCA, dependendo exclusivamente do ADC e do circuito de histogramação. O tempo de acesso do PC à memória da placa aumenta de acordo com a resolução selecionada para a aquisição, pois quanto maior o número de canais, maior será o número de endereços da memória, a serem lidos pelo PC. Como veremos mais adiante, para uma aquisição em 1024 canais, o tempo de acesso do PC representa cerca de 2,1% do tempo de aquisição. Durante este período, os eventos lidos pelo detector são perdidos, pois o processo de histogramação é interrompido para que o PC possa ler o conteúdo da memória. Podemos reduzir o tempo morto

devido ao PC, através do *software*, aumentando o intervalo de tempo entre dois acessos do PC. Isso só torna a atualização da tela mais lenta. Podemos, também, eliminar completamente o acesso do PC durante um período inteiro de aquisição, só lendo a memória do MCA ao final. Esse procedimento elimina completamente o tempo morto devido ao PC, aumentando ao máximo a taxa de aquisição do MCA, que neste caso é decorrente somente ao tempo de conversão do ADC e ao tempo de processamento do circuito de histogramação. A única limitação nesta situação é o número de contagens máxima por canal, que não pode ultrapassar 65535, já que utilizamos 16 *bits* para armazenar o número de contagens por canal.

O tempo morto intrínseco do MCA é composto, predominantemente, pelo tempo de conversão do ADC, incluindo, ainda, o tempo gasto pelo circuito histogramador para ler, incrementar o contador de eventos e escrever o respectivo valor na memória. O tempo de conversão medido do ADC AD976ACN foi de $3,8\mu s$ e o período de histogramação $200ns$ (correspondente a quatro períodos do *clock* de 20MHz), o que leva a um tempo morto de $4,0\mu s$, como ilustra a Figura 4.27. A forma de onda

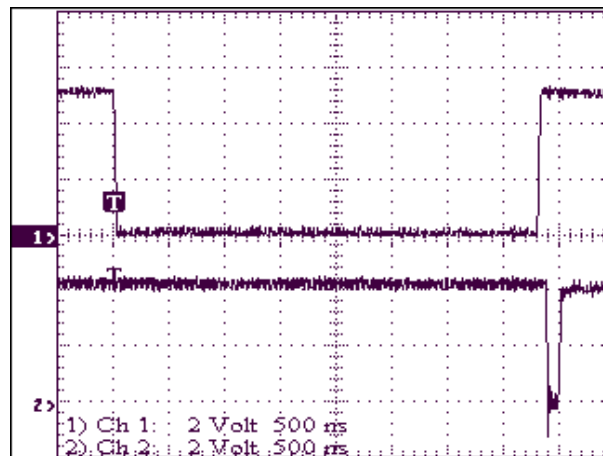


Figura 4.27: Sinal de conversão do ADC (superior) e pulso de habilitação da memória (inferior).

medida no canal 1 é o sinal de conversão do ADC. A transição de descida sinaliza o início da conversão, enquanto que a transição de subida indica o fim da conversão. Esta última transição dispara o início de um ciclo de histogramação, sinalizado pelo nível baixo do sinal no canal 2. Considerando ainda o atraso (gerado pelo

monoestável) de $500ns$ para o disparo do ADC, a taxa de aquisição será:

$$f_A = \frac{1}{t_{morto}} = \frac{1}{3,8\mu s + 0,2\mu s + 0,5\mu s} = 222,2ksp/s \quad (4.19)$$

onde f_A é a taxa de aquisição e t_{morto} é o tempo morto da placa.

Realizamos os testes de taxa de aquisição em 1024 e 4096 canais, utilizando um gerador de funções para produzir pulsos com $5V$ de amplitude e $2\mu s$ de largura. Variamos a frequência dos pulsos entre $10kHz$ e $300kHz$, e para cada frequência realizamos medidas no MCA com $600s$ de duração. Para cada frequência do sinal de entrada, obtivemos uma distribuição em torno de um canal central (correspondente a $5V$), como visto na Figura 4.25, por exemplo. Integrando as contagens em todos os canais atingidos chegamos ao total de eventos adquiridos pelo MCA. A partir do total de eventos, calculamos a taxa atingida pelo MCA e construímos o gráfico taxa real versus taxa medida, Figuras 4.28(a) e 4.29(a).

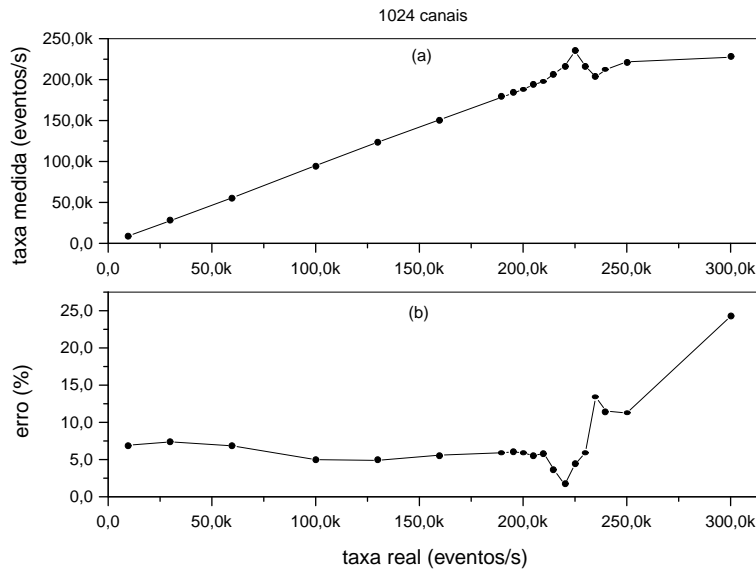


Figura 4.28: Taxa de aquisição (a), em 1024 canais, para diferentes frequências de entrada ($10kHz$ a $300kHz$) e erro relativo (b), entre as taxas real e medida pelo MCA.

Podemos observar que a taxa de aquisição do MCA mostrou-se linear até cerca de $230ksp/s$, como era esperado, em acordo com a Equação (4.19). As Figuras 4.28(b) e 4.29(b) ilustram os erros entre as taxas real e medida em função da taxa de eventos apresentada à entrada do MCA. O principal fator que afeta tal erro é o tempo de acesso do PC à memória da placa. O intervalo entre dois acessos

consecutivos do PC é de 150ms. Como realizamos aquisições durante 600s, foram realizados 4000 acessos do PC. Cada acesso, no caso de 1024 canais, tem a duração de 3,08ms. Finalmente, durante toda a aquisição (600s) o tempo gasto por acesso do PC foi de $4000 \times 3,08 = 12,3s$, aproximadamente 2,0% do tempo total de aquisição. Para 4096 canais, este número é multiplicado por 4 e o tempo total gasto por acesso do PC vai para 49,2s, o que representa 8,2% do tempo de aquisição. Levando-se em consideração o tempo de acesso do PC durante as aquisições e a faixa linear de operação do MCA (até 230ksps), os erros entre as taxas de evento real e medida resultaram em 4,25% para 1024 canais e 3,32% para 4096 canais.

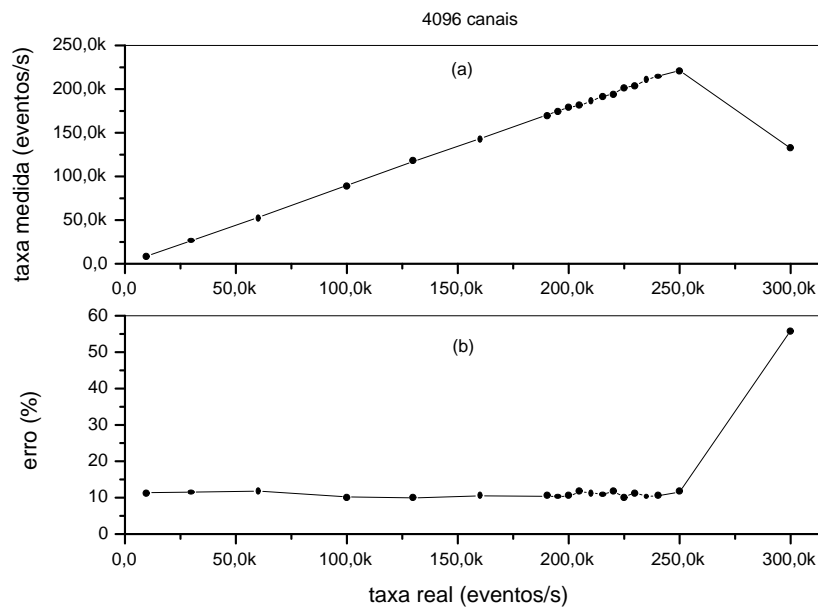


Figura 4.29: Taxa de aquisição (a), em 4096 canais, para diferentes frequências de entrada (10kHz a 300kHz) e erro relativo (b), entre as taxas real e medida pelo MCA.

4.5 Comparação com multicanal comercial

Diversos fabricantes produzem analisadores multicanais já há alguns anos, como a EG&G Ortec, a Aptec e a Canberra. Deste modo, uma das motivações deste trabalho foi justamente desenvolver um MCA competitivo com os comerciais, tanto em nível de custo quanto de qualidade. O nosso objetivo foi desenvolver um

	1024 canais	2048 canais	4096 canais
MCA desenvolvido	1, 55%	1, 73%	2, 18%
MCA comercial	1, 49%	1, 59%	1, 58%

Tabela 4.6: Não-homogeneidade do MCA desenvolvido e do MCA comercial.

MCA competitivo em quatro aspectos: velocidade, linearidade, homogeneidade e custo. Nesta seção apresentaremos dados comparativos entre o MCA desenvolvido e um modelo comercial da EG&G Ortec (modelo 916), de 4096 canais de resolução.

4.5.1 Homogeneidade

Realizamos os testes de homogeneidade para ambos MCA's. Em todos os testes, utilizamos o mesmo aparato experimental, ilustrado na Figura 4.2, onde expomos o detector a uma fonte de raio-X de ^{55}Fe por um certo período de tempo. O resultado esperado nesta aquisição é um espectro plano, onde o desvio da contagem média indica a não-homogeneidade do sistema de detecção. Para os testes desta seção, deixamos a contagem média atingir um valor em torno de 10000, o que significa uma flutuação estatística de 0,01%, de acordo com a Equação (4.3). Uma maior contagem média diminuiria ainda mais a flutuação estatística, mas se tornaria impraticável do ponto de vista do tempo necessário à aquisição. Em vista das aplicações mais usuais, como tomografia, difratometria, entre outras, onde se utilizam 1024, 2048 ou 4096 canais de resolução, fizemos testes nestas três resoluções.

As Figuras 4.30, 4.31 e 4.32 ilustram os resultados obtidos com 1024, 2048 e 4096 canais de resolução, respectivamente. Em cada uma das figuras podemos ver, à esquerda, resultados do MCA desenvolvido e, à direita, resultados do MCA comercial, onde: (a) é o espectro original obtido, (b) é a região atingida pelo feixe de partículas e (c) é o histograma das contagens na região atingida, com o respectivo ajuste gaussiano.

A Tabela 4.6 resume os resultados de não-homogeneidade, incluindo a flutuação estatística, para os testes comparativos realizados. A não-homogeneidade calculada é o desvio padrão sobre a contagem média.

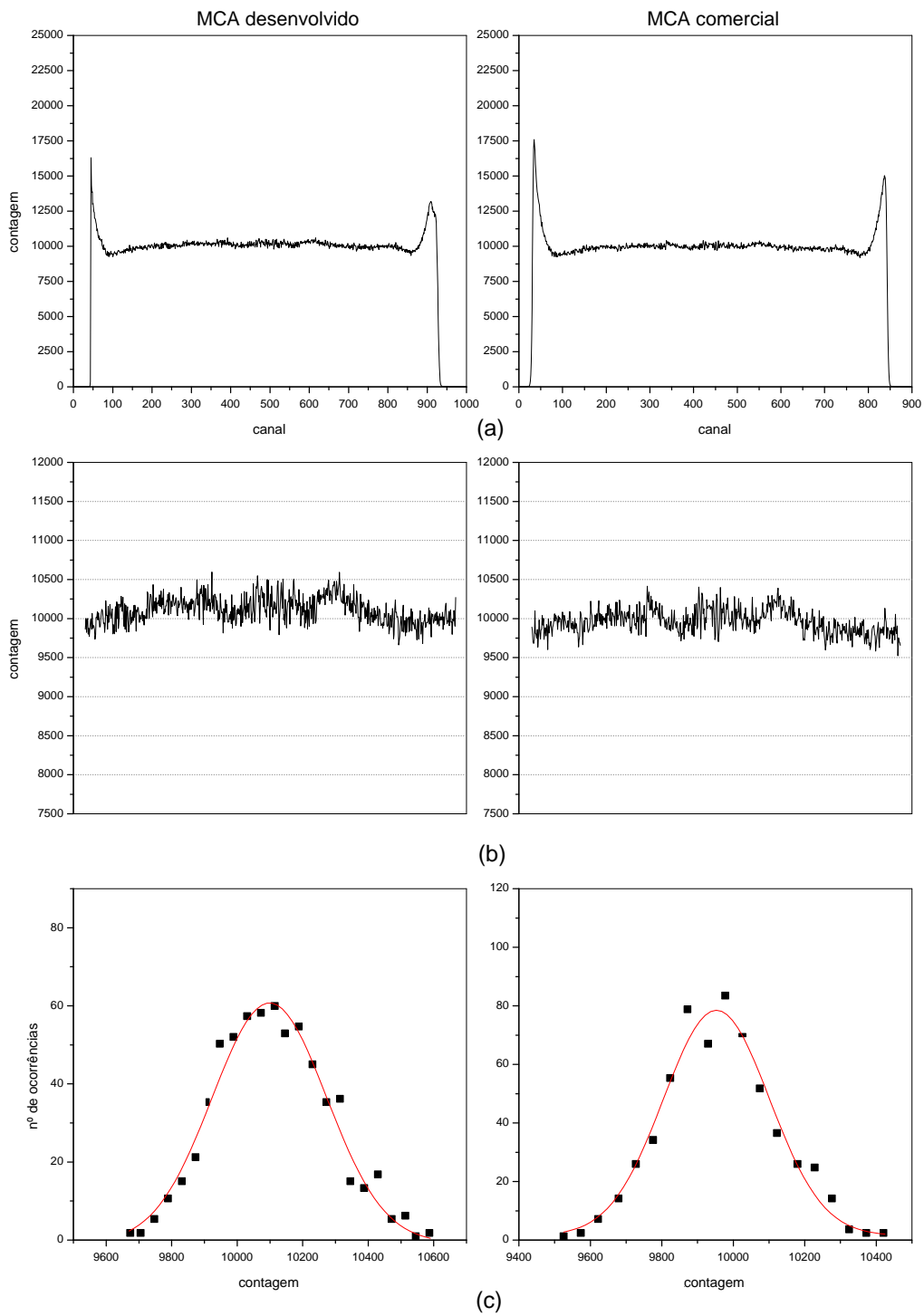


Figura 4.30: Espectro de homogeneidade (a), ampliação da região atingida (b) e histograma com respectivo ajuste gaussiano das contagens (c), para o MCA desenvolvido (à esquerda) e o MCA comercial (à direita), com resolução de 1024 canais.

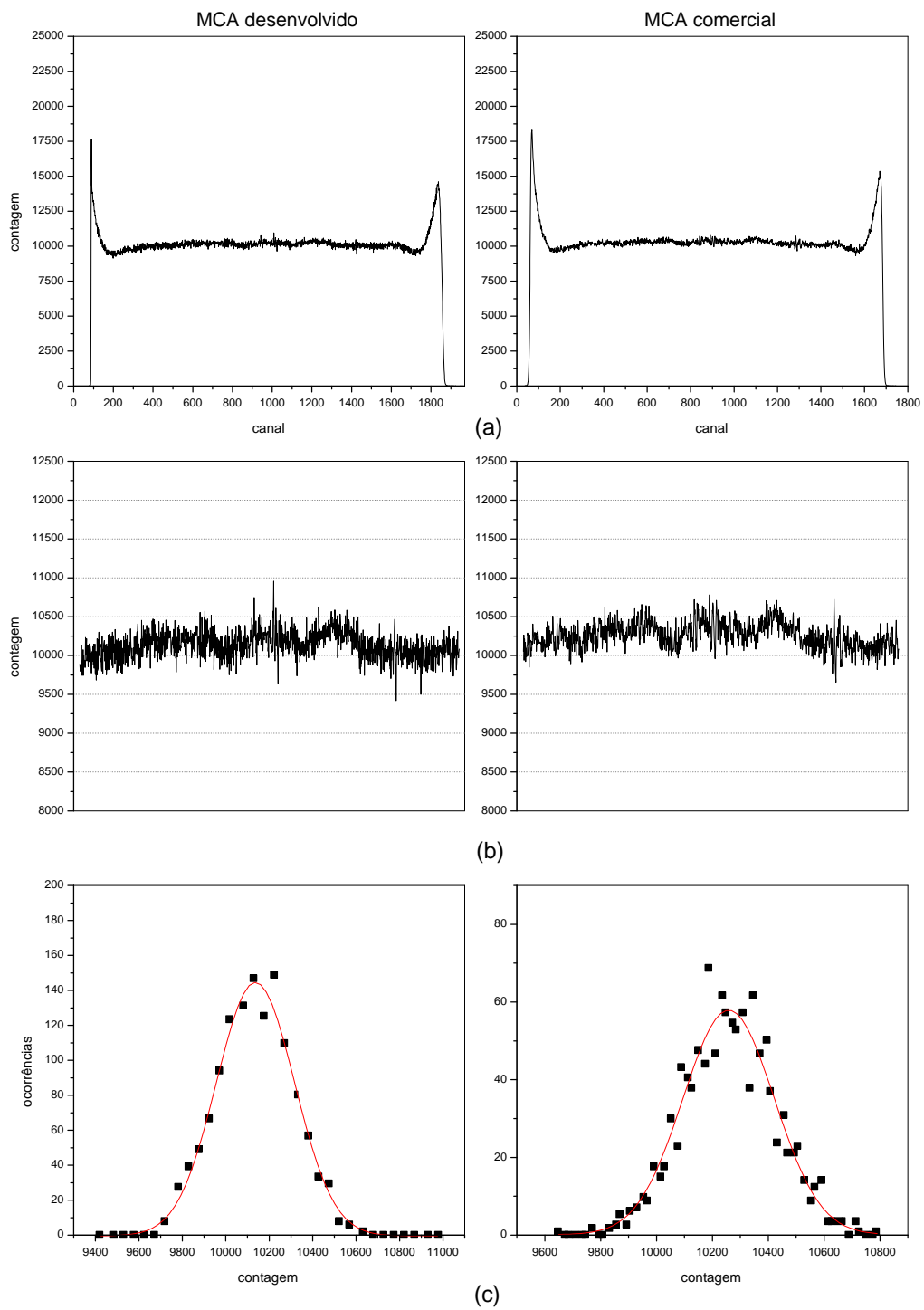


Figura 4.31: Espectro de homogeneidade (a), ampliação da região atingida (b) e histograma com respectivo ajuste gaussiano das contagens (c), para o MCA desenvolvido (à esquerda) e o MCA comercial (à direita), com resolução de 2048 canais.

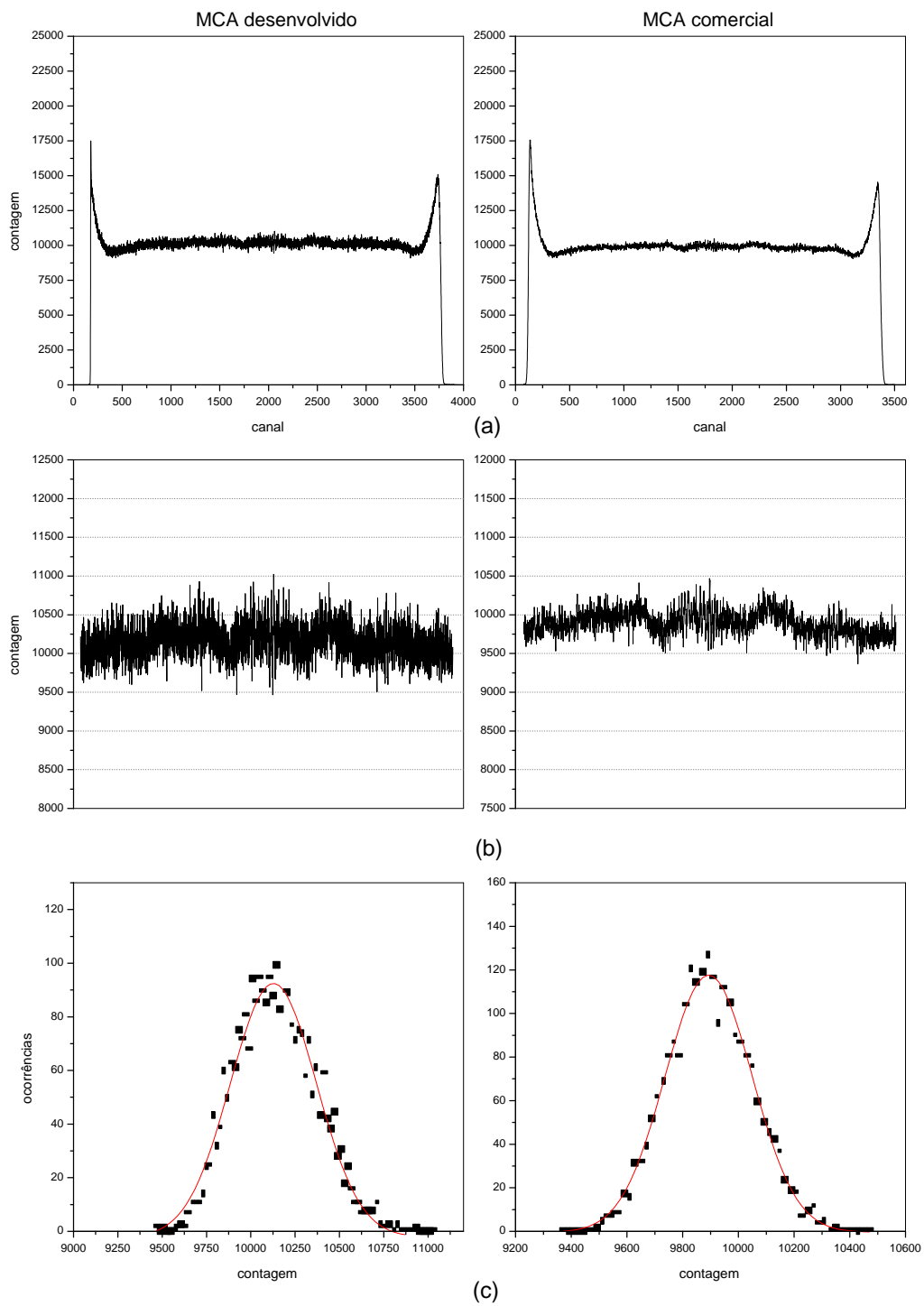


Figura 4.32: Espectro de homogeneidade (a), ampliação da região atingida (b) e histograma com respectivo ajuste gaussiano das contagens (c), para o MCA desenvolvido (à esquerda) e o MCA comercial (à direita), com resolução de 4096 canais.

	1024 canais			2048 canais			4096 canais		
	1,5V	5,0V	8,5V	1,5V	5,0V	8,5V	1,5V	5,0V	8,5V
MCA proposto	0,63	0,51	0,47	1,16	0,91	0,81	2,25	1,64	1,68
MCA comercial	0,71	1,47	0,54	1,39	1,17	0,95	2,66	1,93	1,80

Tabela 4.7: Valor RMS do teste de resolução, para os MCA's proposto e comercial, aplicando um sinal de entrada com amplitudes constantes de 1,5V, 5,0V e 8,5V.

4.5.2 Resolução

Refizemos os testes realizados na seção 4.2.2, agora para o MCA comercial. Utilizando o mesmo aparato experimental, que envolve um gerador de sinais, um módulo de atraso e o TAC, geramos sinais com $1,5V \pm 1,5mV$, $5V \pm 5,5mV$ e $8,5V \pm 11,0mV$. Os resultados obtidos são ilustrados nas Figuras 4.33, 4.34 e 4.35, onde comparamos o MCA comercial com o proposto. A Tabela 4.7 resume os erros médio quadráticos para os dois circuitos.

4.5.3 Linearidade

Para medirmos a linearidade de ambos MCA's, utilizamos o experimento com máscara de calibração, onde a janela do detector é iluminada por uma fonte radioativa de ^{55}Fe , através de uma máscara contendo fendas espaçadas linearmente entre si. A partir dos picos resultantes da aquisição e conhecendo-se a distância entre cada fenda, traçamos um gráfico de linearidade, onde o maior desvio de um ponto experimental à reta ótima que aproxima os pontos mais centrais nos fornece o erro de linearidade integral. A Figura 4.36 ilustra o espectro de linearidade para o MCA desenvolvido, já mostrado no item 4.2.1, onde cada pico corresponde a uma fenda na máscara de calibração.

Para a determinação dos centros de cada pico, realizamos um ajuste gaussiano em cada pico e consideramos o centro da gaussiana como valor estimado. Após este processo, traçamos o gráfico de linearidade como mostrado na Figura 4.37. Realizamos o ajuste linear desprezando os três últimos picos de cada extremidade para evitar erros devido à divergência do feixe de fótons, que é mais acentuada nas extremidades da janela do detector. O erro de linearidade calculado com base nos

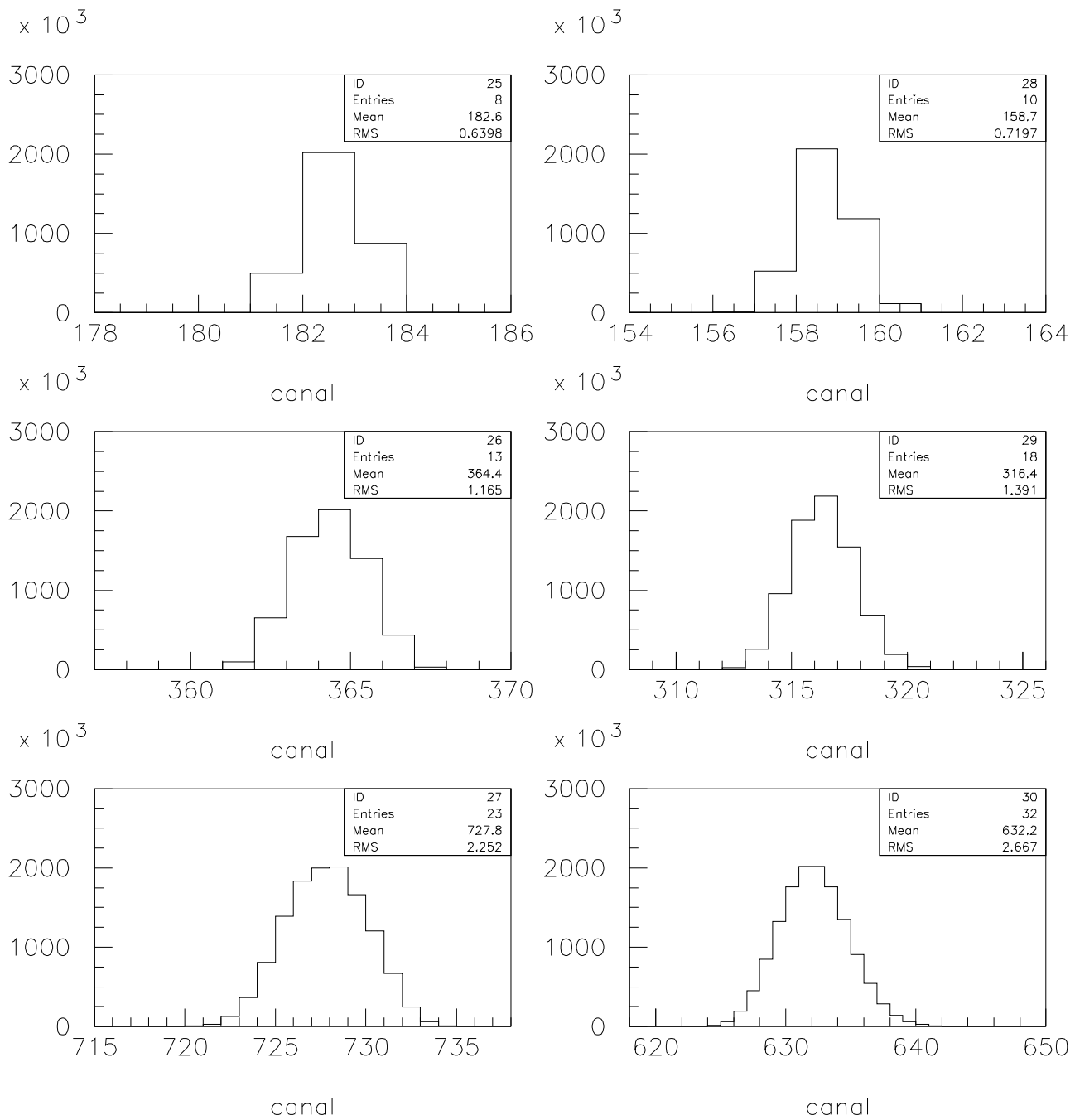


Figura 4.33: Resolução do MCA proposto (à esquerda) e do MCA comercial (à direita), para um sinal de entrada de 1,5V de amplitude em 1024, 2048 e 4096 canais.

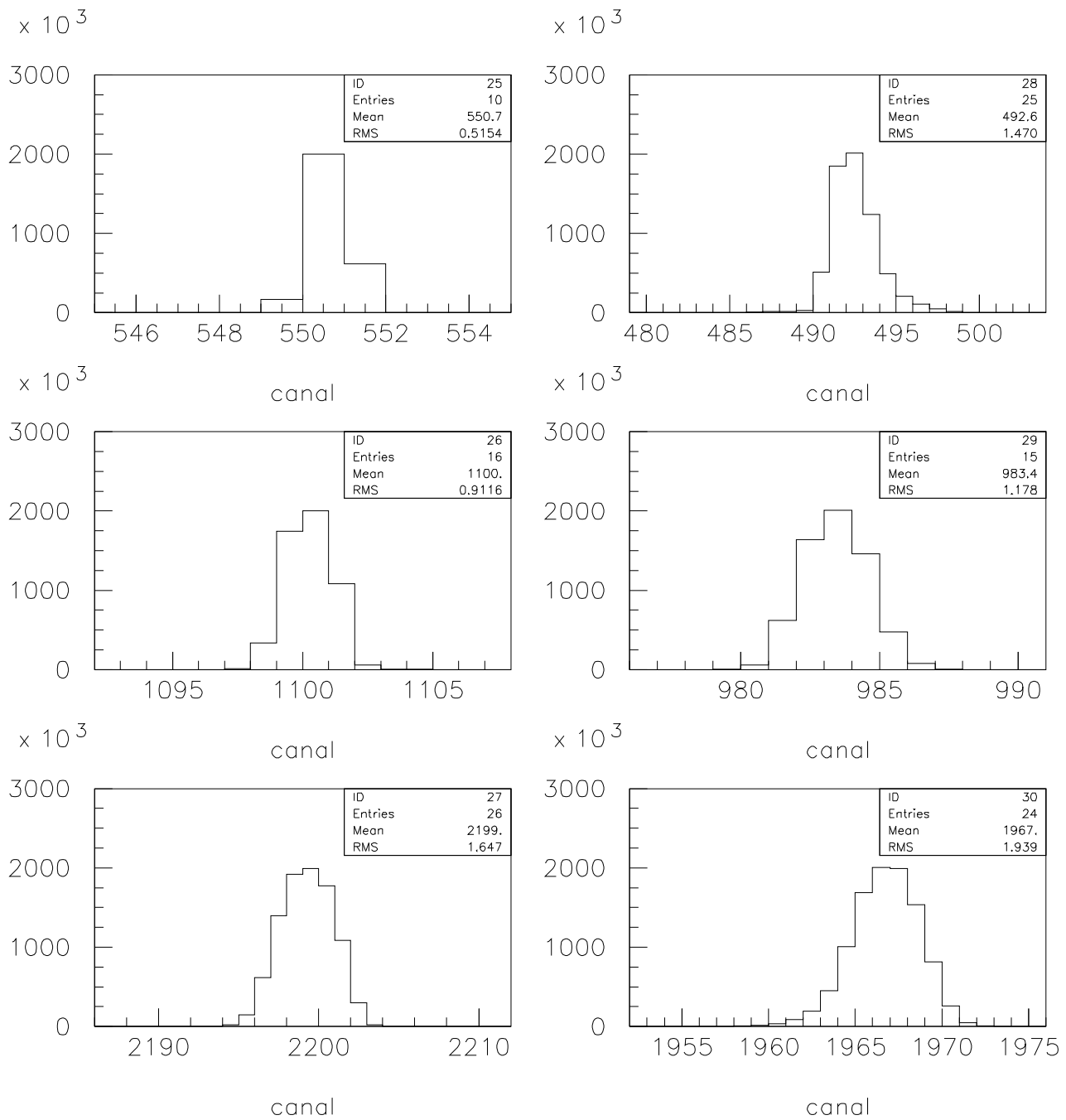


Figura 4.34: Resolução do MCA proposto (à esquerda) e do MCA comercial (à direita), para um sinal de entrada de 5,0V de amplitude em 1024, 2048 e 4096 canais.

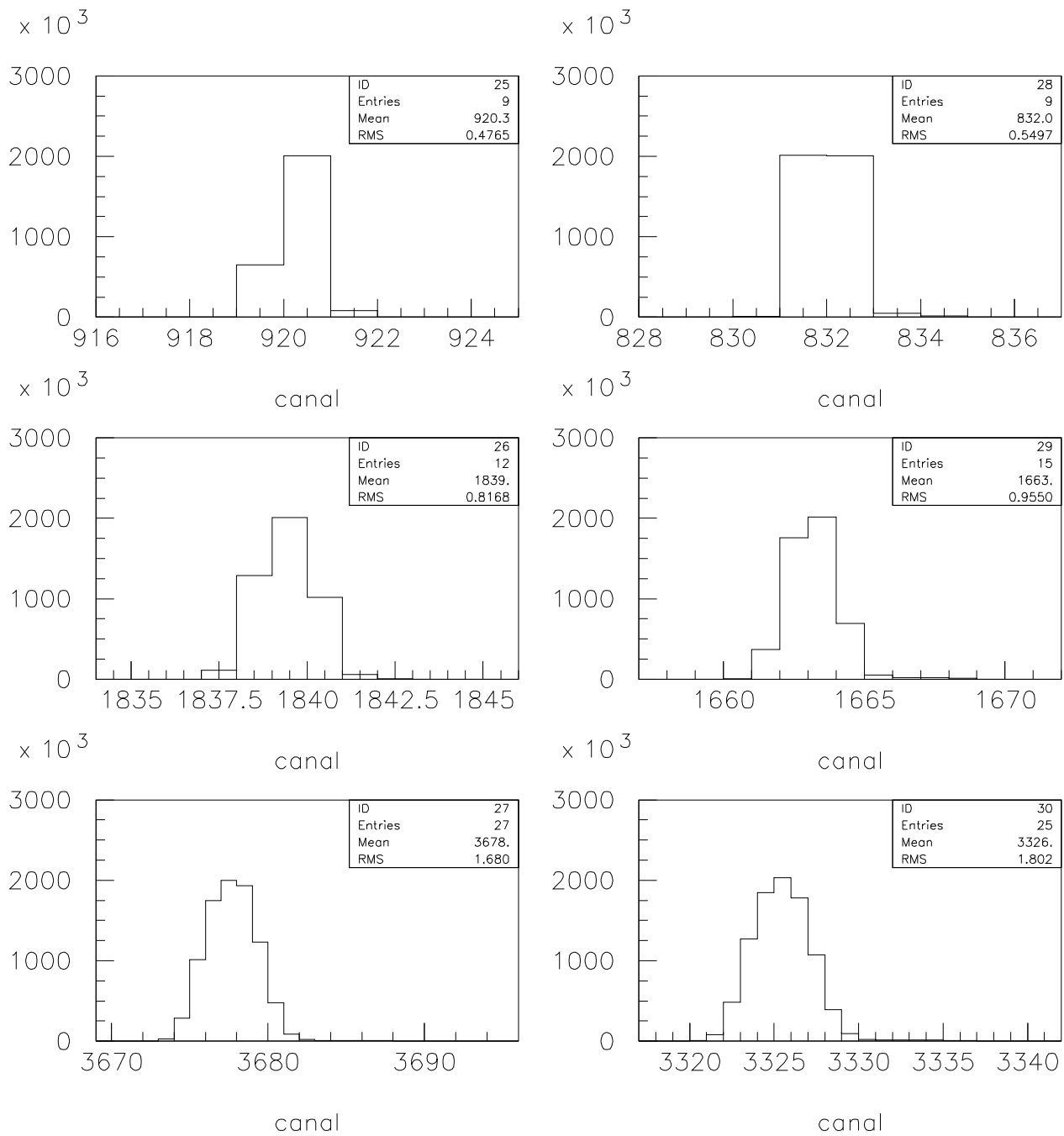


Figura 4.35: Resolução do MCA proposto (à esquerda) e do MCA comercial (à direita), para um sinal de entrada de 8,5V de amplitude em 1024, 2048 e 4096 canais.

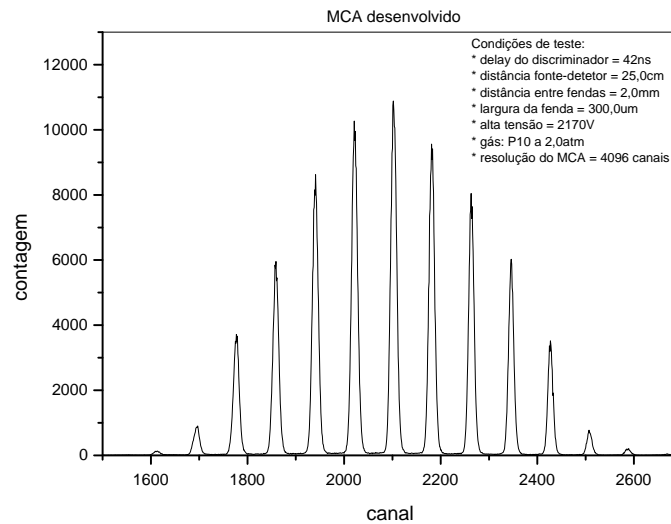


Figura 4.36: Espectro de linearidade, para o MCA desenvolvido, obtido através da iluminação do detector através de uma máscara com fendas.

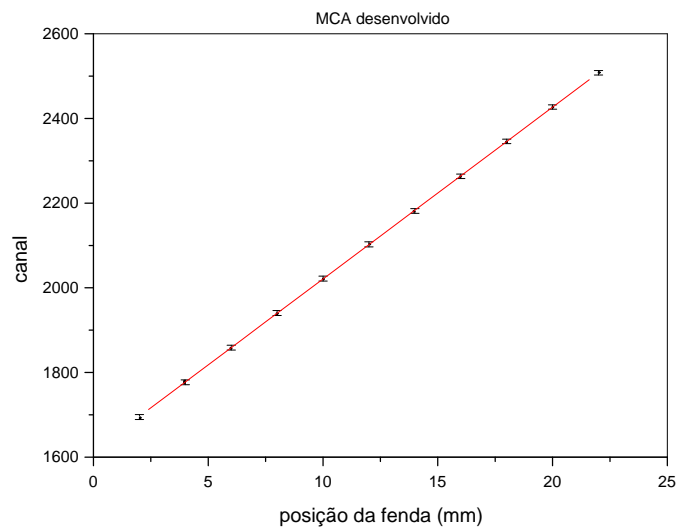


Figura 4.37: Aproximação linear para os picos do espectro de linearidade do MCA desenvolvido.

resultados foi 0,2%, conforme a seção 4.2.

Realizando o mesmo experimento com o MCA comercial, obtivemos o espectro e o gráfico de linearidade mostrados na Figura 4.38. O erro de linearidade do MCA comercial foi também de 0,2%.

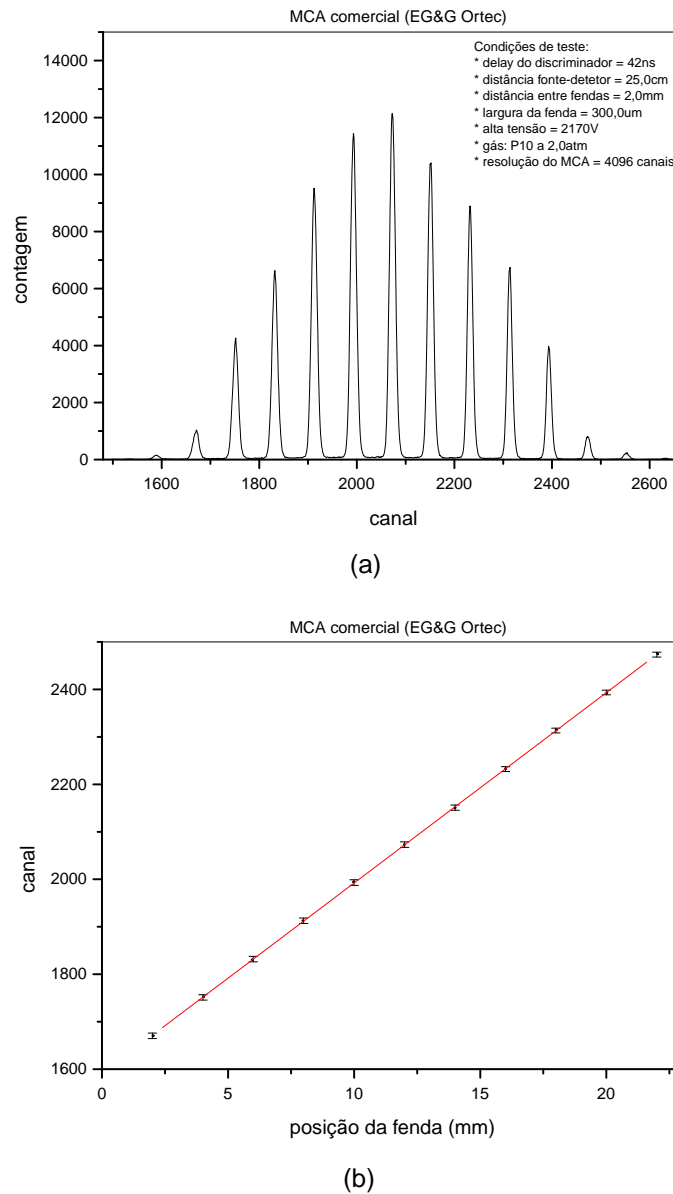


Figura 4.38: Espectro de Linearidade (a) e aproximação linear dos picos (b), para o MCA comercial.

4.5.4 Taxa de aquisição

O modelo comercial exibe uma taxa máxima de aquisição de eventos de 40ksps, enquanto o MCA desenvolvido demonstrou uma taxa máxima de 230ksps,

como verificado por testes de bancada. Isto representa um ganho maior do que 5 na quantidade de eventos, por unidade de tempo, que pode ser medida com o MCA proposto neste trabalho.

Capítulo 5

Análise dos resultados e conclusão

Neste trabalho, foi proposto e implementado um novo circuito de analisador-multicanal ou MCA. O novo esquema baseou-se em dois elementos principais: um conversor analógico-digital (ADC) de alta resolução e velocidade e dispositivos lógicos programáveis (CPLD's) de alta velocidade. A utilização de um ADC de alta resolução, nos permitiu alcançar uma não-linearidade diferencial prática de 0,25LSB, que foi essencial para os bons resultados de homogeneidade do MCA. A implementação do circuito de controle e processamento digital do MCA em dispositivos lógicos programáveis, possibilitou um tempo de processamento por evento reduzido, não ultrapassando 200ns. Isto foi muito importante na redução do tempo morto do MCA, que deve ser o menor possível, possibilitando sua aplicação em experimentos com alta taxa de contagem.

Os resultados de homogeneidade do MCA desenvolvido foram muito bons quando comparados com um MCA comercial disponível. O melhor resultado foi para a resolução de 1024 canais, onde o MCA proposto apresentou 1,55% de homogeneidade contra 1,49% do modelo comercial. Em teste realizado sem o detector de posição, o MCA proposto apresentou homogeneidade de 0,83%, demonstrando que grande parte da não-homogeneidade observada no espectro é proveniente do detector de teste. Mesmo no pior caso, com resolução de 4096 canais, o MCA proposto não expressou muita desvantagem em relação ao MCA comercial, exibindo 2,18% de homogeneidade contra 1,58%, para o comercial. Estes resultados demonstraram que a idéia de utilizarmos um ADC de aproximação sucessiva de alta resolução, utilizando somente os *bits* mais significativos, mostrou-se bem eficiente na obtenção

de uma baixa não-linearidade diferencial. Esta proposta elimina a necessidade de implementarmos técnicas de correção de linearidade diferencial já propostas, como a técnica de *Sliding Scale* [24] ou outras que realizam correção código a código do ADC, utilizando DAC e memória. Para aplicações onde a exigência de homogeneidade fosse muito alta, poderíamos unir a proposta deste trabalho com a utilização destas técnicas.

Tanto o MCA proposto como o comercial apresentaram uma ótima linearidade integral de 0,2% em testes realizados com uma máscara de calibração contendo fendas espaçadas linearmente. Considerando a resolução do detector de teste (340, 7 μ m), a linearidade de 0,2% significa erros menores que 1 μ m na localização de um evento no detector.

Realizamos medidas da resolução do MCA utilizando como entrada um sinal de amplitude fixa. Em todos os testes, com resoluções de 1024, 2048 e 4096 canais, o MCA desenvolvido mostrou-se equivalente ao comercial. Em alguns casos, como 1,5V em 1024 canais e 8,5V em 1024 canais, o MCA proposto mostrou-se superior ao comercial.

O projeto desenvolvido apresentou um ganho maior do que 5 para a taxa de aquisição, em relação ao modelo comercial. Nosso MCA alcançou uma taxa máxima experimental de 230 mil eventos por segundo, contra 40 mil (especificação) do MCA comercial. Este resultado viabiliza o uso do MCA proposto em aplicações que exigem alta taxa de eventos. A importância de uma alta taxa de aquisição pode ser verificada, por exemplo, em aplicações como tomografia. Neste caso, como desejamos obter a imagem do corte transversal de um objeto, quanto maior a taxa de aquisição do MCA, menor o tempo de exposição necessário para alcançarmos boa definição na imagem, a partir dos espectros parciais.

Um último ponto importante, que foi um dos objetivos do trabalho, é o custo da placa. Considerando somente as partes físicas, podemos fazer uma estimativa do custo total da placa como R\$770,00, atualmente US\$300,00. Mesmo somando a este valor o custo homem-hora de desenvolvimento do projeto, ainda teremos um produto com preço abaixo da metade do valor de um MCA comercial, em torno de US\$2800,00. Portanto, do ponto de vista do custo, o projeto é considerado perfeitamente viável. A seguir, mostramos uma foto da versão final do MCA, implementado

em circuito impresso.



Figura 5.1: Versão final do Analisador-Multicanal.

5.1 Perspectivas

Ao longo do desenvolvimento deste trabalho e após a análise dos resultados finais, verificamos a existência de implementações que podem ser feitas visando a melhoria de certas partes do circuito e a inclusão de novos recursos.

Um dos pontos que se mostrou mais crítico neste projeto foi a parte analógica do circuito, envolvendo a alimentação dos dispositivos e o disparo do ADC. Verificamos uma forte necessidade de melhorar a filtragem na alimentação e realizar uma melhor separação dos planos de terra analógico e digitais. Estas medidas diminuiriam o nível de ruído presente nas tensões de alimentação e no próprio plano de terra analógico, que contamina o sinal de entrada e provoca perda de linearidade do processo de conversão analógico-digital.

Ainda no circuito analógico, outra melhoria possível é a troca do comparador NE529 por outro de melhor desempenho, com menor nível de ruído e mais rápido. Outro dispositivo (MAX912) já foi investigado e mostrou-se mais eficiente em velocidade e no problema de oscilações da saída, que podem ocorrer quando a amplitude do sinal de entrada se aproxima ou se iguala a amplitude da tensão de discriminação.

Uma implementação que se faz necessária em futuras versões deste MCA é um circuito detector de pico de tensão no estágio de entrada da placa. Esta modificação,

facilitaria o uso deste MCA em medidas de resolução em energia, onde o sinal a ser digitalizado pelo MCA não é proveniente do TAC e apresenta largura inferior a 100ns, tipicamente. Com o atual projeto, podemos ajustar o instante em que o ADC amostra o sinal de entrada, podendo, a princípio, contornar esta situação. Porém, isto só pode ser feito se tivermos conhecimento do tempo de subida do sinal de entrada, que não pode sofrer grandes variações com a variação das amplitudes. O circuito detector de pico elimina esta limitação.

Com o objetivo de melhorarmos a homogeneidade do MCA proposto, podemos substituir o ADC utilizado por novos conversores que apresentem melhor linearidade diferencial. Um bom exemplo, é o AD7671, um conversor AD de aproximação sucessiva que, segundo os fabricantes, apresenta 16 *bits* de resolução, 1MSPS de taxa de amostragem e $\pm 0,5LSB$ de não-linearidade diferencial [25].

Na parte digital do MCA, podemos utilizar CPLD's mais rápidas que venham a surgir no mercado ou FPGA's que são, em geral, mais densas e rápidas que as CPLD's. Podemos também, incluir um circuito digital para contar os eventos perdidos pelo MCA, possibilitando a medida em tempo real do tempo morto do circuito.

Referências Bibliográficas

- [1] KNOLL, G. F., *Radiation Detection and Measurements*. John Wiley & Sons, 1989.
- [2] NICHOLSON, P. W., *Nuclear Electronics*. John Wiley & Sons, 1974.
- [3] LEO, W. R., *Techniques for Nuclear & Particle Physics Experiments: A How-To Approach*. Springer-Verlag, 1992.
- [4] BARBOSA, A. F., “Gas Position Sensitive X-Ray Detectors”. In: *Notas de Física - CBPF*, 1994.
- [5] BARBOSA, A. F., “Use of a multilayer printed circuit board as the position sensing electrode in an MWPC”. In: *Nuclear Instruments & Methods In Physics Research A 371*, 1996.
- [6] H. P. LIMA JR., G. P. GUEDES, A. F. BARBOSA, “A Digital System for Image Acquisition and its Application to X-ray Detection”. In: *Revista Brasileira de Física Aplicada e Instrumentação*, 1999.
- [7] H. P. LIMA JR., A. F. BARBOSA, G. P. GUEDES, “A Fast Multichannel-Analyzer for Radiation Detection Applications”. In: *IEEE First South-American Workshop on Circuits and Systems*, 2000.
- [8] BARNA, A., PORAT, D. I., *Operational Amplifiers*. John Wiley & Sons, 1989.
- [9] Texas Instruments, “The Bypass Capacitor in High-Speed Environments”. In: *Application Note SCBA007A*, 1996.
- [10] SYLVAN, J., “High-speed comparators provide many useful circuit functions when used correctly”, Analog Devices, Analog Dialogue 23-4, Janeiro 1989.

- [11] <http://www.xilinx.com>.
- [12] Xilinx, “The Programmable Logic Data Book”, Xilinx, Janeiro 1998.
- [13] Xilinx, “Foundation Series Software, Quick Start Guide 1.5”, Xilinx, Janeiro 1998.
- [14] Xilinx, “Xilinx-Abel Software Design”, Xilinx, Novembro 1993.
- [15] ZELENOVSKY, R., MENDONÇA, A., *Hardware e Interfaceamento*. MZ Editora Ltda, 1999.
- [16] REMPFER, W. C., “The Care and Feeding of High Performance ADCs: Get All the Bits You Paid For”, Linear Technology, Application Note 71, Janeiro 1997.
- [17] W. KESTER, J. B., “Grounding In High Speed Systems”, Analog Devices, Janeiro 1989.
- [18] PACKEBUSH, P., “How to keep instruments accurate inside hot, noisy PCs”, EDN Magazine, April 2000.
- [19] JOHNSON, H., GRAHAM, M., *High-Speed Digital Design, A Handbook of Black Magic*. Prentice Hall, 1993.
- [20] Particle Data Group, “The Review of Particle Physics”. In: *The European Physical Journal, C15, 1*, 2000.
- [21] <http://www.analog.com>.
- [22] <http://paw.web.cern.ch/paw/>.
- [23] S. RUSCAK, L. S., “Using Histogram Techniques to Measure A/D Converter Noise”, Analog Devices, Analog Dialogue, Janeiro 1998.
- [24] C. COTTINI, E. GATTI, V. S., “A New Method for Analog to Digital Conversion”. In: *Nuclear Instruments & Methods In Physics Research 24, 299*, 1963.
- [25] BINDRA, A., “Sampling ADC Breaks Speed Barrier Without Compromising Power”, Electronic Design, Vol.49, No.11, Maio 2001.

- [26] Analog Devices, *Analog-Digital Conversion Handbook*. Prentice Hall, 1997.
- [27] JR., D. F. H., *Analog-to-Digital and Digital-to-Analog Conversion Techniques*. John Wiley & Sons, 1994.
- [28] PLASSCHE, R. V., *Integrated Analog-to-Digital and Digital-to-Analog Converters*. Kluwer Academic Publishers, 1994.
- [29] MITRA, S. K., *Digital Signal Processing, A Computer-Based Approach*. McGraw-Hill, 1998.
- [30] OPPENHEIM, A. V., SCHAFER, R. W., *Discrete-Time Signal Processing*. Prentice Hall, 1989.
- [31] BLACK, B., “Analog-to-Digital Converter Architectures and Choices for System Design”, Analog Devices, Analog Dialogue 33-8, Janeiro 1999.
- [32] National Semiconductor, “Specifying A/D and D/A Converters”, National Semiconductor, Application Note 156, Janeiro 1976.
- [33] Texas Instruments, “Understanding Data Converters”, Texas Instruments, Application Report SLAA013, Janeiro 1995.
- [34] BROWN, S., VRANESIC, Z., *Fundamentals of Digital Logic with VHDL Design*. McGraw-Hill, 2000.

Apêndice A

Conversores A/D

A.1 Definição

O conversor analógico-digital (ADC) é um dispositivo capaz de transformar um nível de tensão analógico (contínuo) em um código digital proporcional, representado por *bits* 0's e 1's [26]. A Figura A.1 ilustra a função de transferência para um ADC de 3 *bits*, onde LSB (*Least Significant Bit*) significa *bit* menos significativo e FS (*Full Scale*) representa o maior sinal de entrada que pode ser convertido. O termo LSB, como podemos verificar na função de transferência do ADC, refere-se à largura de cada código. Idealmente, cada código apresenta 1LSB de largura. Para o ADC de 3 *bits*, se considerarmos um FS=10V por exemplo, 1 LSB será igual a 1,25V que é o resultado de $\frac{FS}{2^n}$, onde n é o número de *bits* do conversor.

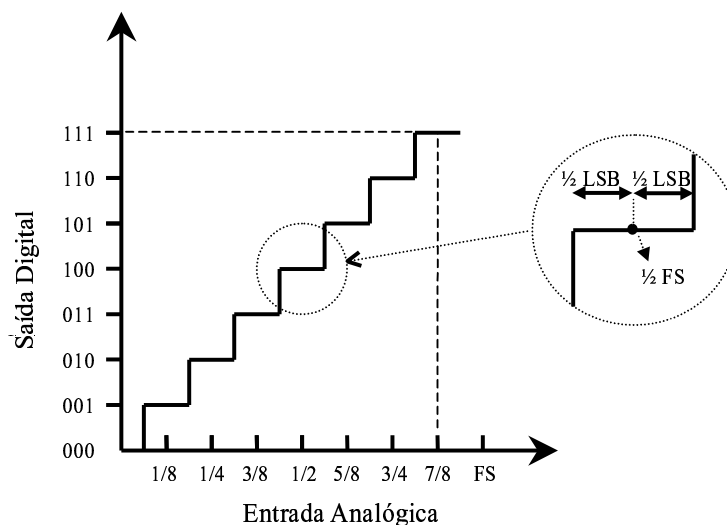


Figura A.1: Função de transferência de um ADC unipolar

Cada código também apresenta um centro bem determinado. O centro de cada código é o nível analógico de entrada que se situa no ponto mediano entre dois níveis de transição consecutivos. Podemos expressar o centro de um determinado código x pela seguinte fórmula:

$$centro[x] = \frac{transicao[x] + transicao[x + 1]}{2} \quad (A.1)$$

O código de saída do ADC pode ser apresentado de duas formas, serial ou paralela. Nos ADC's com saída serial, os *bits* do código correspondente à uma conversão são apresentados um a um, em sequência, por um único pino de saída do dispositivo. Nos ADC's com saída paralela, todos os *bits* do código binário são expressos em um mesmo instante, através de um barramento de dados. Existem diversas arquiteturas de ADC's, diferindo basicamente quanto ao mecanismo utilizado para realizar a conversão. Cada uma destas arquiteturas apresenta características peculiares e apropriadas para uma determinada aplicação. Descreveremos a seguir as principais arquiteturas de ADC's existentes hoje no mercado, que são: *Flash*, Aproximação Sucessiva, *Wilkinson* e Sigma-Delta. Existem algumas variações em torno destas arquiteturas que não fazem parte do escopo deste texto. Bons textos sobre ADC's são [27], [28] e [26]. Uma abordagem mais teórica, com ênfase em processamento digital de sinais, é encontrada em [29] e [30].

A.2 Arquiteturas de ADC's

A.2.1 *Flash*

O ADC do tipo *flash*, também chamado de paralelo, utiliza o modo mais direto e intuitivo de conversão, [31]. A partir de um conjunto de $2^n - 1$ comparadores é realizada a comparação do sinal analógico de entrada com diferentes níveis de transição linearmente espaçados, resultando em uma resolução de n *bits*. Os níveis de transição dos comparadores são espaçados de 1LSB (*Least Significant bit*), sendo $LSB = \frac{FS}{2^n}$. A arquitetura *flash* é ilustrada na Figura A.2, onde A_{ENT} é o sinal analógico de entrada, n é o número de *bits* e FS é o fundo de escala do ADC.

Consideremos um ADC que apresenta $FS = 10V$, 4 *bits* de resolução e conseqüentemente $2^4 - 1 = 15$ comparadores. O primeiro comparador, mais inferior

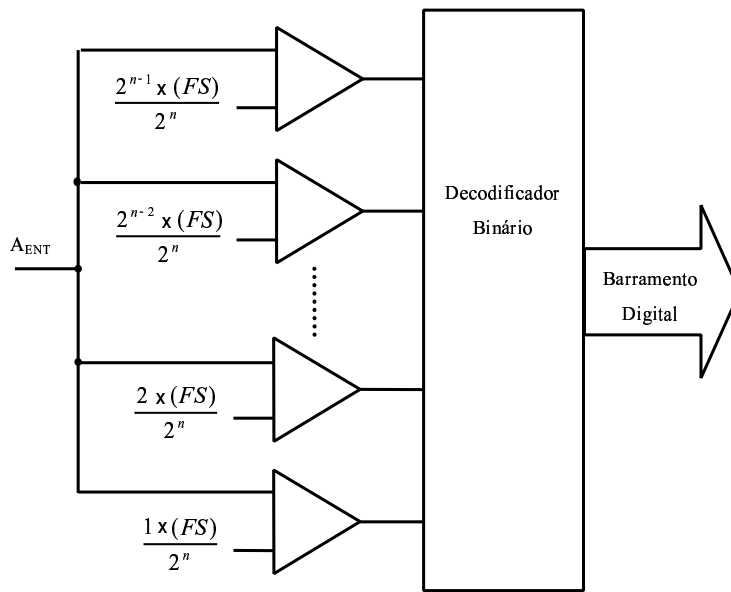


Figura A.2: Arquitetura *Flash*

na Figura A.2, ativa sua saída no momento em que o sinal de entrada ultrapassa $\frac{10V}{16} = 0,625V$, enquanto os outros permanecem com suas saídas inativas. O segundo comparador ativa sua saída quando $A_{ENT} = 2 \times 0,625V$, o terceiro ativa quando $A_{ENT} = 3 \times 0,625$ e assim por diante. No passo final de conversão, o Decodificador Binário converte os sucessivos padrões gerados pelas saídas dos comparadores no código binário de n bits.

A arquitetura *flash* tem a vantagem de ser muito rápida, pois a conversão ocorre em um único ciclo. A desvantagem desta arquitetura é que ela necessita de um número grande de comparadores cuidadosamente casados e devidamente polarizados para garantir linearidade nos resultados. Outro problema da arquitetura *flash* é a limitação de integração física, já que a quantidade de comparadores cresce praticamente com a potência de dois do número de *bits* do conversor. Para obter uma resolução de n bits, por exemplo, um ADC *flash* utiliza $2^n - 1$ comparadores. O grande número de comparadores, necessários ao ADC *flash*, também sobrecarrega a entrada e dissipa muita potência. Na prática, encontramos conversores tipo *flash* de até n bits, sendo mais comuns os de n bits de resolução. Quanto a velocidade podemos encontrar conversores comerciais de até 200MSPS.

A.2.2 Aproximação sucessiva

A arquitetura de Aproximação Sucessiva pode ser considerada como ortogonal à *Flash*. Enquanto esta última utiliza vários comparadores e gasta somente um ciclo para realizar a conversão, a Aproximação Sucessiva utiliza um único comparador e executa a conversão em vários ciclos. O ADC de Aproximação Sucessiva opera como uma balança de dois pratos e dois medidores. De um lado da balança colocamos a quantidade desconhecida enquanto do outro lado vamos colocando pesos conhecidos, através de um DAC (*Digital-to-Analog Converter*), até que a balança indique equilíbrio entre os dois conjuntos.

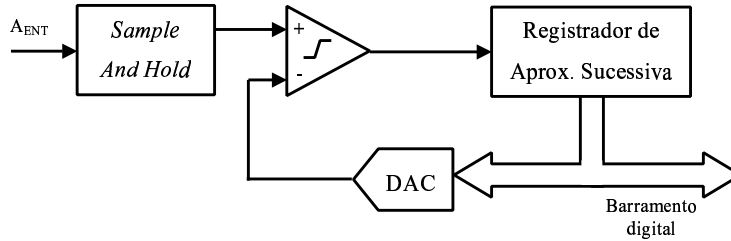


Figura A.3: Arquitetura do ADC de Aproximação Sucessiva

O ADC de Aproximação Sucessiva consiste, basicamente, de um circuito de *Sample And Hold* para manter constante o sinal de entrada durante a conversão, um comparador, um Registrador de Aproximação Sucessiva e um DAC. No primeiro ciclo de conversão, o sinal de entrada é comparado com metade do fundo de escala ($\frac{FS}{2}$), ou seja, o MSB (*Most Significant Bit*) do DAC é igual a 1 e os outros iguais a 0. Este primeiro ciclo determina a *bit* mais significativo do código de saída. Se o sinal de entrada for maior que ($\frac{FS}{2}$), o *bit* no barramento digital permanece com o valor 1, caso contrário é modificado para 0. No próximo ciclo, o segundo *bit* mais significativo do DAC é colocado em '1' e novamente o sinal de entrada é comparado com o sinal de saída do DAC, como no primeiro ciclo. Este processo se repete n vezes, para saídas do DAC cada vez menores em progressão binária ($1/2, 1/4, 1/8, 1/16, \dots, 1/2^n$ do fundo de escala), até que a resolução, n , seja alcançada. O Registrador de Aproximação Sucessiva, basicamente, é responsável por armazenar os *bits* de saída à medida que estes vão sendo determinados.

A partir de um único comparador, os conversores do tipo AS podem alcançar alta resolução. Por outro lado, quanto maior a resolução requerida, maior o tempo

gasto para realizar a conversão, já que o número de ciclos é igual ao número de *bits* do ADC. Por este motivo, os conversores AS são mais utilizados onde se requer alta resolução e não se requer muito alta velocidade ($> 1MSPS$). A precisão do ADC de aproximação sucessiva depende principalmente dos erros de *Offset*, Ganho, Linearidade Diferencial e Integral do DAC interno. Os ADC's mais modernos utilizam DAC's baseados em rede de capacitores chaveados para distribuição da carga para melhorar as características de linearidade. Estes conversores são recomendados em aplicações que envolvem a digitalização de sinais não-periódicos, uma vez que uma conversão pode ser iniciada a qualquer momento.

A.2.3 *Wilkinson*

O conversor *Wilkinson*, também chamado de conversor tipo rampa linear, é baseado em um projeto original concebido por D. H. Wilkinson em 1950. Nesta arquitetura, o sinal de entrada é primeiramente enviado a um circuito comparador que continuamente o compara com a amplitude de uma sinal de tensão tipo rampa, que inicia em zero e cresce linearmente com o tempo. Esta rampa de tensão é gerada carregando-se um capacitor, inicialmente descarregado, através de uma fonte de corrente constante, conectada no instante em que inicia a conversão. O diagrama em blocos de um conversor tipo *Wilkinson* é mostrado na Figura A.4.

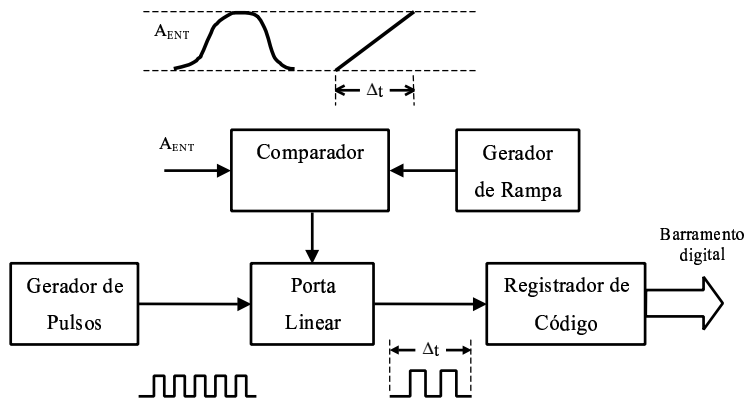


Figura A.4: Arquitetura *Wilkinson*

O tempo que a rampa leva para atingir a amplitude do sinal de entrada é medido através de um gerador de pulsos e uma porta linear. Enquanto a tensão da rampa é inferior à amplitude do sinal de entrada, o nível de tensão na saída do comparador mantém a Porta Linear aberta, permitindo que o Registrador de

Código acumule os pulsos enviados pelo Gerador de Pulsos. O Registrador de Código funciona como um contador digital. No instante em que a rampa atinge a mesma amplitude do sinal de entrada, a saída do comparador transita, fechando a Porta Linear. Desta forma, o código de saída do Registrador de Código é proporcional à quantidade de pulsos que chegam à sua entrada e conseqüentemente à amplitude do sinal de entrada.

Como o sinal de *clock* possui uma frequência constante, o tempo necessário ao ADC *Wilkinson* para realizar uma conversão é diretamente proporcional ao número de pulsos acumulados no Registrador de código. Significa dizer que o tempo de conversão do ADC tipo *Wilkinson* é dependente de dois fatores: a amplitude do sinal de entrada e a frequência do *clock* gerado pelo Gerador de Pulsos. Embora o tempo de conversão seja um ponto negativo desta arquitetura, atualmente encontramos conversores *Wilkinson* operando com frequências de *clock* de até 100MHz. A grande vantagem deste conversor é sua ótima linearidade ($\approx 0,7\%$), quando comparado com qualquer outra arquitetura de ADC. Esta performance se deve a alta precisão que se consegue obter na geração do sinal de rampa.

A.2.4 Sigma-Delta

Em sua configuração mais básica, um conversor sigma-delta consiste de um integrador, um comparador, um DAC de 1 *bit* e um Filtro Digital em conjunto com um Decimador, como mostrado na Figura A.5.

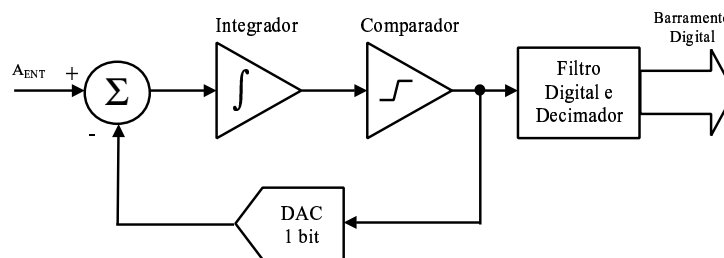


Figura A.5: Arquitetura Sigma-Delta

Inicialmente, a saída do DAC é subtraída do sinal de entrada (A_{ENT}). O sinal resultante é integrado e convertido para '0' ou '1' pelo comparador, que pode ser visto como um ADC de 1 *bit*. O *bit* de saída do comparador é enviado para o DAC e a saída do DAC é novamente subtraída do sinal de entrada. Este processo

em *loop* é realizado inúmeras vezes a uma taxa elevada, chamada de *oversample*. O sinal vindo do comparador é um fluxo de *bits* 1's e 0's que são filtrados e decimados para formar o código binário de saída.

Uma das maiores vantagens da arquitetura sigma-delta é sua capacidade de "formatação de ruído", um fenômeno no qual a maior parte do ruído de baixa-frequência é deslocada para frequências maiores e filtrada da banda de interesse. Devido a essa característica, a arquitetura sigma-delta se tornou muito popular em aplicações que apresentam largura de banda pequena, mas necessitam de alta resolução. Uma desvantagem do ADC tipo sigma-delta é apresentar período de latência muito alto, o que dificulta sua utilização em sistemas multiplexados.

A.3 Especificações dos ADC's

Durante o projeto de qualquer sistema, passa-se por uma etapa de seleção do dispositivo mais apropriado ao projeto. No processo de seleção do melhor dispositivo, as especificações técnicas do componente são as principais informações que servem como base para uma decisão. Dividimos as especificações dos ADC's em duas categorias: estáticas e dinâmicas. As especificações estáticas são importantes na determinação da performance DC do conversor, ou seja, são importantes em aplicações que exigem grande precisão de conversão e nas quais o sinal a ser medido varia lentamente. As especificações estáticas de um ADC são: resolução, erro de quantização, erro de ganho, erro de *offset*, não-linearidade diferencial (DNL), não-linearidade integral (INL) e monotonicidade. Quando o projeto envolve a digitalização de sinais que variam muito rápido no tempo, as informações mais importantes para o projetista são as especificações dinâmicas do ADC. Como exemplo, podemos citar as aplicações de processamento digital de sinais, tais como áudio digital, análise espectral e controle de movimento. Para estas aplicações, a precisão DC não é tão relevante como a precisão AC. As especificações dinâmicas são: relação sinal-ruído (SNR), distorção harmônica total (THD), distorção por intermodulação (IMD) e largura da banda de entrada. Algumas referências sobre especificações de ADC's são [32] e [33].

Para o projeto de um analisador-multicanal, a escolha do melhor ADC deve se

basear principalmente nas suas características estáticas, não tendo grande relevância suas características dinâmicas, uma vez que, na prática, estaremos digitalizando um sinal DC. Seguindo este pressuposto, podemos afirmar que a escolha do melhor ADC para o projeto do multicanal deve se guiar pelos seguintes parâmetros: a resolução, o tempo de conversão e a linearidade, que expressa a exatidão com que o dado digital se mantém proporcional à tensão de entrada. Estes parâmetros são descritos em mais detalhes a seguir.

A.3.1 Resolução

A resolução do ADC expressa o número de níveis de quantização nos quais o sinal analógico de entrada é representado. Por exemplo, se o conversor pode representar toda a faixa do sinal de entrada em 256 níveis de quantização, dizemos que o ADC tem resolução de 8 *bits*. A resolução de um ADC expressa o número máximo de canais do MCA. Conversores com resolução de $n = 12$ *bits* resultam em um MCA de $2^{12}=4096$ canais. Desta forma, para uma faixa de tensões de entrada de 0 a +10V teremos uma resolução de $\frac{10}{2^{12}} = 2,44mV$. Os ADCs tipo Aproximação Sucessiva apresentam resolução de 8 a 16 *bits* no máximo. Um recurso que utilizamos em nosso projeto foi utilizar um ADC com alta resolução e projetar o circuito para operar somente com os *bits* mais significativos, desprezando os menos significativos. Este processo melhora a linearidade do sistema, já que os *bits* menos significativos expressam a resolução fina do ADC. Considerando-se a relação de resolução versus velocidade, o ADC de Aproximação Sucessiva é o mais indicado para projetos de analisadores multicanais.

A.3.2 Tempo de conversão

O tempo de conversão (também chamado de latência) de um ADC é o intervalo entre o instante em que o conversor amostra o sinal analógico de entrada e o instante em que o código digital está disponível na saída. O tempo de conversão não é necessariamente igual à taxa de amostragem, especialmente em arquiteturas *pipeline*, onde geralmente o período de amostragem pode ser menor que o tempo de conversão. O tempo que o ADC leva para realizar a conversão de um sinal apresentado a sua entrada é um fator crítico no projeto de um analisador-multicanal

(MCA), pois pode representar mais de 70% do tempo morto de um MCA. E em se tratando de detectores de partículas, onde a taxa de contagem pode atingir 10^6 eventos por segundo, o tempo morto do MCA pode significar perda de eventos no sistema de detecção.

A.3.3 Não-Linearidade Diferencial (DNL)

A DNL é uma medida da uniformidade das larguras dos códigos do ADC. Observando a curva de transferência da Figura A.6, verificamos que os códigos de saída não têm a mesma largura para todos os níveis de quantização.

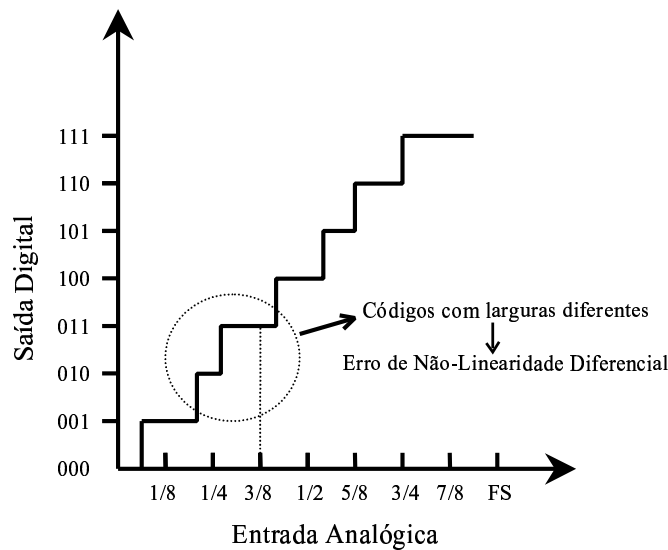


Figura A.6: Não-Linearidade Diferencial (DNL)

Cada código de saída apresenta, teoricamente, 1 LSB (*Least Significant Bit*) de largura no eixo horizontal, sendo $1\text{LSB} = \text{FS}/2^n$, onde FS (*Full Scale*) é o fundo de escala do ADC, em Volts, e n é o número de *bits*. A máxima variação de largura dos códigos é dada pela DNL, ou seja, se um ADC apresenta $DNL = \pm 1/2\text{LSB}$, significa dizer que os códigos podem variar de $1\text{LSB} - 1/2\text{LSB} = 1/2\text{LSB}$ até $1\text{LSB} + 1/2\text{LSB} = 3/2\text{LSB}$ de largura. Podemos dizer também que um ADC com $DNL = \pm 1/2\text{LSB}$ pode apresentar códigos com larguras variando até 50% em relação à largura ideal de 1LSB.

Para um analisador-multicanal, o ADC com alta DNL resulta em irregularidades na resposta a um espectro de composição homogênea. Enquanto os canais mais largos concentram mais contagem (acima da média), os mais estreitos contam

menos (abaixo da média). Podemos definir a Homogeneidade de um espectro como o maior desvio da contagem média dividido pela contagem média. A Figura A.7 mostra o que seria um espectro de 8 canais com boa homogeneidade ($< 1\%$) e outro com homogeneidade ruim ($> 10\%$). A contagem média neste caso está em 10000. Os espectros podem ser obtidos iluminando-se a janela do detetor com uma fonte de raio-X de feixe homogêneo e isotrópico.

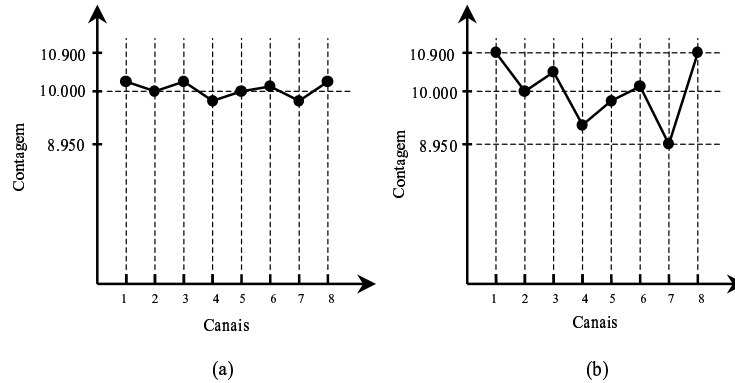


Figura A.7: Espectros com homogeneidade boa ($< 1\%$) (a) e ruim ($> 10\%$) (b) devido à Não-Linearidade Diferencial(DNL) do ADC

A.3.4 Não-Linearidade Integral (INL)

A INL é uma medida do desvio do centro de cada código de saída do ADC de uma linha reta traçada do zero, ou fundo de escala negativo, até o fundo de escala positivo do ADC. A Figura A.8 ilustra a INL para um ADC de 8 *bits*. Assim como a DNL, a Não-Linearidade Integral também é expressa em termos de LSBs.

A.3.5 Erro de *offset*

O erro de *offset* indica o desvio da posição ideal da primeira transição na função de transferência do ADC, como ilustra a Figura A.9. A posição ideal da primeira transição é $1/2\text{LSB}$ acima do fundo de escala negativo ou do zero.

A.3.6 Erro de ganho

O ganho do ADC é equivalente à inclinação da função de transferência do ADC. O erro de ganho é a medida do desvio da inclinação ideal, Figura A.10, poden-

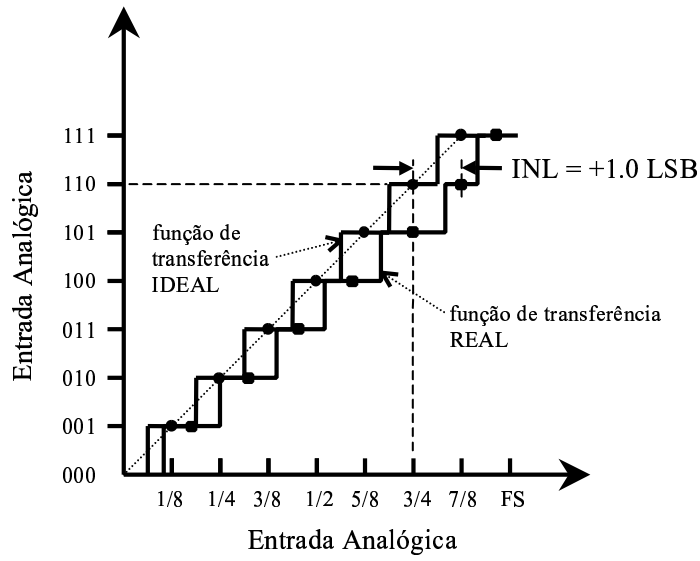


Figura A.8: Não-Linearidade Integral (INL) de um ADC de 8 bits

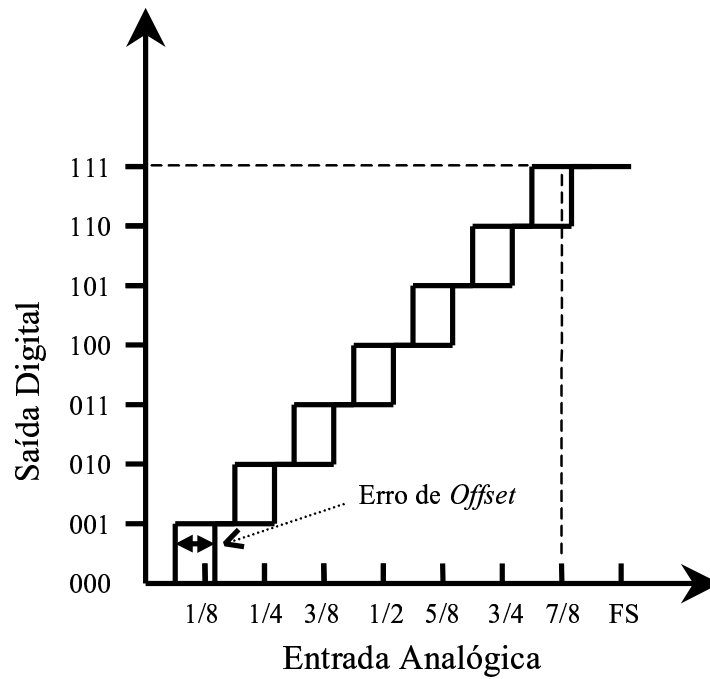


Figura A.9: Erro de *Offset*

do esta ser definida de diferentes formas. Alguns fabricantes definem a inclinação ideal como sendo uma linha reta que melhor se aproxima dos centros dos códigos. Outra metodologia adotada é traçar uma linha reta entre os centros da primeira e última transições. O erro de ganho também pode ser definido como o desvio do centro ideal da última transição na função de transferência. O principal problema causado pelo erro de ganho, assim como pelo erro de *offset*, é a perda de proporcionalidade entre o sinal de entrada e o código de saída.

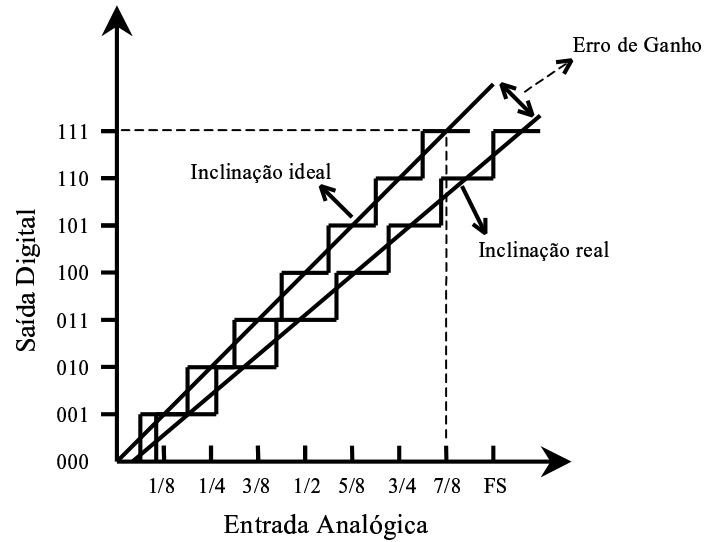


Figura A.10: Erro de Ganho

Apêndice B

Dispositivos lógicos programáveis

O Circuito de controle do analisador-multicanal foi projetado e programado em dispositivos lógicos programáveis, mais precisamente CPLDs (*Complex Programmable Logic Devices*). Os CPLDs foram introduzidos no início dos anos 90 como uma solução mais simples para projetos do que os FPGAs (*Field Programmable Gate Arrays*). O CPLD é uma evolução dos antigos PLA (*Programmable Logic Array*) e PAL (*Programmable Array Logic*) que foram os primeiros dispositivos de lógica programável (PLD's) a aparecer no mercado, na década de 1970. Nas próximas seções descreveremos alguns aspectos importantes dos PLDs. Uma abordagem mais completa sobre os dispositivos lógico-programáveis (PLDs) podem ser encontrados em diversos textos, como [34] e [12].

Um PLD é um dispositivo integrado de uso geral para implementação de circuitos digitais. Ele contém um conjunto de elementos lógicos que podem ser interligados de diferentes maneiras constituindo o circuito desejado. O PLD pode ser visto como uma caixa preta que contém portas lógicas e chaves programáveis, como mosrado na Figura B.1. As chaves programáveis são implementadas utilizando transístores e permitem ao projetista interconectar as portas lógicas de maneira a implementar qualquer circuito lógico.

B.1 PLA (*Programmable Logic Arrays*)

O primeiro dispositivo lógico-programável desenvolvido foi o *Programmable Logic Array* (PLA). A estrutura geral de um PLA é composta de três blocos contendo

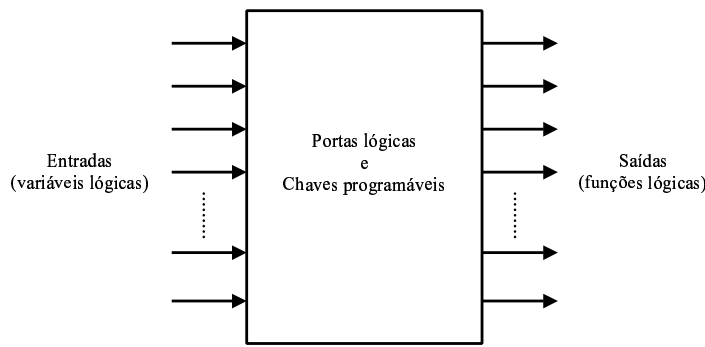


Figura B.1: Dispositivo Lógico Programável (PLD)

buffers e inversores, Portas AND e Portas OR, como ilustra a Figura B.2.

Baseado na idéia que qualquer função lógica pode ser implementada na forma de soma de produtos, o PLA consiste de um conjunto de portas AND que alimentam um conjunto de portas OR. Como visto na Figura B.2, as entradas x_1, x_2, \dots, x_n passam primeiramente por um estágio de *buffers* e inversores que fornecem ao plano de portas AND as entradas com seus valores reais e as entradas complementadas. O plano AND produz na sua saída um conjunto de termos produto P_1, \dots, P_n , cada um podendo ser configurado para implementar qualquer função AND sobre as entradas x_1, x_2, \dots, x_n . Os termos produto servirão de entradas para o plano de portas OR, que produzirá as saídas f_1, \dots, f_m . Cada saída f_i pode ser qualquer soma dos termos P_1, \dots, P_n , realizando desta forma qualquer soma de produtos sobre as entradas x_1, x_2, \dots, x_n . Um exemplo de função implementada num PLA poderia ser $f_1 = x_2\bar{x}_3 + x_1x_3x_4$, onde a partir de quatro entradas x_1, x_2, x_3, x_4 implementamos os termos produtos são $P_1 = x_2\bar{x}_3$ e $P_2 = x_1x_3x_4$ e a partir destes f_1 . Uma representação usual para este circuito é mostrada na Figura B.3. As chaves programáveis fechadas são representadas pelos X e cada porta AND ou OR apresenta somente um "fio" de entrada que permite a conexão de vários sinais.

PLA's comerciais típicos apresentam 16 entradas, 32 termos produtos e 8 saídas. Um PLA é eficiente em termos de área de implementação necessária no circuito integrado. Por esta razão, PLA's são geralmente utilizadas como parte de chips maiores, tais como microprocessadores. Neste caso o PLA é criado com suas conexões fixas, ao invés de programáveis.

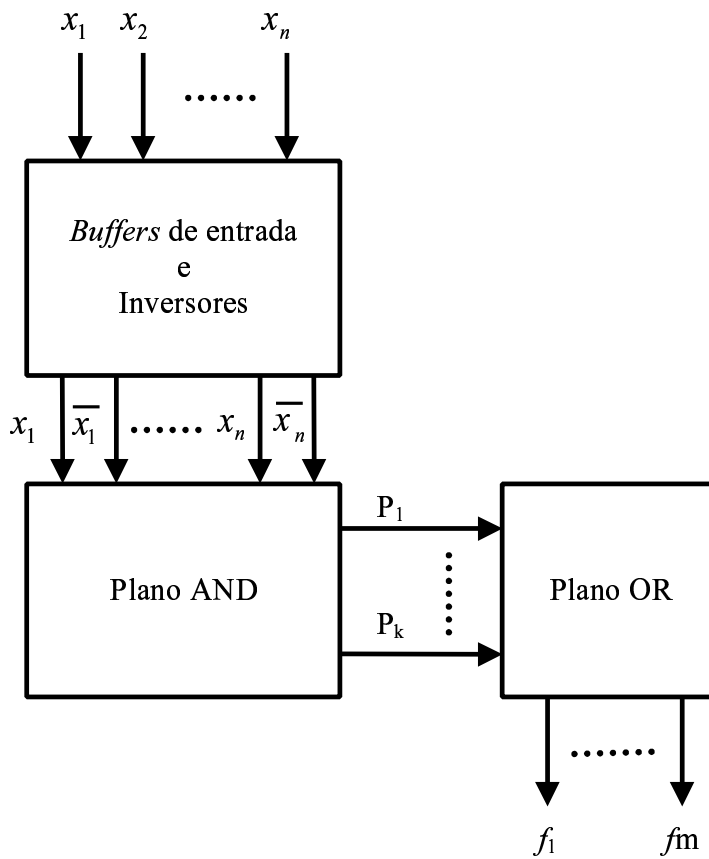


Figura B.2: Estrutura geral de um PLA

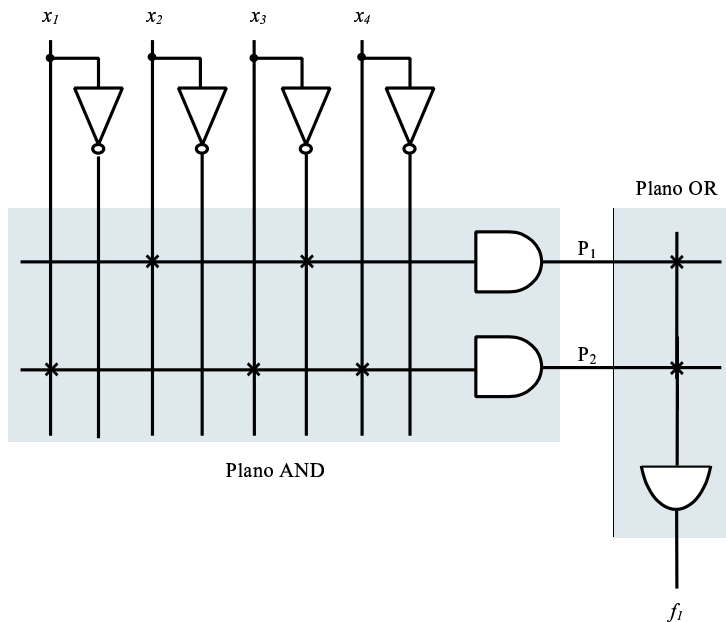


Figura B.3: Exemplo de aplicação com um dispositivo PLA

B.2 PAL (*Programmable Array Logic*)

Nos PLA's ambos os planos AND e OR possuem conexões programáveis. Historicamente, as conexões programáveis apresentam duas dificuldades para os fabricantes de dispositivos semicondutores: são difíceis de se fabricar corretamente e reduzem a performance de velocidade do circuito implementado. Estes fatores levaram ao desenvolvimento de um dispositivo semelhante, os PAL's, que apresentam o plano AND programável mas o plano OR fixo. Por serem mais fáceis de se fabricar e desta forma menos caros que os PLA's, e também apresentarem melhor performance, os PAL's se tornaram mais populares que os PLA's em inúmeras aplicações. Um exemplo de dispositivo PAL com três entradas, quatro termos produto e duas saídas é mostrado na Figura B.4.

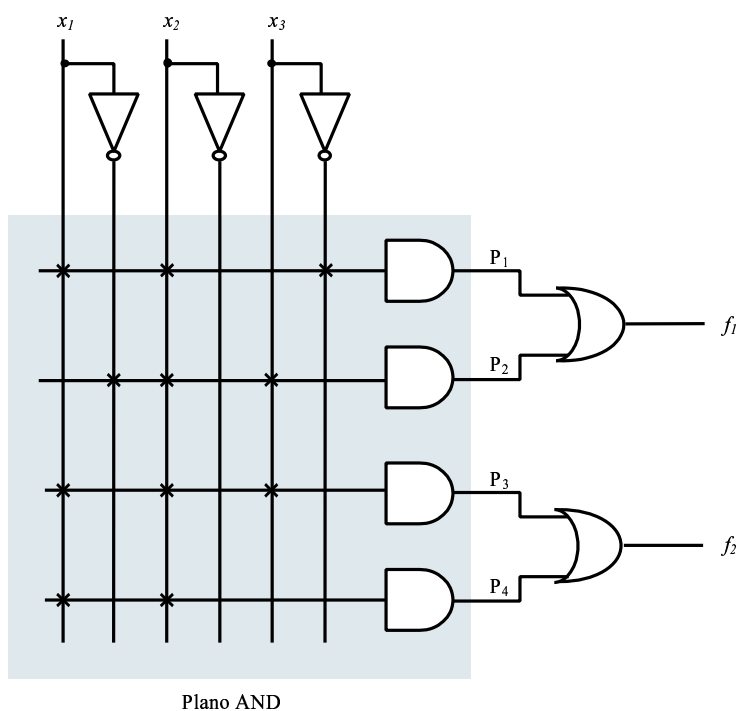


Figura B.4: Arquitetura de um dispositivo PAL

Em comparação com o PLA, o dispositivo PAL apresenta menos flexibilidade quanto à programação. Para compensar a perda de flexibilidade, os PAL's são fabricados em diferentes tamanhos, com vários números de entradas, saídas e portas OR. Além disso, diversos modelos de PAL's dispõem de um circuito extra conectado à saída das portas OR, oferecendo recursos adicionais de circuitos. Ao conjunto

formado pelo circuito adicional e a porta OR, como ilustrado na Figura B.5, dá-se o nome de Macro célula.

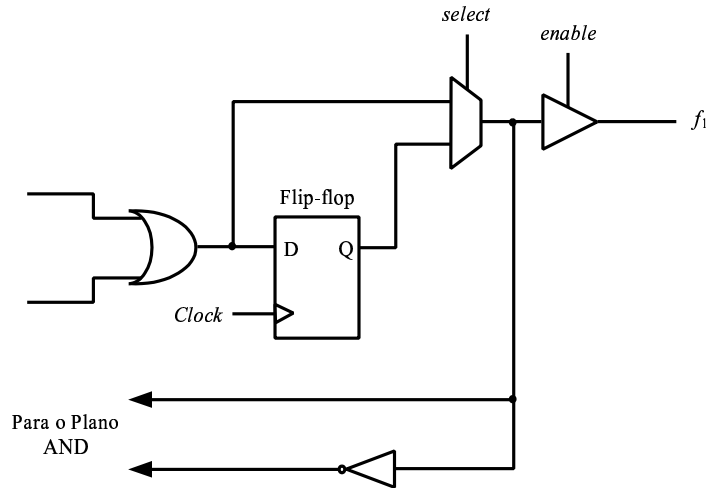


Figura B.5: Macro célula de um PAL

A macro célula consiste de um elemento de memória (*flip-flop*), um seletor de 2 entradas e 1 saída, um *buffer tri-state*, e um inversor. O *flip-flop* tipo D é um dispositivo que armazena o nível de tensão, aplicado à entrada D, na saída Q, no instante em que ocorre uma transição no sinal *Clock*. O tipo D é um *flip-flop* largamente utilizado em projetos de circuitos sequenciais, onde se faz necessário memorizar valores de entradas e saídas por um determinado tempo. O elemento seletor, ou multiplexador, é simplesmente uma chave lógica que conecta uma de suas 2 entradas à saída, dependendo do nível no pino *select*. O *buffer tri-state* é um tipo de chave liga-desliga que permite a várias outras fontes de sinal ou cargas estarem conectadas à saída do PAL. A macro célula confere ao dispositivo PAL grandes vantagens sobre o PLA quanto à flexibilidade para a implementação de circuitos sequenciais ou sistemas que possuem barramentos em comum, onde componentes como memórias, microprocessadores e DSP's (*Digital Signal Processors*) precisam compartilhar os mesmos sinais de saída do PAL. A utilização da idéia de macro célula se estende aos CPLD's, que são uma evolução dos PAL's.

B.3 CPLD (*Complex Programmable Logic Device*)

Dispositivos PLA e PAL são utilizados na implementação de circuitos digitais pequenos (≤ 32 termos produto). Para a implementação de circuitos que exigem maior complexidade, ou seja, maior número de portas lógicas, o CPLD é um dispositivo mais recomendado. Um CPLD consiste de múltiplos blocos lógicos integrados em um único chip. Cada bloco é semelhante a um dispositivo PAL e pode ser interconectado com outros blocos e com os pinos de entrada e saída, conforme ilustra a Figura B.6.

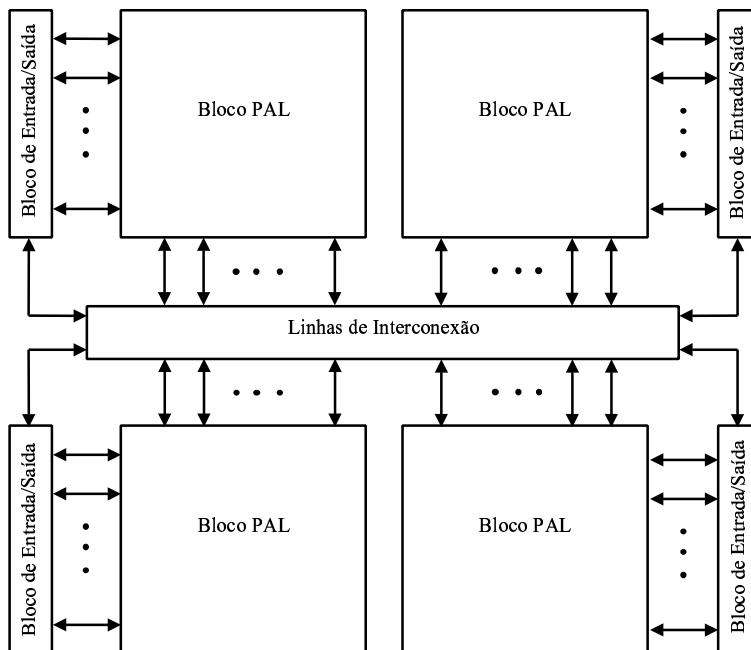


Figura B.6: Arquitetura interna de um CPLD

A Figura B.7 mostra um exemplo da estrutura de conexão interna de um bloco PAL interno a um CPLD. Neste caso, o bloco PAL contém 3 macrocélulas (CPLD's comerciais apresentam tipicamente 16 macrocélulas por bloco), cada uma consistindo de uma porta OR de quatro entradas (dispositivos reais apresentam portas OR de 5 a 20 entradas). A saída da porta OR é conectada a uma porta XOR que por sua vez tem sua saída ligada ao *flip-flop* tipo D. A porta XOR é utilizada para possibilitar a inversão do sinal de saída da OR. Fixando uma das entradas da porta XOR em '1', a saída da porta OR é complementada antes de ser enviada ao

flip-flop. Se a entrada da porta XOR for programada para nível '0', a saída da porta OR não é modificada. Este tipo de recurso aumenta a flexibilidade de programação do CPLD. A macrocélula também contém um multiplexador e um *tri-state buffer* como já descrito anteriormente sobre os dispositivos PAL. O *tri-state buffer* permite que o pino da CPLD seja utilizado tanto como entrada e saída de sinal. No caso do pino de controle do *tri-state buffer* ser programado para mantê-lo aberto, o pino de I/O do CPLD é usado como entrada de sinal para outros blocos PAL, utilizando da malha de interconexão como caminho para o sinal. A malha de interconexão contém chaves programáveis, como o plano AND, para permitir a ligação entre os blocos PAL. Um detalhe a se observar no dispositivo da Figura B.7 é que a programação do pino de I/O como entrada inutiliza a macrocélula correspondente. Alguns CPLD's possuem conexões adicionais que evitam este problema.

Utilizamos neste trabalho a família de CPLD's XC9500, da Xilinx [11]. Nesta família, os dispositivos podem ter de 36 a 288 macrocélulas, ou um total de 800 a 6400 portas lógicas. Decidimos utilizar o dispositivo XC95108, que dispõe de 108 macrocélulas ou 2400 portas, o que se mostrou adequado à densidade do projeto.

Outra característica importante de um dispositivo lógico-programável é o atraso de pino-a-pino. Este atraso define o tempo necessário para que a saída de um circuito responda a uma modificação em algum pino de entrada. Convém salientar que devemos considerar, para atraso pino-a-pino, somente as topologias sem realimentação e sem dependências de sinais externos. O XC95108 apresenta atraso de 7.5ns de pino-a-pino, o que significa, por exemplo, que podemos implementar um contador de 16 *bits* operando a uma frequência de 125MHz.

A entrada de um projeto para CPLDs pode ser realizada de três formas:

- Linguagem de Descrição de *Hardware* (HDL - *Hardware Description Language*);
- Máquina de Estados;
- Esquemático.

A abordagem de projeto por HDL é muito utilizada para projetos grandes (mais de 20000 portas), onde se utiliza dispositivos lógicos muito rápidos e de alta densidade, como os FPGAs. O projeto por HDL consiste em utilizar uma linguagem descritiva (texto), com instruções que permitem ao projetista contruir objetos, que

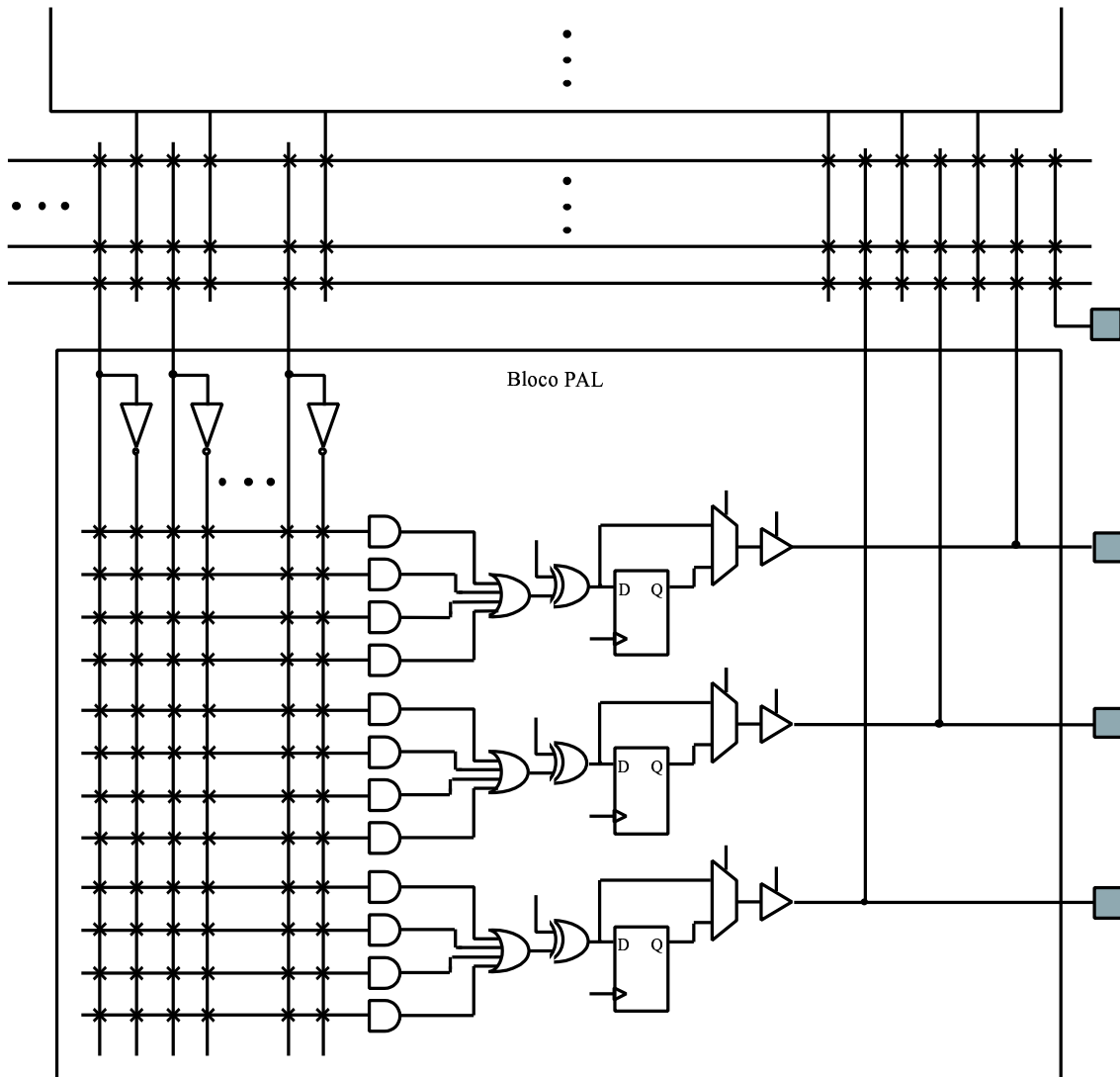


Figura B.7: Seção de um CPLD

vão desde simples portas lógicas, passando por contadores e somadores até objetos mais complexos. Existem, atualmente, dois tipos dominantes de HDL, o Verilog HDL e o VHDL (*Very High-Speed Integrated Circuit* HDL), diferindo basicamente quanto às instruções e aos recursos disponíveis. O segundo método de projeto para CPLDs utiliza Máquina de Estados, muito útil no projeto de circuitos sequenciais como contadores síncronos, identificadores de senha, circuitos que podem ser descritos por uma sequência de estados bem definida. O método de se entrar com um projeto a partir de esquemáticos é o mais direto e natural possível para quem já trabalhou com projeto de circuitos digitais sem utilizar lógica programável. É a abordagem clássica, onde utilizamos dispositivos básicos, com seus respectivos símbolos gráficos e os interligamos de forma que formem o circuito desejado. O método de esquemático foi o escolhido para realizar o presente trabalho, por ser o mais prático e viável em nossas instalações, dada a dimensão do circuito a projetar. Todas estas abordagens de projeto estão disponíveis dentro de um mesmo ambiente de desenvolvimento, chamado de *Foundation*. Este *software* fornece todas as ferramentas necessárias para o projeto e implementação de um circuito tanto em CPLDs quanto FPGAs da Xilinx.

Apêndice C

Código em ABEL do deslocador de *bits*

Programa gerador do Deslocador de *bits*.

```
module Shift12
  Title 'Shift12'

  Declarations
  D11..D0 PIN;
  D = [D11..D0];
  CLK PIN;
  SEL2..SEL0 PIN;
  SEL = [SEL2..SEL0];
  Q11..Q0 PIN istype 'reg';
  Q = [Q11..Q0];

  Equations
  Q.CK = CLK;
  Q := (SEL==0) & [D11,D10,D9,D8,D7,D6,D5,D4,D3,D2,D1,D0]
      # (SEL==1) & [0, D11,D10,D9,D8,D7,D6,D5,D4,D3,D2,D1]
      # (SEL==2) & [0, 0, D11,D10,D9,D8,D7,D6,D5,D4,D3,D2]
      # (SEL==3) & [0, 0, 0, D11,D10,D9,D8,D7,D6,D5,D4,D3]
      # (SEL==4) & [0, 0, 0, 0, D11,D10,D9,D8,D7,D6,D5,D4]
      # (SEL==5) & [0, 0, 0, 0, 0, D11,D10,D9,D8,D7,D6,D5]
      # (SEL==6) & [0, 0, 0, 0, 0, 0, D11,D10,D9,D8,D7,D6]
      # (SEL==7) & [0, 0, 0, 0, 0, 0, 0, D11,D10,D9,D8,D7];

end Shift12
```

Figura C.1: Código fonte (em ABEL) do deslocador de *bits* (*Shift12*)

A primeira parte do código define o nome do componente. Em seguida, vêm as declarações dos sinais de entrada e saída. São declarados três barramentos, D(12 *bits*), SEL(3 *bits*) e Q(12 *bits*) e um sinal de entrada CLK. Após a declaração dos sinais, temos o bloco *Equations*. Neste bloco são inseridas as equações que definem a função de transferência do componente. É fácil observar que dependendo

do valor de SEL, a saída Q será a entrada D deslocada ou não. Sendo assim, quando definimos o barramento SEL com o valor 3, por exemplo, estamos fazendo com que a saída do *Shift12* seja a entrada D deslocada 3 *bits* à direita. Desta forma, estaremos alocando somente 9 *bits* para endereçar a memória, fazendo com que todo o espectro da aquisição esteja contido em somente $2^9 = 512$ canais. Quando o usuário escolhe utilizar os 4096 canais disponíveis, o valor de SEL enviado ao *Shift12* é igual a 0 e nenhum deslocamento é realizado no dado de saída do ADC. O barramento de saída (Q) do componente *Shift12* é registrado, ou seja, no momento em que chega uma transição positiva à entrada CLK o valor no barramento D é deslocado, ou não, e armazenado no barramento Q até que outra transição ocorra na entrada CLK.

Apêndice D

Programa de interface com o usuário

O Analisador-Multicanal é utilizado em conjunto com um programa de interface com o usuário, que chamamos Acq1D. O programa pode ser executado em qualquer computador pessoal tipo PC no ambiente operacional Windows 95 ou superior. Todo o programa foi desenvolvido utilizando o ambiente de programação Delphi como ferramenta de programação.

O programa Acq1D tem como principal objetivo permitir a visualização do espectro resultante de uma aquisição de dados. O espectro é mostrado em uma janela gráfica que tem o eixo horizontal representando a posição de incidência dos fótons no detector e o eixo vertical mostrando as contagens em cada posição. Cada posição do espectro corresponde a um código de saída do ADC.

As características funcionais mais importantes do programa Acq1D são:

- Salvar o espectro em um formato próprio do programa - Unidimensional(.uni) e nos formatos ASCII (.dat), JPEG (.jpg) e BITMAP(.bmp);

- Dispor de recursos gráficos, como por exemplo: visualização do espectro como pontos ou como linha contínua, auto-escala, escala logarítmica, definição de Região de Interesse (ROI) e Zoom;

- Dispor de recursos, de fácil acesso, para controlar uma aquisição. Entre estes recursos devemos destacar: seleção do número de canais do espectro, controles START e STOP para iniciar e encerrar uma aquisição de dados, e janela para configuração de aquisição por tempo programado;

- Fornecer o recurso matemático de média de pontos adjacentes;
- Permitir a visualização de vários espectros simultaneamente (recurso MDI do Windows). A aquisição em curso é visualizada em uma das janelas.

Para a comunicação do PC com a placa multicanal, foram inseridas rotinas em Assembly no código. Estas rotinas realizam as operações de I/O utilizadas para transferência de dados entre o PC e a memória da placa e também para gerar pulsos de READ e WRITE, usados para controle no circuito. A Figura D.1 mostra a página de apresentação do programa Acq1D. Além da janela principal, tem-se a janela *Full View*, que mostra todo o espectro, destacando regiões de zoom ou ROI ativadas e a janela *Acquisition Status*, que fornece informações quantitativas sobre o espectro.

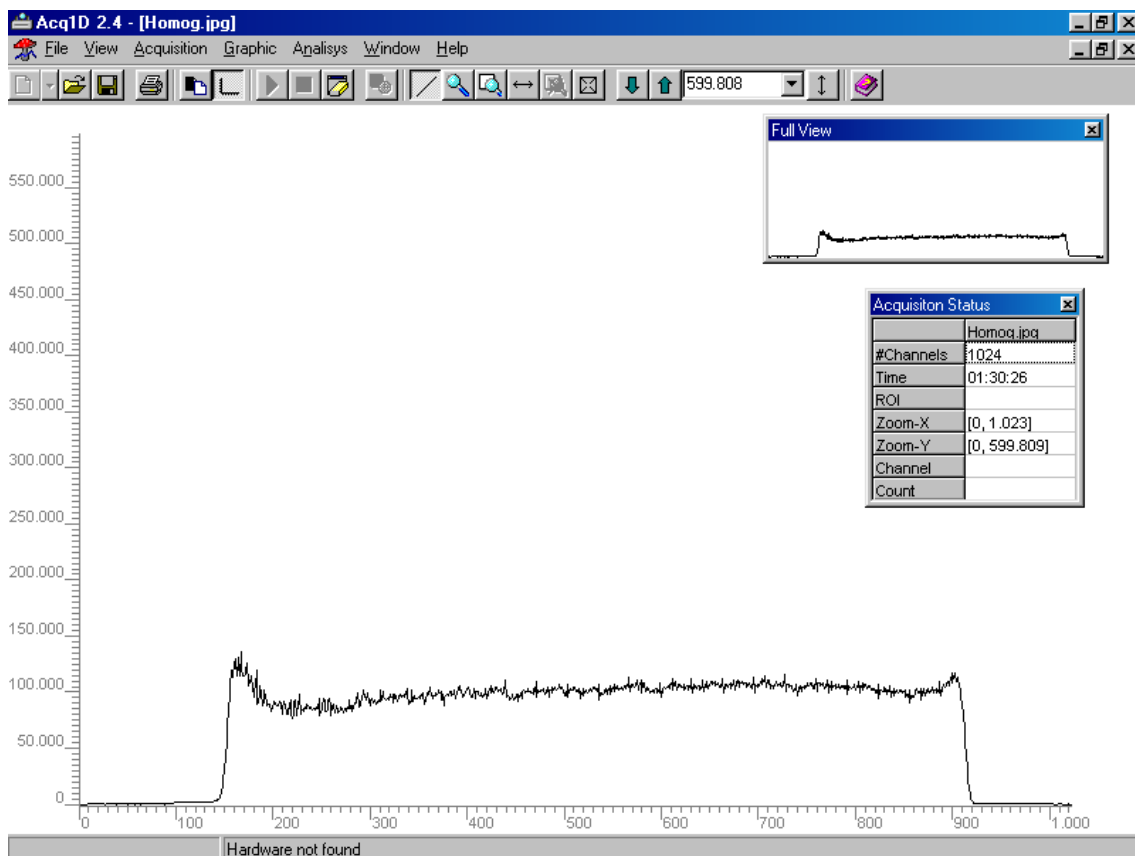


Figura D.1: Janela ativa do programa Acq1D

Apêndice E

Circuito do MCA

Input Signal

