

CBPF - CENTRO BRASILEIRO DE PESQUISAS FÍSICAS

Rio de Janeiro

Notas Técnicas

CBPF-NT-001/15

Abril 2015

**Interface para Detectores de Radiação Timepix
baseada em plataforma FPGA.**

Jean Marie Polli, Herman Lima Jr, Kazuyoshi Carvalho Akiba

Interface para Detectores de Radiação Timepix baseada em plataforma FPGA.

One Timepix Detector Interface Based on FPGA Platform.

Jean Marie Polli*, Herman Lima Jr[†], Kazuyoshi Carvalho Akiba[‡]

Centro Brasileiro de Pesquisas Físicas – CBPF,

Rua Dr. Xavier Sigaud, 150

Urca – Rio de Janeiro – RJ – Brasil

Laboratório Nacional de Luz Síncrotron – LNLS,

Rua Giuseppe Máximo Scolfaro,

10.000 Pólo II de Alta Tecnologia - Campinas - SP – Brasil.

Submetido em 11/03/2015

Resumo: Medipix é uma família de detectores de área para radiação, formados por uma matriz de pixels híbridos, desenvolvida por um consórcio colaborativo no CERN¹, tendo como foco inicial aplicações medicinais. Atualmente, existem as seguintes versões de detectores: Medipix, Medipix-2, Timepix, Medipix-3, Medipix-3RX e Timepix3. Apresentamos o desenvolvimento de uma interface para aquisição de dados para até nove chips da versão Timepix. Esta interface servirá de base para um Telescópio de Múons, e poderá ser utilizada em projetos relacionados ao detector VELO, no experimento LHCb. Foi desenvolvido um conjunto de módulos eletrônicos e programas para a plataforma NI-PXI via FPGA². Apresentamos resultados de testes realizados pelo procedimento de desabilitação de pixels do Timepix por uma máscara digital, para demonstrar a funcionalidade da interface desenvolvida.

Palavras chave: Radiação; Instrumentação Científica; Raios-X; FPGA; Telescópio de Múons.

Abstract: Medipix is a family of area detectors for radiation, constituted by a matrix of hybrid pixels, developed in a collaborative consortium at CERN, with medical applications as initial focus. Nowadays, there are following detectors versions: Medipix, Medipix-2, Timepix, Medipix-3, Medipix-3RX and Timepix3. We present the development of a data acquisition interface for up to nine chips Timepix. This interface will be the basis of a Muon Telescope, and can be used in projects related to the VELO detector, in the LHCb experiment. Was developed a set of electronic modules and programs for NI-PXI platform via FPGA. We present results of tests carried out by the procedure disabling pixels of Timepix with a digital mask to demonstrate the functionality of the developed interface.

Keywords: Radiation; Scientific Instrumentation; X-rays; FPGA; Muon Telescope.

1. VISÃO GERAL DO DETECTOR TIMEPIX

O Timepix é um detector do tipo matriz de pixels híbridos, ou seja, uma matriz com pixels de sensores semicondutores, como o Silício (Si). Estes pixels são diretamente conectados através da tecnologia *bump bonding* a um chip constituído por uma matriz de pixels CMOS³.

Sendo um detector de conversão direta, a radiação incidente nos pixels sensores do Timepix é convertida diretamente em lacunas, ou elétrons, que são então acelerados até os pixels do chip pela tensão de Bias. Cada pixel do chip CMOS coleta, processa a carga Q e calcula o número N de eventos ocorridos nos respectivos pixels. Como exemplo, se fótons com energia E atingem um sensor ideal de Silício⁴,

o número N de eventos contados, considerando eficiência de 100%, seria dado por:

$$N = 3,7Q/E$$

Discriminadores são usados para que a eletrônica só conte os eventos dentro de uma faixa de energia, ou tempo de chegada pré-definidos. Isso permite a formação de imagens espectroscópicas ou a seleção de eventos de chegada de radiação aos sensores [3] [4] [9].

para criar um par elétron-lacuna no Silício (Si) [01].

*jean.polli@lnls.br

[†]hlima@cbpf.br

[‡]kazu@if.ufrj.br

¹Organisation Européenne pour la Recherche Nucléaire.

²Field-Programmable Gate Array.

³CMOS: Complementary Metal-Oxide-Semiconductor.

⁴A constante $3,70 \pm 0,07$ eV é a energia necessária da radiação incidente

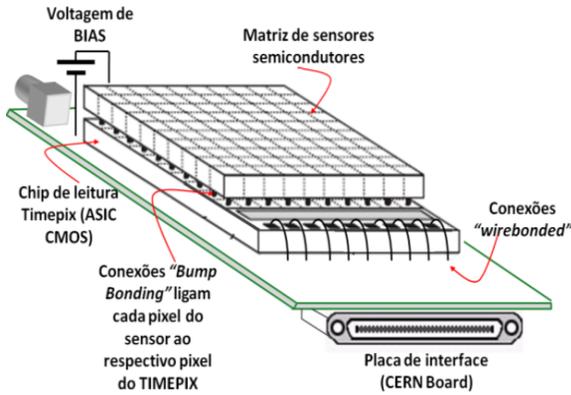


Figura 1: Desenho simplificado dos detectores híbridos Timepix. **Fonte:** adaptado de [3] [4] [9]

O Timepix possui 65536 pixels de $55 \times 55 \mu\text{m}$ cada, arranjados em uma matriz 256×256 , totalizando uma área ativa de $1,982 \text{ cm}^2$. O CERN desenvolveu uma placa⁵ básica para interface, onde as conexões ao chip para a configuração, alimentação e a leitura de dados são feitas através de *Wire Bonding* em um de seus lados [3] [9] [10].

1.1. A placa de interface padrão do CERN

A Figura 2 mostra a placa de interface criada pelo CERN para facilitar o desenvolvimento, já incluindo o chip Timepix montado através de *Wire Bonding*. Essa placa possui um conector VHDCI⁶ de 68 pinos onde são conectados todos os sinais necessários para o chip. Para a configuração e leitura é usado exclusivamente o modo serial (LVDS⁷). Neste conector existem ainda alguns sinais de controle CMOS. Para a alimentação dos sensores (*bias*) é utilizado um conector na parte superior da placa. Além de vários capacitores de filtragem para as diversas tensões de alimentação, a placa possui também um multiplexador analógico de quatro para um, usado para alternar os níveis alto e baixo da tensão para o procedimento *Test Pulse*.



Figura 2: Placa de interface padrão do CERN com um Timepix montado. **Foto:** Jean Marie Polli.

1.2. Circuito de processamento de sinais de um pixel

Para cada pixel existem duas etapas de processamento: analógica e digital. A etapa analógica é formada por um pré-amplificador de carga para os pulsos vindos do pixel sensor ou do capacitor de teste (*Test Pulse*). A tensão de saída vai para o discriminador, o qual possui controle de polaridade da carga de entrada e ajuste dos limiares (*threshold*). O sinal de polaridade é nível alto para cargas positivas e baixo para elétrons.

Os pixels podem ser desabilitados (mascarados) por software através do *Mask bit* na saída do discriminador [2]. Este recurso permitiu fazer o teste proposto neste trabalho.

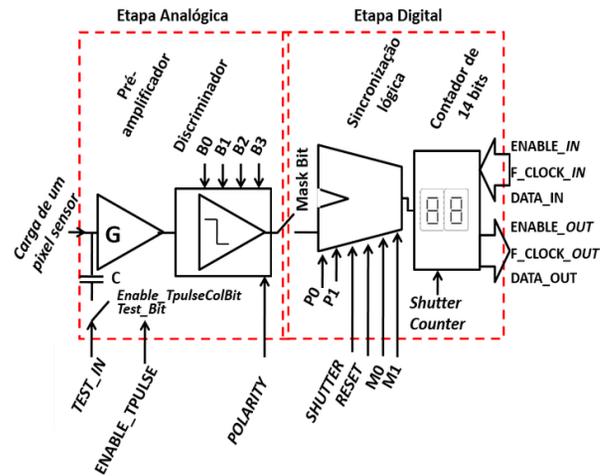


Figura 3: Circuito processador de um pixel do chip Timepix. Os sinais fora da área pontilhada são externos ao chip. Os sinais da direita são padrão LVDS e os inferiores CMOS. **Fonte:** adaptado de [2].

A etapa digital é composta por um circuito de sincronização lógica e por um registrador de deslocamento de 14 bits. O circuito de sincronização lógica é configurado pelos bits P0, P1 e *Bit Mask* para operar em quatro modos diferentes, conforme item 1.3.

Dependendo do modo selecionado, este circuito sincroniza o *Shutter*⁸ (obturador) e um evento vindo do discriminador com o *clock* para incrementar o contador. O contador só é incrementado se o sinal *ShutterCounter* estiver em nível baixo e não houver *overflow*. Se o *ShutterCounter* está em nível alto, o contador se comporta como um registrador de deslocamento que conta o *clock* gerado no chip a partir do sinal *Fclock* (cuja frequência máxima é de 100MHz). O sinal *DATA_IN* é usado para configurar os pixels, enquanto o *DATA_OUT* é usado para a leitura das contagens e estados dos pixels.

⁵ Chamada Medipix Probe Card

⁶ VHDCI: Very-High-Density Cable Interconnect.

⁷ LVDS: Low-Voltage Differential Signaling.

⁸ Sinal externo que indica ao chip o início de um período de aquisição dos eventos gerados nos sensores.

1.3. Modos de operação do Timepix

Os pixels podem operar em diferentes modos, conforme mostrado na Tabela 1. Os resultados são registrados pelos contadores de cada pixel.

Tabela 1: Modos de operação para cada pixel.

Bit Mask	P1	P0	Modo de operação do pixel
0	x	x	Desabilitado (mascarado).
1	0	0	Medipix, após o disparo do <i>shutter</i> , conta eventos para cada sinal acima do <i>threshold</i> .
1	0	1	ToT, após o disparo do <i>shutter</i> , conta o núm. de pulsos do <i>clock</i> durante o tempo de eventos acima do <i>threshold</i> .
1	1	0	Timepix-1hit, uma contagem por disparo do <i>shutter</i> , se houver eventos acima do <i>threshold</i> durante o disparo.
1	1	1	Timepix ToA, após o disparo do <i>shutter</i> e a ocorrência do primeiro evento acima do <i>threshold</i> , conta o núm. de pulsos do <i>clock</i> até o fim do disparo do <i>shutter</i> .

Referência [3].

Os modos de operação funcionam somente quando três condições são satisfeitas: o *Bit Mask* do respectivo pixel estiver habilitado, o *Shutter* estiver disparado e os eventos⁹ produzirem sinais acima do *threshold* de energia.

O modo ToA (*Time of Arrival*) permite obter a informação do tempo decorrido entre a ocorrência de um evento até a finalização do disparo do *Shutter*.

Em modo ToT (*Time over Threshold*), há o registro da duração total dos eventos dentro da janela de disparo do *Shutter*.

Nos dois modos acima, os pulsos de *clock* são contados, permitindo calcular-se o tempo decorrido.

O modo de operação *Timepix-1hit* conta o número de disparos do *shutter* durante os quais houve ao menos a ocorrência de um evento.

O Timepix pode ser programado para emular o modo Medipix, onde os eventos discriminados incrementam os contadores durante o intervalo de abertura do *Shutter*.

As funções de operação do chip são ativadas pelos bits externos M1, M0, SHUTTER e RESET, conforme visto na Figura 3 [3].

Os bits M1 e M0 definem se a função é de configuração, leitura da matriz ou de registradores especiais como o CTPR (*Column Test Pulse Register*).

O SHUTTER, quando ativado, sinaliza para o chip realizar a contagem de eventos.

O RESET, quando zero, inicializa o chip todo, zerando os contadores e os estados dos pixels.

O Timepix também pode realizar o *Test Pulse* em cada pixel para equalização, ou calibração, de toda a matriz sem a necessidade de uma fonte de radiação. Isto é feito aplicando-se uma quantidade de carga elétrica conhecida na entrada dos pré-amplificadores dos pixels.

O pino externo *TEST_IN* é ligado a todos os pixels através de capacitores. Neste pino, pode-se aplicar um pulso de

tensão conhecida e assim gerar um fluxo de cargas na entrada do pixel, se este estiver selecionado e ainda, se o pino *ENABLE_TPULSE* e o bit interno *Enable_TpulseColBit* estiverem em nível lógico alto.

Os pixels a serem testados são selecionados com o bit 13 do *Pixel Configuration Register* em nível lógico baixo.

A borda de subida do pulso de tensão no pino *TEST_IN* produz cargas positivas (lacunas) e a descida produz cargas negativas (elétrons) na entrada do pré-amplificador. A quantidade de carga equivalente é dada pela relação abaixo [3]:

$$Q = 5 \times 10^4 \Delta V$$

onde a carga Q^{10} fornece o número de elétrons e ΔV é dada em Volts.

Para melhorar o isolamento e diminuir o acoplamento entre circuitos próximos, existe em cada coluna de pixels um *buffer* de ganho unitário para o sinal *TEST_IN*. Esses *buffers* são lineares para tensões de *TEST_IN* entre 0,4V e 2,0V. Logo, para manter a linearidade, aplicam-se os pulsos de teste nesta faixa de tensões.

Além disso, pode-se acionar o *Test Pulse* em oito colunas de pixels por vez, habilitando um dos 32 bits do CTPR (*Column Test Pulse Register*). Cada bit do CTPR aciona oito colunas alternadas, totalizando 256 bits. Quanto menos colunas acionadas em um dos testes, menor o acoplamento e a distorção do pulso de saída amplificado.

1.4. O mascaramento de pixels

Cada pixel da matriz do chip pode ser individualmente desabilitado (mascarado). Quando é realizada a leitura dos contadores de um pixel mascarado, recebe-se o valor 0.

Este procedimento foi utilizado para os testes de funcionamento da interface, pois para mascarar os pixels é preciso enviar uma sequência de comandos serialmente para o chip. Como, além de enviar comandos, também é preciso receber dados dos chips para a leitura dos pixels, foi comprovada a comunicação da interface projetada.

2. DESENVOLVIMENTO DA INTERFACE

2.1. Estudo preliminar

A necessidade de se conectar o maior número possível de chips, e de se obter a maior taxa de leitura permitida com detectores da família Medipix, motivou o projeto descrito. Esta necessidade, aliada a grande quantidade de canais disponíveis na placa NI-7952R (66 canais LVDS), levou à adoção desta solução de hardware.

Para a configuração e leitura de dados, os chips Timepix são conectados em modo serial ponto a ponto à placa FPGA NI-7952R, através da Placa Principal. Assim, para a FPGA,

⁹ A ocorrência de eventos é considerada aqui como sendo a chegada de uma ou mais partículas de radiação em um dado pixel.

¹⁰ Para a carga Q ser dada em número de elétrons, a constante 5×10^4 é dada pela razão entre a capacitância de $8fF$ e a Carga Elementar, ou seja, $5 \times 10^4 \approx 80000 \times 10^{-19} / 1,6022 \times 10^{-19}$.

a conexão é paralela (não é *daisy-chain*). Desse modo, conseguimos conectar até nove chips e obter desempenho de conexão serial ponto a ponto, o que não seria possível em modo *daisy-chain*. Barramentos atuais de alta velocidade também adotam este tipo de arquitetura, como, por exemplo, o PCI Express.

A placa Principal também transforma a alimentação externa CC, regula e a distribui para os chips Timepix. Possui ainda quatro canais de *triggers* externos para sincronização (duas entradas e duas saídas) sendo uma TTL¹¹ e outra LVDS.

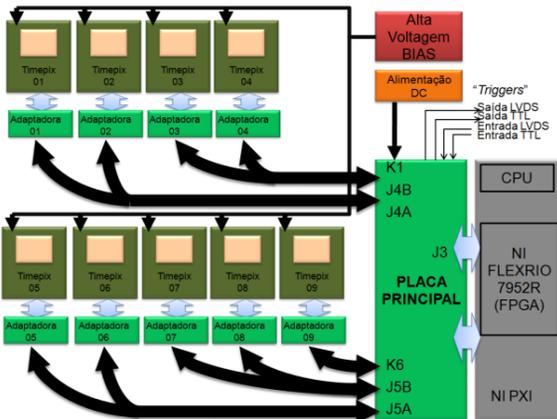


Figura 4: Diagrama em blocos da interface desenvolvida.

Para os sinais de controle e modos de operação do chip (*Shutter*, *Reset*, M0 e M1), que no Timepix são CMOS, foi necessário construir placas adaptadoras (01... 09), uma vez que a conexão é longa e os sinais são transmitidos em padrão LVDS. Essas placas também regulam e filtram novamente a alimentação CC para os chips.

Para o modo *Test Pulse*, as placas adaptadoras o habilitam e fornecem as tensões necessárias (alta e baixa). A placa principal gera o sinal de disparo do pulso.

Para a alimentação (*Bias*) dos detectores é usada uma fonte externa independente.

2.2. Primeira versão dos protótipos

A Figura 5 mostra o diagrama em blocos e a Figura 6 uma foto do primeiro protótipo montado da placa principal.

A placa possui quatro conectores VHDCI à esquerda para acomodar até oito chips Timepix e um conector no centro inferior direito para um nono chip.

No centro da placa estão quatro circuitos integrados que transformam cada um dos sinais LVDS (SHUTTER, RESET, M0 e M1) vindos da FPGA em nove canais que são enviados às placas adaptadoras.

Na parte central inferior estão os dois reguladores de alimentação dos chips e um regulador que alimenta os distribuidores LVDS.

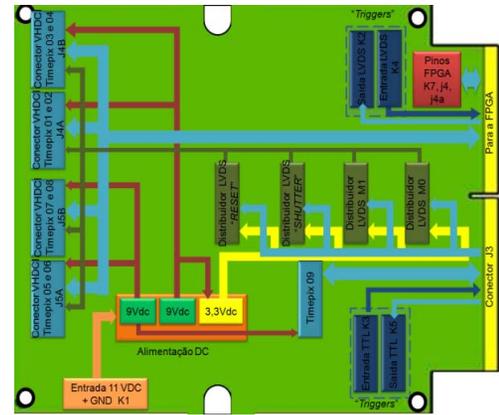


Figura 5: Diagrama em blocos da placa principal.

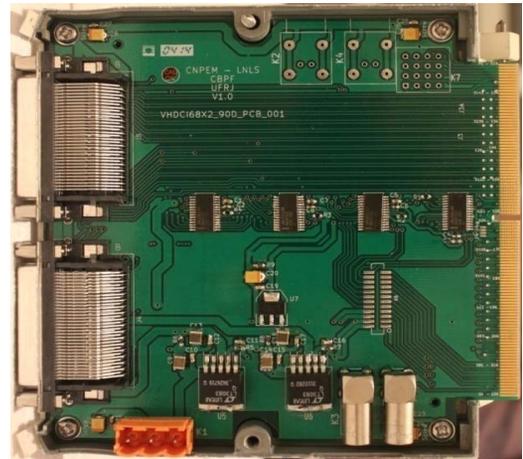


Figura 6: Primeiro protótipo da placa principal (VHDCI68x2.90D_PCB_001 V1.0) (vista superior).

O conector K1 de alimentação Vcc externa encontra-se na parte inferior esquerda da placa. Os conectores K3/K5 (TTL) e K2/K4 (LVDS) são usados para os *Triggers* de sincronização externa, sendo K2 e K3 saídas, K4 e K5 entradas.

Nos conectores K7 e J4/J4a estão conexões auxiliares à FPGA para uso futuro.

Do lado direito da placa está o conector J3, que possui 226 contatos para o encaixe na placa FPGA NI-7952R.

Nas Figuras 7 e 8 temos, respectivamente, o diagrama em blocos e a foto do primeiro protótipo montado das placas adaptadoras.

No centro vemos dois circuitos integrados adaptadores LVDS para CMOS usados para os sinais *Shutter*, *Reset*, M0 e M1.

Na parte inferior da placa um dispositivo regula a alimentação do Timepix. Na parte superior um regulador alimenta os adaptadores LVDS para CMOS.

O cabo LVDS vindo da placa principal conecta-se ao conector VHDCI 68 pinos à direita nestas placas adaptadoras.

À esquerda da placa vemos o conector J2/J2b, que é usado para conectar o circuito à placa de interface padrão do CERN.

¹¹ TTL: Transistor-Transistor Logic.

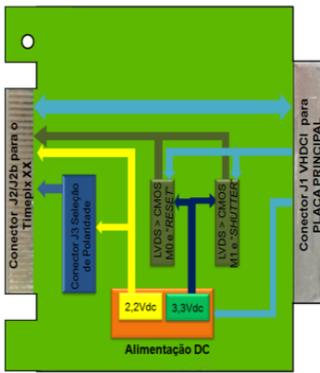


Figura 7: Diagrama em blocos das placas adaptadoras.



Figura 8: Primeiro protótipo montado da placa adaptadora (VHDCI68x90D_PCB_001 V1.0).

3. PRIMEIRA VERSÃO DE SOFTWARE

Para conectar-se a uma placa FPGA, como a NI-7952R, utilizando módulos adaptadores não comerciais, como as placas aqui desenvolvidas, é preciso criar um bloco de código chamado CLIP¹², baseado em VHDL¹³[8]. Este bloco configura as conexões físicas entre a FPGA e o circuito externo, fazendo diretamente uma ponte entre o código VHDL e um instrumento virtual (*Virtual Instrument*) do LABVIEW¹⁴, na FPGA. Isto permite acesso aos pinos GPIO¹⁵ e aos pinos de controle da FPGA [5] [7] [8]. Estes pinos são conectados aos circuitos da placa principal.

Também é através de blocos do tipo CLIP que se acessa a memória existente na placa NI-7952R.

O LABVIEW compila os blocos CLIP e gera um arquivo tipo XML¹⁶, que irá representar os pinos de entrada e saída (E/S) como variáveis de programação em sua área de projetos [8].

¹² CLIP: Component-Level Intellectual Property .
¹³ VHDL: VHSIC Hardware Description Language.
¹⁴ LABVIEW: Linguagem de programação de propriedade da National Instruments.
¹⁵ GPIO: General Purpose Input/Output.
¹⁶ XML: eXtensible Markup Language.

O VI, na FPGA, comunica-se com os instrumentos virtuais (VIs) de aplicação em alto nível no computador do usuário [6].

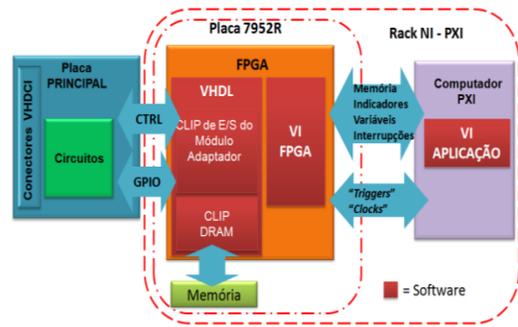


Figura 9: Diagrama funcional da interface de software para o projeto. Fonte: Adaptado de [5] [7] [8].

O usuário final tem acesso a todas as variáveis referentes aos chips Timepix diretamente no ambiente de programação LABVIEW. Também podem ser criadas funções de mais alto nível para controle e aquisição de dados, como exemplos: o *Test Pulse*, a configuração dos modos de operação do chip, o mascaramento de bits, a aquisição de imagens, entre outras.

3.1. Procedimento de testes

Para realizar uma primeira verificação da funcionalidade da interface foi utilizado o procedimento de mascaramento de pixels.

O procedimento consistiu em criar uma imagem de máscara para a matriz de pixels do chip, como exemplo um xadrez, na qual a cada dois pixels, um é desabilitado (mascarado) sucessivamente por toda a matriz. Em seguida, foi feita a leitura da matriz para verificar o correto mascaramento dos pixels.

Abaixo é mostrado o fluxograma para a configuração da máscara no chip.

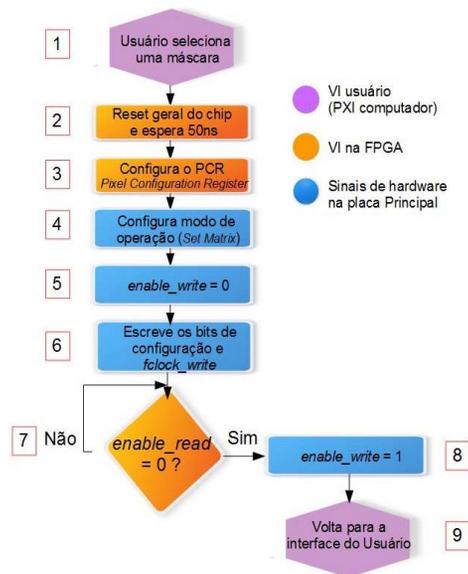


Figura 10: Fluxograma para o mascaramento de cada pixel.

O software desenvolvido segue a seguinte seqüência, conforme a Figura 10:

O usuário escolhe uma máscara pré-configurada, neste caso xadrez, e configura os bits do PCR¹⁷;

O programa reinicializa o chip e espera pelo menos 50 ns para a propagação do *clock* interno;

Em seguida, configura o PCR em binário com o valor 0000000101111 para pixel mascarado em modo medipix, ou 00000001101111 para pixel não mascarado;

O circuito gera os sinais SHUTTER, M0, M1 para a configuração da matriz;

No passo cinco, o hardware coloca o chip em modo de espera dos dados;

São enviados os bits de configuração do PCR e o *clock* para configurar cada um dos 65536 pixels da matriz do chip;

O programa verifica se a operação terminou;

Se a operação terminou, o circuito manda o chip gravar nos pixels os dados enviados;

Finalmente, o programa volta para a interface do usuário, que pode escolher outras operações. Uma delas pode ser a aquisição e leitura de imagens, conforme tela apresentada na Figura 16.

4. TESTES COM A INTERFACE MONTADA

Para testar a interface desenvolvida, a placa Principal foi ligada a um chip Timepix através de uma placa Adaptadora.

O outro lado da placa Principal foi conectado em uma placa FPGA 7951R, que integra um conjunto NI-PXI onde é executado um sistema operacional de tempo real (NI RT).

A FPGA executa os VIs de baixo nível da interface, enquanto o sistema operacional RT executa os VIs de interface com o usuário.

O hardware NI-PXI conecta-se através de rede Ethernet TCP-IP ao computador do usuário, onde é executado o programa LABView que acessa os VIs no RT.

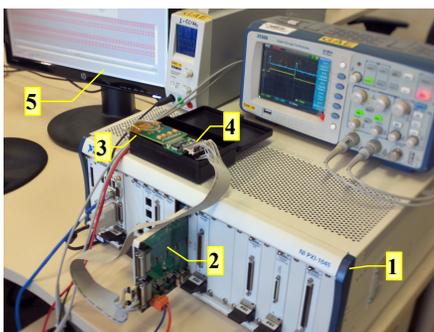


Figura 11: Setup experimental de testes. 1) NI-PXI executando os VIs de interface com o usuário; 2) Placa Principal, acoplada na placa FPGA 7951R, que executa os VIs de baixo nível; 3) Detector Timepix montado em uma placa de interface padrão do CERN; 4) Placa Adaptadora; 5) Computador do usuário com Labview.

4.1. Testes preliminares da interface

Com o chip detector desconectado da interface, foram feitos testes básicos de continuidade e elétricos nos componentes, placas, soldas e conexões. Após isso, com os circuitos ligados, foram realizados testes de temperatura dos componentes da interface.

Foram testados a alimentação e os sinais CMOS e LVDS gerados pela interface que são enviados aos chips detectores. Para tal, foram medidas as tensões e as frequências com o *clock* da FPGA, primeiramente em 2,5 MHz, e depois em 40 MHz. Cada sinal LVDS foi terminado com um resistor de 100 Ω , conforme requer o padrão LVDS.

4.2. Teste com o mascaramento de pixels

Para este teste, conforme apresentado no item 3.1, foi configurada uma máscara no formato xadrez através de uma matriz quadrada $A_m=[a_{i,j}]$ de ordem $m=256$.

A posição $a_{0,0}$ representa o pixel inferior esquerdo do chip e a posição $a_{255,255}$ o pixel superior direito.

A máscara foi criada com a seguinte regra:

$$[a_{i,j}] = \begin{cases} 0 & \forall (i, j < 256) \in N : (i+j) \equiv 0 \pmod{2} \\ 1 & \forall (i, j < 256) \in N : (i+j) \equiv 1 \pmod{2} \end{cases}$$

A posição na matriz A recebe o valor 0, que mascara o pixel, quando as coordenadas i e j são ambas pares ou ímpares.

Se i é ímpar e j é par, ou vice versa, a posição recebe o valor 1.

Como o PCR de cada pixel possui 14 bits, expandiu-se o número de linhas da matriz A em uma matriz $B_{3584 \times 256}=[b_{k,l}]$ para representar todos os bits.

Assim, cada linha da matriz B representa um dos bits do PCR, com exceção do bit de mascaramento b_7 que é lido da matriz A.

Segue a construção da matriz expandida B.

$$\begin{aligned} PCR_{b_{13}} & \forall (i, j < 256) \in N : (k = 14i; l = j) \\ PCR_{b_{12}} & \forall (i, j < 256) \in N : (k = 14i + 1; l = j) \\ PCR_{b_{11}} & \forall (i, j < 256) \in N : (k = 14i + 2; l = j) \\ PCR_{b_{10}} & \forall (i, j < 256) \in N : (k = 14i + 3; l = j) \\ PCR_{b_9} & \forall (i, j < 256) \in N : (k = 14i + 4; l = j) \\ PCR_{b_8} & \forall (i, j < 256) \in N : (k = 14i + 5; l = j) \\ [b_{k,l}] & = \begin{cases} a_{i,j} & \forall (i, j < 256) \in N : (k = 14i + 6; l = j) \\ PCR_{b_6} & \forall (i, j < 256) \in N : (k = 14i + 7; l = j) \\ PCR_{b_5} & \forall (i, j < 256) \in N : (k = 14i + 8; l = j) \\ PCR_{b_4} & \forall (i, j < 256) \in N : (k = 14i + 9; l = j) \\ PCR_{b_3} & \forall (i, j < 256) \in N : (k = 14i + 10; l = j) \\ PCR_{b_2} & \forall (i, j < 256) \in N : (k = 14i + 11; l = j) \\ PCR_{b_1} & \forall (i, j < 256) \in N : (k = 14i + 12; l = j) \\ PCR_{b_0} & \forall (i, j < 256) \in N : (k = 14i + 13; l = j) \end{cases} \end{aligned}$$

Uma vez que a transmissão para o chip é realizada serialmente, a matriz B foi transformada em um vetor $V=[v_s]$ de ordem 917504.

$$[v_s] = \begin{cases} b_{k,l} & \forall (s < 917504; k) \in N : k = s/256 \\ l = 255 - [(s+256) \equiv \text{rmod } 256] \end{cases}$$

¹⁷ PCR: Pixel Configuration Register. É um registrador de 14 bits usado para configurar cada pixel e para a leitura dos valores das contagens.

Este vetor contém cada bit de configuração da matriz de pixels do chip detector, na sequência correta para serem transmitidos serialmente.

Começando pelo bit 13 do pixel 255, até o pixel 0 da linha 0 do chip detector.

Repete-se isto para o bit 12 até o bit 0 da mesma linha. Em seguida, repete-se tudo para cada linha até a 255.

5. OS RESULTADOS

Nos testes preliminares dos circuitos foram encontradas algumas trilhas em curto circuito e componentes com problemas de conexão por solda defeituosa. Além disso, foi identificado um componente danificado e duas trilhas com conexões erradas.

Nos testes dos sinais, foram obtidos os valores nominais corretos, em relação ao GND, em todos os pinos da placa Adaptadora que alimentam o chip detector. Em relação aos sinais LVDS (DATA_IN, F_CLOCK_IN, ENABLE_IN), foram obtidos os valores de 1,10 V em nível lógico baixo e 1,49 V para o nível alto, o que resulta em uma corrente de aproximadamente 3,9 mA sobre a carga de 100 Ω .

Na Figura 12, está um exemplo de sinal LVDS medido. A frequência dos sinais gerados na saída da interface é 5 MHz, para um *clock* base da FPGA em 40 MHz.



Figura 12: Sinal de *clock* LVDS no pino de saída da interface (F_CLOCK_IN na entrada do chip detector). Frequência de *clock* base da FPGA em 40MHz.

O ciclo de trabalho (*duty cycle*) é de aproximadamente 33% porque para cada nível (alto e baixo) são realizadas quantidades diferentes de instruções.

Os sinais CMOS (SHUTTER, RESET, M0 e M1) que são gerados pela interface indicaram 3,2 V, quando em nível lógico alto, e 0,2 V quando em nível baixo.

Nos testes de temperatura, através de termografia, alguns dos reguladores de tensão, das placas Adaptadoras e Principal, atingiram 120 °C quando ligados aos detectores Timepix. A Figura 13 mostra um exemplo desta medida, com temperatura ambiente de 22 °C.

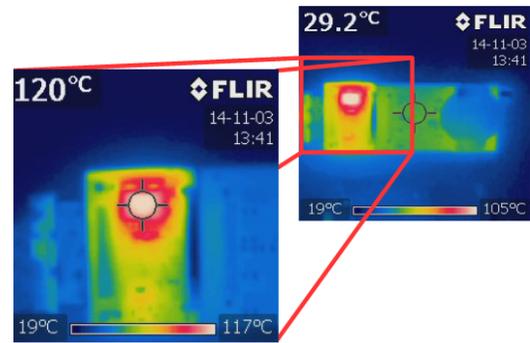


Figura 13: Imagem termográfica do teste de temperatura nos reguladores de tensão, em uma das placas Adaptadoras.

Para o teste de mascaramento dos pixels foi elaborado o software de configuração do modo de funcionamento e máscara de pixels, conforme tela na Figura 14.

Foram seguidas as regras e fluxogramas descritos anteriormente nos itens 3.1 e 4.2.

Na Figura 15 está uma amostra do sinal DATA_IN do chip detector, sincronizado pelo sinal F_CLOCK_IN de 5 Mhz.

O sinal DATA_IN, enviado pela interface representa o vetor v_s . Pode-se ver claramente as linhas da matriz expandida da Figura 14.

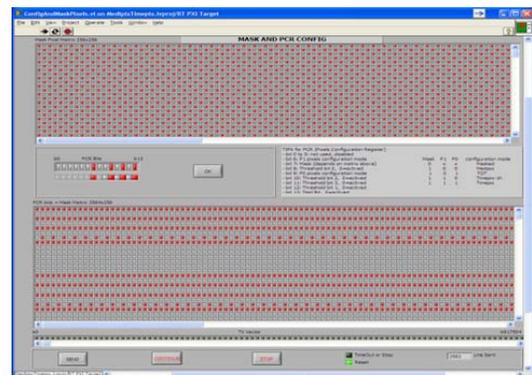


Figura 14: Mascaramento e configuração dos pixels do chip Timepix. No quadro superior a matriz 256x256 da máscara xadrez. No centro os campos para configuração dos 14 bits (PCR) e suas descrições. Abaixo do centro está a matriz expandida (3584x256) dos bits de configuração do PCR. Mais abaixo, o vetor de transmissão serial, os botões de comandos e indicadores de linha enviada.

As 3584 linhas de 256 bits (vermelho = 1 e cinza = 0) da matriz expandida são transmitidas em série, ou seja, a cada pulso de *clock* um bit é transmitido. Portanto, um pulso no sinal DATA_IN do gráfico representa uma linha transmitida, tendo duração $t = 256 / 5 \times 10^6$ Hz, ou seja, 51,2 μ s.

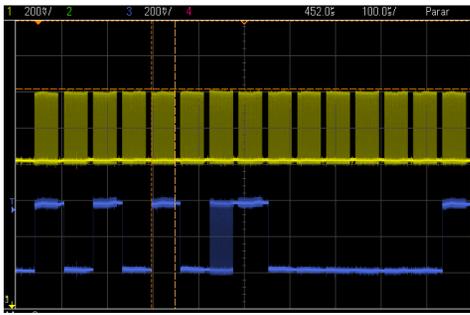


Figura 15: Canal 1: cada pulso representa 256 pulsos do *clock* de 5MHz para sincronismo. Canal 2: sinal DATA_IN enviado pela interface para o chip. Escala horizontal 100 μ s.

Observando o canal 2 da Figura 15, o primeiro pulso positivo no sinal DATA_IN é a primeira linha da matriz expandida. O nível lógico zero seguinte é a próxima linha cinza da matriz. E assim por diante até a sexta linha.

O sétimo nível lógico é da linha de máscara xadrez, ou seja, é uma sucessão alternada de bits 0 e 1, mostrado como um pulso preenchido, devido a resolução do sinal capturado.

O próximo pulso positivo representa a linha vermelha seguinte.

O nível lógico 0 com duração de 370 μ s representa as seis linhas consecutivas em cinza.

O ciclo repete-se com seis linhas alternadas entre vermelho e cinza, e assim por diante até 3584 ciclos, ou linhas transmitidas.

Na figura abaixo, está a tela do VI desenvolvido para aquisição, leitura e apresentação das imagens geradas pelo detector.

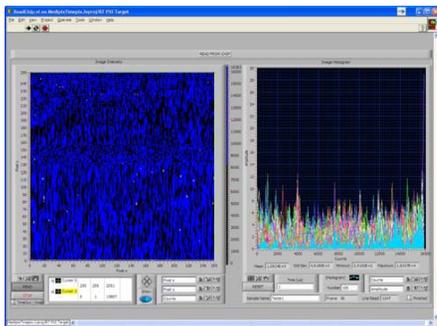


Figura 16: Tela do VI para a aquisição e leitura de imagens. À esquerda vê-se a matriz de pixels 256x256 lidos do chip. Na direita, o histograma de intensidades (contagens) dos pixels. Abaixo, os botões de controle, ajustes de escalas e cursores, campos para tempo, quantidade e nome de aquisições. Possui também, indicadores de leitura das linhas.

6. CONCLUSÕES

Com relação aos problemas de montagem encontrados, foram todos corrigidos. Para versões futuras, as conexões erradas na placa devem ser corrigidas no projeto.

A elevada temperatura dos reguladores diminui a vida útil dos mesmos, o que poderia provocar danos futuros.

Para evitar este problema, foi diminuída a tensão CC de alimentação geral de 11 para 9 V. As tensões secundárias para os reguladores das placas Adaptadoras também foram reduzidas para 5 V, através da mudança de alguns componentes.

As mudanças acima nas tensões de alimentação diminuíram as temperaturas para aproximadamente 60 °C, dentro dos limites aceitáveis para correto funcionamento e longa vida útil.

Para uso final da interface, ainda sugere-se a instalação de dissipadores de calor sobre os reguladores, o que levaria a temperatura para valores mais baixos.

Sobre os testes de mascaramento, o chip do detector recebe todos os bits na sequência correta, tanto os de configuração do modo de funcionamento do chip, como os de mascaramento.

Todos os sinais gerados para os chips estão dentro dos padrões LVDS, CMOS e de alimentação esperados.

Portanto, conclui-se que os chips Timepix podem ser conectados à interface desenvolvida através das placas Adaptadoras. Isto permite a leitura de imagens e configurações dos chips.

Através da interface construída, pode-se criar diferentes matrizes, não só de mascaramento, mas de outras configurações e substituí-la por um dos bits do PCR. Isto permitiria, por exemplo, que regiões do chip detector trabalhem em modos diferentes e ou *thresholds* diferentes.

A etapa digital de um detector Timepix foi controlada via FPGA e LABVIEW pela interface aqui projetada e construída, a qual executa as operações básicas no chip para configuração e leitura em série. Mostrou robustez e bom comportamento elétrico / lógico nestes testes preliminares, o que a torna útil para futuros sistemas usando Timepix. Este protótipo demonstrado, será utilizado para novos testes de aquisição de dados com Timepix, dando continuidade a este trabalho.

7. AGRADECIMENTOS

Agradecemos ao CBPF pela oportunidade de realizar este trabalho; à UFRJ pelas ideias, introdução e disponibilização do chip Timepix; ao LNLS, especialmente à diretoria científica e ao grupo de detectores pelo apoio financeiro, científico e tecnológico.

-
- [1] KRUMREY, M.; TEGELER, E. **Self-calibration of Semiconductor Photodiodes in the Soft X-ray Region**. Review of Scientific Instruments, Vol. 63, N. 01, Pág. 797-801. American Institute of Physics, 1992. DOI: 10.1063/1.1143800.
- [2] LLOPART, X.; *et al.* **Timepix, a 65k Programmable Pixel Readout Chip for Arrival Time, Energy and/or Photon Counting Measurements**. Nuclear Instruments and Methods in Physics Research A, Vol. 581, Pág. 485-494. CERN, Geneva, Switzerland, 2007. DOI: 10.1016/j.nima.2007.08.079.
- [3] LLOPART, X. **TIMEPIX Manual**. v1.0. Genebra: CERN – European Organization for Nuclear Research, 2006.
- [4] MEDIPIX INFORMATION PAGES. **Medipix Group Pages**. CERN European Organiz. for Nuclear Research. Disponível em: <http://medipix.web.cern.ch/medipix/index.php>. Acesso em: Setembro de 2013.
- [5] NATIONAL INSTRUMENTS. **NI FlexRIO Frequently Asked Questions (FAQ)**. Disponível em: <http://www.ni.com/white-paper/7962/en/>. Acesso em: Abril de 2014.
- [6] NATIONAL INSTRUMENTS. **370690b – LabVIEW - FPGA Module User Manual**. Austin, Texas USA, 2004.
- [7] NATIONAL INSTRUMENTS. **372609b - Getting Results with the NI PXI-6581R**. Austin, Texas USA, 2009.
- [8] NATIONAL INSTRUMENTS. **Importação de IPs externas no LABVIEW FPGA**. Austin, Texas USA, 2012.
- [9] SPIELER, H. **Semiconductor Detector Systems**. 1^a ed. New York: Oxford University Press Inc., 2005. ISBN 0–19–852784–5.
- [10] TIMEPIX DOCUMENTS PAGES. **Medipix Group Pages**. CERN - European Organiz. for Nuclear Research. Disponível em: http://medipix.web.cern.ch/medipix/protected/medipix2/medipix2_download.php?file=files%2Fschematic.pdf. Acesso em: Setembro de 2013.