

TESE

apresentada por
Maurício Bochner

para obter o título de

MESTRE

Pelo Centro Brasileiro de Pesquisas Físicas - CBPF
(Portaria Ministerial nº 2264, de 19 de dezembro de 1997)

(Especialidade: Instrumentação Científica)

DESENVOLVIMENTO DE SISTEMA DE MEDIÇÃO DE RESISTIVIDADE AC E MAGNETORESISTÊNCIA COM LOCK-IN UTILIZANDO LÓGICA E DSP PROGRAMÁVEL

Orientador: Marcelo Portes de Albuquerque

Co-orientador: Jorge Luis González Alfonso



CBPF

<http://www.cbpf.br>

TESE
DO MESTRADO PROFISSIONAL EM FÍSICA

**DESENVOLVIMENTO DE SISTEMA DE
MEDIÇÃO DE RESISTIVIDADE AC E
MAGNETORESISTÊNCIA COM LOCK-IN
UTILIZANDO LÓGICA E DSP
PROGRAMÁVEL**

MAURÍCIO BOCHNER

MESTRADO EM INSTRUMENTAÇÃO CIENTÍFICA
CENTRO BRASILEIRO DE PESQUISAS FÍSICAS

RIO DE JANEIRO - RJ

JULHO DE 2010

Agradecimentos

Esta parte de agradecimentos é uma tarefa difícil, pois não por falta de reconhecimento, mas por esquecimento, podemos deixar de mencionar alguém ou fato que direta ou indiretamente tenha contribuído para este trabalho.

Agradeço aos meus familiares pela paciência e compreensão.

Agradeço aos Prof. Marcelo P. de Albuquerque e Prof. Jorge Luiz G. Alfonso, orientadores desta dissertação, pela participação principalmente nas fases mais difíceis.

Agradeço a todos os professores das cadeiras de instrumentação: Prof. Marcio (Eletrônica Digital), Prof. Herman (Linguagem de Descrição de Hardware), Prof. Marcelo (Processamento digital de Sinais), Prof. Laudo (Eletrônica Analógica), Prof. Sampaio (Mecânica Quântica Aplicada), Prof. Geraldo (Métodos Experimentais e Sistemas de Medidas), cujos ensinamentos foram imprescindíveis, para o desenvolvimento e concretização deste trabalho.

Agradeço aos colegas Leonardo e Rafael com os quais iniciamos o trabalho que aqui foi dada continuidade.

Agradeço ao CBPF pela oportunidade e fornecimento das amostras de filme fino (Magnetron Sputtering) utilizados neste trabalho e ao Willian A. Rodriguez pelos esclarecimentos; ao CAT, pelo apoio e disponibilização das ferramentas de desenvolvimento (Kit ALTERA) e do espaço onde este foi realizado; a Oficina Mecânica pela participação na montagem dos protótipos.

À nova representante da ALTERA, ARROW BRASIL S/A meu agradecimento pelo apoio e rápida resposta nas consultas que se fizeram necessárias.

Agradeço ao Gabriel que me incentivou a dar os primeiros passos em direção ao mestrado, Ismar pelos conselhos técnicos, Denise e Eliene pelo incentivo e colaboração, e a todos pela confiança, apoio e compreensão para chegar até aqui.

Resumo

Esta tese apresenta o desenvolvimento, em hardware reconfigurável, de um sistema de medidas utilizando técnicas de Processamento de Sinais Digitais (DSP) e de Detecção Sensível à Fase (PSD) em altas frequências (520 kHz a 2.0 MHz). Sistemas em hardware reconfiguráveis são bastante úteis devido a sua facilidade de adaptação ao problema experimental, amenizando a necessidade de complexas montagens e confecções de circuitos eletrônicos. De acordo com a demanda é possível instanciar por software, um ou mais, sistemas de controle e carregá-los em uma FPGA (Conjunto de Portas Programáveis em Campo) para serem utilizados imediatamente. O sistema proposto implementou em hardware reconfigurável desde a técnica de detecção síncrona utilizada por um Amplificador Lock-in até um sistema completo de medida de magneto-resistência CA automatizado. A tese aborda os fundamentos matemáticos do Lock-in e uma análise das características técnicas deste instrumento. Um circuito eletrônico para o acoplamento do experimento ao circuito de conversão analógico-digital também foi desenvolvido permitindo a realização de medidas de quatro pontos comumente encontradas em experimentos de física. O sistema foi validado através da comparação de suas medidas com instrumentos comerciais. Por fim, foi implementado, no hardware reconfigurável, um sistema de medidas de magneto-resistência CA com experimentos realizados no estudo do comportamento de amostras de multicamadas de filmes finos. Multicamadas de NiFe/Co/Cu foram estudadas por magneto-resistividade CA, identificando-se pela primeira vez a dependência com a frequência da magneto-resistência elétrica de algumas amostras.

Abstract

This thesis presents the development, in reconfigurable hardware, of a measurement system using techniques of Digital Signal Processing (DSP) and Phase Sensitive Detection (PSD) in high frequencies (520 kHz to 2.0 MHz). Systems of reconfigurable hardware are very useful due to its ease of adaptation to the experimental problem, mitigating the need for complex assembly and manufacture of electronic circuits. According to the demand one can instantiate, one or more, control systems and load them into a FPGA (Field Programmable Gate Array) for immediate use. The proposed system implemented in reconfigurable hardware since a synchronous detection technique used by a Lock-in amplifier to a complete system for measuring magneto-resistance CA. The thesis discusses the mathematical foundations of a Lock-in and an analysis of the technical characteristics of this instrument. An electronic circuit for the coupling of the experiment and the analog to digital conversion circuit was also developed allowing the realization of measures in "four points" commonly used in physics experiments. The system was validated by comparing their measurements with commercial instruments. Finally, it was implemented in the reconfigurable hardware, a measurement system of magneto-resistance AC with experiments on the behavior of samples of multilayer thin films. Multilayer NiFe/Co/Cu were studied by magneto-resistivity AC, identifying for the first time the frequency dependence of magneto-electrical resistance of some samples.

Sumário

Agradecimentos	3
Resumo	4
Abstract	5
Sumário	6
Lista de Figuras	8
Lista de Tabelas	12
1 Introdução	13
1.1 Pesquisas Científicas e Desenvolvimento	13
1.2 Amplificador Lock-in	15
1.3 Objetivos e Motivação da Tese	17
2 Fundamentos do Amplificador Lock-in	18
2.1 Funcionalidades	18
2.2 Fundamentos Matemáticos	18
2.3 Amplificador Lock-in Digital Típico	21
2.3.1 Considerações	22
2.4 Considerações sobre Fontes de Ruído	24
2.4.1 Fontes de Ruído Intrínseco (randômico)	25
2.4.1.1 Ruído Johnson	25
2.4.1.2 Ruído de Corrente (Shot noise)	25
2.4.1.3 Ruído 1/f	26
2.4.1.4 Ruído Total	26
2.4.2 Fontes Externas de Ruído	26
2.4.2.1 Acoplamento Capacitivo	26
2.4.2.2 Acoplamento Indutivo	27
2.4.2.3 Acoplamento Resistivo ou Malha de Terra (ground loop)	28
3 Circuito de Desacoplamento	29
3.1.1 Circuito Eletrônico	29
3.1.2 Análise do Circuito de Entrada do Conversor A/D	32
3.1.3 Análise do Ganho no Domínio da Frequência	33
3.1.4 Análises de Distorção do Sinal	35
3.1.5 Análises do Atraso em Função da Frequência	35
3.1.6 Análises de Ruído do Sistema	36
3.1.6.1 Medições com o Sinal de Entrada:	37
3.1.6.2 Medições com o Sinal de Saída:	38
3.1.7 Considerações Gerais	40
4 Implementação do Sistema de Medidas em Alta Frequência com Hardware Reconfigurável	41
4.1 Simulação do Lock-in em MATLAB	41
4.2 Estrutura do Protótipo	44
4.3 Diagrama Esquemático em Módulos	46
4.3.1 Descrição dos Módulos	46
4.3.1.1 Módulo Lock-in	46
4.3.1.2 Módulo de Seleção do Canal	47

4.3.1.3	Módulo Temporizador da Constante de Tempo	48
4.3.1.4	Módulo Gerador do Sinal de Referência e Excitação Externa	48
4.3.1.5	Módulo de Conversão e Resolução do Display	48
5	Validação do Sistema de Medidas de Resistência AC	50
5.1	Proposta de Sistema de Medição de Resistência CA	50
5.2	Experimento de Validação Adotado	51
5.3	Resultados das Medidas de Validação	53
5.4	Análise dos Resultados	55
5.4.1	Considerações Teóricas sobre a Resistência em CA	55
5.4.2	Análise das Medidas com o Sistema Desenvolvido	56
5.4.3	Análise das Medidas com o Osciloscópio	57
5.5	Medida com Nova Montagem	58
5.5.1	Medidas com o Sistema Desenvolvido	58
5.5.2	Medidas com o Osciloscópio	60
5.6	Análise do Sinal Medido	60
5.7	Conclusões	62
6	Experimento de Magnetoresistência CA com Filme Fino	64
6.1	Motivação	64
6.2	Descrição do Experimento	65
6.3	Aplicação do Sistema Desenvolvido para o Experimento	66
6.4	Medidas com as Amostras	67
6.4.1	Considerações sobre a Preparação	68
6.4.2	Resultados esperados	68
6.4.3	Medidas com Amostra [Py/Ru] ₂₀ (Ref:1845)	69
6.4.4	Medidas com Amostra Tântalo	69
6.4.5	Medidas com Amostra [PyCo/Cu] ₂₀ (Ref: 1347)	70
6.4.6	Medidas Normalizadas com Amostra [P _y Co/Cu] ₂₀ (Ref: 1347) em Frequência e Campo Variáveis	70
6.4.7	Repetição das medidas com fragmento da amostra e campo invertido	71
6.5	Conclusões	73
7	Conclusão	77
8	Anexo1	80
9	Bibliografia	85
10	Anexo2	89

Lista de Figuras

Figura 1-1 – Protótipo de cabo supercondutor desenvolvido em laboratório.	13
Figura 1-2 - Gráfico da resistência em função da temperatura. Pode-se observar que em torno de 80 K ocorre uma queda muito acentuada da resistência, onde a mesma tende a zero.....	14
Figura 1-3 - Sistema experimental comum para determinação de resistividade AC em uma amostra padrão de teste.	15
Figura 2-1 - Diagrama de blocos de um típico Lock-in Digital comercial.....	21
Figura 2-2 – Gráfico mostrando um exemplo da reserva dinâmica em dB (eixo vertical) de um amplificador lock-in em função da frequência do ruído (eixo horizontal). Não há reserva dinâmica caso o ruído esteja na mesma frequência do sinal de referência.	23
Figura 2-3 – Configuração básica de um amplificador Lock-in.....	23
Figura 2-4 – Diagrama mostrando o acoplamento do ruído ao experimento via capacitância parasita, introduzindo tensões no experimento que podem afetar a medida.	27
Figura 2-5 – Diagrama mostrando o circuito magnético entre a fonte de ruído e o experimento via acoplamento indutivo, induzindo tensão no experimento que pode afetar a medida.	28
Figura 2-6 – Diagrama mostrando o circuito de retorno da fonte de ruído por um caminho de resistência finita podendo gerar tensões de interferência no experimento.	28
Figura 3-1 – Ligação a quatro fios.....	29
Figura 3-2 - (a) Mostra a medição direta da amostra e o terra comum no sistema de medição a quatro fios. (b) Mostra o amplificador desacoplando o terra da fonte.....	30
Figura 3-3 - Arquitetura do Amplificador de Instrumentação INA217 retirada da folha de dados do fabricante.....	30
Figura 3-4 – Ilustração de cabo coaxial transmitindo o sinal da fonte à carga. O sistema deve estar casado para evitar reflexões.	31
Figura 3-5 - Diagrama esquemático das reatâncias equivalentes do cabo coaxial cuja impedância na faixa de frequências de operação é a impedância característica (Z_0).	31
Figura 3-6 -- Circuitos de desacoplamento com entradas diferenciais e saídas casadas.....	31
Figura 3-7 - Ilustração do Módulo onde foi instalado o amplificador.	31
Figura 3-8 - Esquemático do circuito de entrada do conversor A/D do Kit de desenvolvimento.	32
Figura 3-9 - Levantamento da atenuação do sinal de entrada imposta pelo circuito de acoplamento do conversor A/D (Figura 3-8).	33
Figura 3-10 – Ganho (dB) x Frequência.	33
Figura 3-11 – Simulação com amplificador similar, INA163, utilizando o simulador TINA-TI da Texas Instruments.....	34

Figura 3-12 – Variação do ganho em função da tensão de entrada para as frequências de 100 kHz, 500 kHz, 1.5 MHz e 2.0 MHz.	34
Figura 3-13 – Análise do atraso do amplificador em função da frequência.....	36
Figura 3-14 – Montagem para análise de ruído.....	36
Figura 3-15 – Circuito utilizado para análise de ruídos. T_{p1} e T_{p2} são os pontos de medição. .	36
Figura 3-16 - Entrada do amplificador com ruído.....	37
Figura 3-17 - Entrada do amplificador filtrada pelo osciloscópio (referência).....	37
Figura 3-18 - Cálculo do ruído no sinal de entrada.....	38
Figura 3-19 - Saída do Amplificador (TP2) em função do tempo.	38
Figura 3-20 - Saída Filtrada pelo osciloscópio (referência) em função do tempo.	39
Figura 3-21 - Cálculo do ruído do sinal de saída em função do tempo.	39
Figura 4-1 – Simulação no MATLAB/SIMULINK do processamento do PSD do Lock-in e cálculos de magnitude e fase (tangente).	43
Figura 4-2 – Diagrama da estrutura do protótipo implementado com a placa de desenvolvimento, mostrando os botões, “leds”, “displays” e conversores AD/DA utilizados para controle e entrada/saída.....	45
Figura 4-3 – Estrutura em linguagem VHDL do hardware inicialmente projetado para o sistema de medições.	46
Figura 4-4 – Diagrama do sistema desenvolvido, apresentando em módulos o hardware configurado na FPGA (STATIX II) da placa de desenvolvimento.....	46
Figura 4-5 – Diagrama dos blocos do módulo de Lock-in mostrando o processamento em fase e quadratura e a geração dos componentes Real (U_1) e Imaginário (U_2).	47
Figura 4-6 – Diagrama dos blocos para seleção do canal de entrada, controlados pela chave SW7.....	47
Figura 4-7 – Diagrama dos blocos para o Módulo gerador da constante de tempo de 10 ciclos para a frequência de 781.25 kHz.	48
Figura 4-8 - Diagrama dos blocos do módulo gerador de referência interna e excitação externa.	48
Figura 4-9 – Diagrama dos blocos do módulo conversor para volts e controle de resolução do display, controlado pela chave SW6.	49
Figura 5-1 – Circuito básico para medição da impedância Z_1	50
Figura 5-2 – Experimento de validação consiste de um circuito com resistores em série, excitados por gerador com frequência e amplitude variáveis. O sistema de medidas de resistência CA foi utilizado para medir o valor de R_2 em função da frequência e do nível de excitação.	51
Figura 5-3 – Diagrama do sistema programado no Kit EP2S60 da ALTERA para o teste de validação.	53

Figura 5-4 – Esquema mostrando a resistência efetiva devida à indutância e capacitância introduzidas pelo resistor real. Estas reatâncias influenciam o valor da resistência em CA.	56
Figura 5-5 – Gráfico das medidas de resistência CA de R2, com F e V variáveis, mostrando o desvio das medidas nos diversos níveis de excitação.	57
Figura 5-6 – Gráfico das medidas com osciloscópio da resistência CA de R2 com F e V variáveis, mostrando o desvio das medidas nos diversos níveis de excitação.	58
Figura 5-7 – PCI para novas medidas.	58
Figura 5-8 - Medidas utilizando a nova montagem, com CT = 40us e nível de sinal 7. A equação mostra a inclinação da linha de tendência e a previsão para CC.	59
Figura 5-9 – Medidas utilizando a nova montagem, com CT = 40us e nível de sinal 1. A equação mostra a inclinação da linha de tendência e a previsão para CC.	59
Figura 5-10 – Medida com o osciloscópio, filtro em 128 médias e nível de sinal 7. A equação mostra a inclinação da linha de tendência e a previsão para CC.	60
Figura 5-11 – Gráfico dos valores do conversor AD1 e do valor calculado pelo sistema, adquiridos em “tempo real” para a frequência de 1.9 MHz.	61
Figura 5-12 – Gráfico dos valores do conversor AD2 e do valor calculado pelo sistema, adquiridos em “tempo real” para a frequência de 1.9 MHz.	61
Figura 6-1 – Diagrama do experimento mostrando o gerador de CA excitando a amostra imersa no campo B e a tensão na amostra sendo aplicada a um amplificador de instrumentação.	65
Figura 6-2 – Diagrama do suporte onde foi introduzida a amostra de filme fino. Vemos indicados o gerador (G) que produz a corrente i na amostra, e a tensão V no centro da mesma.	66
Figura 6-3 - Diagrama do sistema desenvolvido no Kit EP2S60 da ALTERA para a medição de magnetoresistência CA.	66
Figura 6-4 - Gráfico com as medidas na amostra 1845, na frequência de 520 kHz, em função do campo magnético.	69
Figura 6-5 – Gráfico com as medidas na amostra tântalo, na frequência de 520 kHz, em função do campo magnético.	69
Figura 6-6 – Gráfico com as medidas na amostra 1347, na frequência de 520 kHz, em função do campo magnético.	70
Figura 6-7 - Gráfico com as medidas de magnetoresistência da amostra 1347 (valores normalizados) para as frequências de 520 kHz, 1 MHz, 1,5 MHz e 1,9 MHz, em função do campo magnético.	71
Figura 6-8 - Gráfico com as medidas em fragmento da amostra 1347, na frequência de 1.9 MHz, em função do campo magnético.	72
Figura 6-9 - Gráfico com as medidas em fragmento da amostra 1347, na frequência de 520 kHz, em função do campo magnético.	72
Figura 6-10 – Gráfico da Magnetoresistência (%) versus Campo aplicado na amostra Ref. 1350.	73
Figura 6-11 – Diagrama da configuração em ponte da interface entre a saída do sinal e a entrada do sinal.	74

Figura 6-12 - Gráfico mostrando a dessensibilização da rejeição de modo comum (CMRR) ao desbalanceamento da linha de transmissão do sinal proporcionada por uma maior impedância de entrada no receptor.	75
Figura 6-13 - Diagrama esquemático de um sistema balanceado para a transmissão do sinal.	75
Figura 6-14 – Diagrama esquemático do método bootstrap, que através da redução da corrente através de R1 + R2 proporcionalmente à frequência de corte do filtro passa-altas R5C mantém alta CMRR para sinais de modo comum não rejeitados pelo filtro.	76
Figura 7-1 – Ilustração da placa de desenvolvimento do Kit Stratix II EP2S60 DSP.	80
Figura 7-2 – Diagrama dos blocos que compõem o dispositivo Stratix II.	83

Lista de Tabelas

Tabela 3.1 - Resumo dos resultados encontrados para a análise de distorção do sinal.	35
Tabela 3.2 – Comparação do ruído da saída com a entrada.	39
Tabela 4.1 – Valores simulados para determinação de módulo e fase de um sinal auto-gerado.	44
Tabela 5.1 – Estado dos botões para configurar a operação do sistema projetado, sinalizados por “leds” na placa de desenvolvimento.	52
Tabela 5.2 – Significado do código apresentado nos displays, representando a frequência e o nível do sinal de excitação gerado pelo sistema com quantização de 14 bits. O código é visualizado nos displays de 7 segmentos da placa de desenvolvimento (KIT EP2S60).....	52
Tabela 5.3 – A Tabela apresenta as médias e desvios padrão das medidas de R2 em 20 aquisições com constante de tempo 40µs. O valor médio total é de 54,7Ω.....	54
Tabela 5.4 – A Tabela apresenta as médias e desvios padrão das medidas de R2 em 20 aquisições com constante de tempo 10ms. O valor médio total é de 54,7Ω.....	54
Tabela 5.5 – A Tabela apresenta as médias e desvios padrão em 20 aquisições das medidas de R2 com o osciloscópio, com filtro em 128 médias. O valor médio total é de 53,3Ω.....	55
Tabela 5.6 – Resistência média total ($\bar{R}_2(\Omega) \pm \sigma R_2(\Omega)$) para CA.....	55
Tabela 5.7 – Média (Ω) e desvio padrão (Ω) das medidas entre os níveis de tensão, para limites extremos das frequências (kHz) utilizadas no experimento.	56
Tabela 5.8 – Média (Ω) e desvio padrão (Ω) das medidas entre os níveis de tensão, para os limites extremos das frequências utilizadas no experimento.....	57
Tabela 5.9 – São mostrados os valores de pico dos sinais digitalizados e quantizados pelos conversores AD1 e AD2, os valores medidos pelo sistema e o erro percentual de cada medida.	61

1 Introdução

1.1 Pesquisas Científicas e Desenvolvimento

As pesquisas científicas fazem parte do desenvolvimento tecnológico e científico de qualquer país. Estudos e pesquisas representam o pontapé inicial para a elaboração de projetos tecnológicos de escala macroscópica os quais são elementos fundamentais das macro-políticas de desenvolvimento. Todo o processo de pesquisa científica representa a espinha dorsal do desenvolvimento tecnológico, industrial e social de qualquer país. Como exemplo do anterior podemos citar os projetos científicos e tecnológicos relacionados ao aumento da eficiência energética dos sistemas de geração, transmissão e distribuição de energia elétrica a nível nacional. Outro exemplo diz respeito às pesquisas que estão sendo realizadas atualmente na área de nanotecnologia. Ambos os exemplos anteriores demandam materiais novos com propriedades físicas avançadas os quais muitas vezes vêm o seu nascimento em laboratórios de pesquisas científicas.

Para se ter uma idéia da importância do anterior, no Brasil para cada ponto porcentual de crescimento (redução) da economia brasileira há um aumento (diminuição) de 1,4 ponto porcentual na demanda por energia elétrica conforme estudos da *MCM Consultores Associados* [1]. Resulta evidente então, que a eficiência do sistema elétrico geral como um todo é essencial para o desenvolvimento sustentável do país e neste sentido as pesquisas científicas feitas em laboratório sobre a introdução de materiais avançados nos componentes do mesmo é de extrema importância. Um exemplo de um protótipo desenvolvido em laboratório de pesquisa para ser usado no sistema elétrico nacional aparece mostrado na (Figura 1-1).



Figura 1-1 – Protótipo de cabo supercondutor desenvolvido em laboratório.

A caracterização experimental das propriedades físicas das amostras pertencentes aos compostos estudados em laboratórios científicos é uma parte essencial da pesquisa e é realizada através de medidas experimentais de diferentes grandezas, como por exemplo, a suscetibilidade magnética, a resistividade elétrica, condutividade térmica e as propriedades mecânicas, dentre outras. Em essência, as grandezas físicas são estudadas em função de parâmetros como temperatura, campo magnético, pressão, etc. Todos estes experimentos visam à comparação de dados experimentais com modelos teóricos com o objetivo de identificar os mecanismos atuantes nos sistemas estudados. O objetivo final é a obtenção de materiais com propriedades físicas otimizadas. Um exemplo pode ser observado na Figura 1-2 que mostra uma medida da resistência de filme cerâmico supercondutor de alta temperatura crítica.

As pesquisas científicas têm levado ao surgimento de vários grupos de trabalho os quais atuam em áreas diferentes do conhecimento humano. No Centro Brasileiro de Pesquisas Físicas (CBPF), por exemplo, existem diferentes laboratórios de pesquisa relacionados ao estudo de materiais avançados com potencialidades tecnológicas, como filmes finos magnéticos, supercondutores de alta temperatura crítica, outros materiais como as manganitas¹, etc. Conforme destacado, o objetivo em longo prazo destes grupos de pesquisas está dirigido à introdução das potencialidades tecnológicas dos mesmos na indústria e na sociedade.

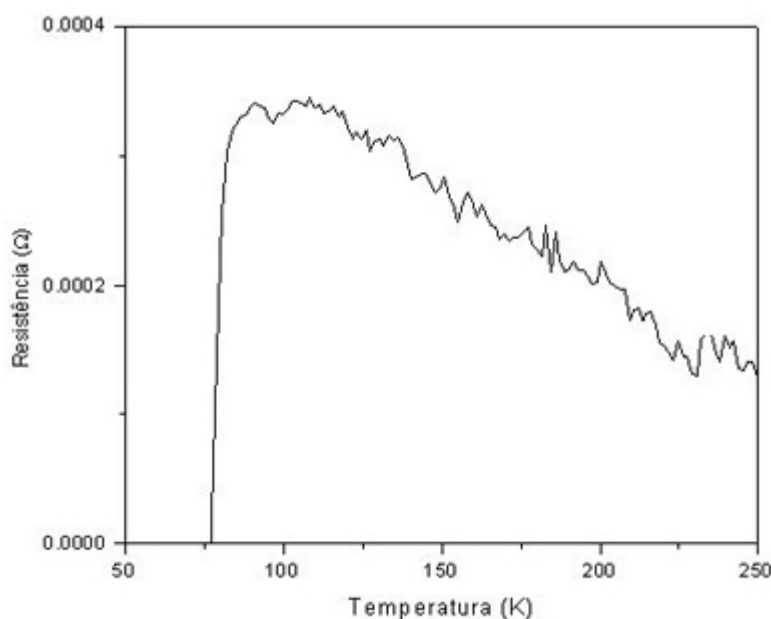


Figura 1-2 - Gráfico da resistência em função da temperatura. Pode-se observar que em torno de 80 K ocorre uma queda muito acentuada da resistência, onde a mesma tende a zero.

Um tipo específico de caracterização de sistemas físicos estuda a resposta dinâmica de amostras a sinais de excitação AC. Nestes experimentos não só é essencial estabelecer a correlação entre as diferentes grandezas

¹Algumas manganitas, material formado por átomos de oxigênio, manganês e terras raras, e.g. $\text{La}_{0.7}\text{Ca}_{0.3}\text{MnO}_3$, apresentam o fenômeno da Magnetoresistência Colossal com temperaturas abaixo de 150 K e campos magnéticos de vários Teslas.

físicas envolvidas, assim como também a correlação temporal entre os sinais detectados e os sinais de excitação usados nas medidas. As medidas de suscetibilidade magnética AC, por exemplo, visam estudar a resposta magnética de amostras de diferentes compostos a diferentes estímulos magnéticos que dependem do tempo. Em essência, estas medidas estudam a reposta dos momentos magnéticos quando os mesmos são perturbados temporalmente [2]. As medidas de resistividade elétrica AC permitem estudar os mecanismos de condução elétrica que atuam sobre os portadores de cargas no material quando uma corrente AC percorre a amostra [3].

As técnicas experimentais anteriores, além de muitas outras não discutidas nesta introdução, usam um Amplificador Lock-In como parte essencial do sistema experimental. A Figura 1-3 mostra um sistema experimental comumente usado para a caracterização da resistividade AC de uma amostra de um determinado composto e na mesma pode ser observada a utilização de um Lock-In. Os motivos pelos quais este instrumento resulta extremamente importante serão discutidos a seguir.

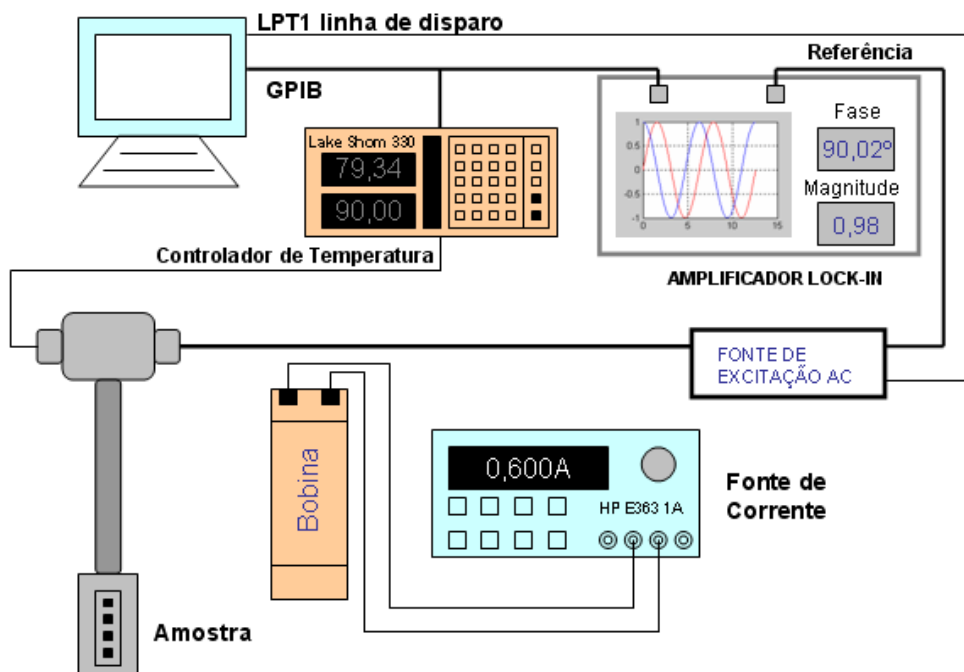


Figura 1-3 - Sistema experimental comum para determinação de resistividade AC em uma amostra padrão de teste.

1.2 Amplificador Lock-in

Conforme sinalizado, o Lock-In é parte essencial de muitos sistemas experimentais. Só para citar alguns exemplos destacamos seu uso como um método de contagem de pulsos em espectroscopia de massa modulada [4], em

medidas óticas como um redutor do ruído [5], em experimentos de espectroscopia Raman [6], medidas de efeito termo-elétrico (Termofem) [7], além de outras aplicações comumente usadas para medir propriedades magnéticas de sistemas sólidos [8-10]. Deve ser sinalizado que os exemplos anteriores representam só uma parcela das várias aplicações deste instrumento nas atividades de pesquisa.

Diferentes aplicações conferem ao Amplificador Lock-In um lugar especial dentro da caracterização de sistemas físicos avançados. Começamos sinalizando que em geral a resposta do sistema físico em estudo pode estar defasada com relação ao sinal de excitação. A defasagem contém informação física relevante sobre a dinâmica do sistema estudado, o que torna importante a sua determinação experimental. Conseqüentemente, medir esta propriedade se torna essencial no estudo experimental de muitos sistemas físicos e o Amplificador Lock-In é o instrumento ideal para detectar a defasagem entre resposta e excitação numa medida AC [11].

Outra aplicação está associada com o fato de que muitos sistemas experimentais (como o mostrado na Figura 1-3) detectam voltagens experimentais bem pequenas, muitas vezes da ordem de nanovolts as quais não podem ser medidas com multímetros convencionais. O Amplificador Lock-In permite a detecção destes sinais AC funcionando como um voltímetro capaz de medir a amplitude e a fase relativa de um sinal AC com relação a um sinal de referência [12]. O instrumento atua como um filtro de banda centrado na frequência do sinal de referência. Se um sinal de entrada $V_{in} = V_0 \sin(2\pi f_0 t) + r(t)$, onde r é um ruído branco inerente ao processo de medida, é fornecido ao Lock-In, o mesmo consegue determinar o valor de V_0 , para valores da $E[r]^2 \gg 0$, além de permitir a medida do atraso de fase do sinal em relação à frequência de referência f_0 . Para isto o sinal passa por um detector sensível à fase (PSD) que realiza a retificação e a conversão AC/DC e o qual é tido como o coração do Lock-In.

Uma outra aplicação que merece ser destacada é que a resposta física de diferentes sistemas depende em geral da frequência de excitação usada. De novo, esta dependência fornece informação física importante sobre os mecanismos físicos ativos no sistema em particular que esta sendo estudado. Um campo magnético, por exemplo, quando aplicado sobre um supercondutor de alta temperatura crítica forma uma rede de vórtices no seu interior (*rede de Abrikosov*). O movimento destes vórtices se dá por ativação térmica e provoca dissipação (voltagem) [13]. Nestes sistemas, a resposta depende da escala de tempo usada no experimento e medidas com diferentes frequências permitem obter esta dependência, além da obtenção de importantes parâmetros físicos [14]. Estudos que abordam esta problemática incluem o Amplificador Lock-In como elemento essencial para obter a dependência com a frequência de determinadas grandezas físicas. Neste sentido, é de se destacar que frequências cada vez mais elevadas têm sido usadas em experiências similares às descritas anteriormente [15-17].

Todos os fatores mencionados nos parágrafos acima sugerem que este instrumento é extremamente importante e muito usado em diferentes áreas das pesquisas científicas. Resumindo, o Amplificador Lock-In é um instrumento de múltiplas potencialidades, com o qual é possível detectar sinais em diversas

ordens de magnitude e frequência, na presença de ruídos de diferente natureza, além de desempenhar outras funções tais como: instrumento medidor de fase, uma unidade medidora de ruído, um analisador de espectro, etc. As aplicações deste instrumento abrangem os mais diversos ramos do conhecimento e na física em particular, as suas aplicações vão desde a física moderna de partículas, passando pelo estudo de propriedades ópticas em materiais, até as técnicas comuns de caracterização de materiais magnéticos, supercondutores, além de muitos outros. Finalizamos salientando que o trabalho científico desenvolvido em laboratórios de pesquisa demanda cada vez mais o desenvolvimento do setor de instrumentação científica e em particular o desenvolvimento de instrumentos de alto nível como os Amplificadores Lock-Ins.

1.3 Objetivos e Motivação da Tese.

Conforme destacado anteriormente o uso de amplificadores Lock-Ins em diferentes experimentos permite a realização de diferentes medidas as quais fornecem informações importantes sobre os diferentes sistemas físicos que estão sendo estudados. Recentemente foi desenhado e testado no Laboratório de Instrumentação Científica e Eletrônica do CBPF um protótipo de Amplificador Lock-In operando a alta frequência [18]. O trabalho anterior esteve motivado pela demanda de equipamentos desta natureza visando acompanhar o desenvolvimento das pesquisas científicas realizadas no instituto, conforme sinalizado anteriormente. Deve ser apontado que o desenvolvimento de um Amplificador Lock-In operando a altas frequências demanda um esforço integrado onde diferentes questões eletrônicas (e outras) necessitam ser levadas em consideração [19,20].

O objetivo central desta tese consiste na implementação de um Amplificador Lock-In operando em altas frequências e a sua validação através da realização de medidas físicas em sistemas físicos chamados de avançados. Para isto, objetivamos a caracterização por resistividade AC de multicamadas magnéticas obtidas através de técnicas avançadas de deposição (*sputtering*) de filmes finos. Multicamadas de NiFe/Co/Cu foram estudadas por resistividade AC identificando-se pela primeira vez a dependência com a frequência da magneto-resistência elétrica.

2 Fundamentos do Amplificador Lock-in

Este capítulo apresenta inicialmente uma visão da funcionalidade do amplificador Lock-in e os fundamentos matemáticos que embasam o processamento que o caracteriza. Nas seções seguintes é feita a análise de um amplificador Lock-in digital típico, finalizando com considerações sobre fontes de ruído e meios de interferência.

2.1 Funcionalidades

Conforme destacado no capítulo inicial, um número grande de pesquisas científicas realizadas a escala de laboratório têm amplificadores Lock-In como parte essencial dos diferentes sistemas experimentais. O *amplificador* Lock-In fornece um sinal CC de saída proporcional ao sinal CA de entrada. A detecção ou amplificação do sinal de entrada é realizada em relação a um sinal de referência. O anterior permite discriminar o sinal de interesse, enquanto atenua os efeitos de ruídos e outros sinais interferentes. O sistema pode fornecer também as componentes “real” e “imaginária” do sinal de entrada como consequência do processamento em quadratura. Isto é muito relevante já que estas componentes fornecem informações importantes sobre parâmetros físicos dos sistemas estudados. Como mostrado anteriormente, além de outras propriedades não destacadas aqui, fazem do Lock-In um instrumento muito versátil capaz de realizar diferentes funções num laboratório de pesquisas científicas. Dentre estas funções podemos destacar:

- Instrumento recuperador de sinais CA em meio ruidoso;
- Medidor de amplitude e fase com relação a um sinal de referência;
- Medidor de ruído;
- Simples voltímetro;
- Analisador de espectro.

2.2 Fundamentos Matemáticos

O núcleo de um Lock-in é o retificador sensível à fase (PSD) o qual realiza o processo de correlação [20], i.é., o sinal de entrada é comparado com um sinal de referência e a similaridade entre estes sinais é determinada. Há dois tipos de correlação:

A correlação cruzada:

$$K_{xy}(\tau) = \lim_{T \rightarrow \infty} \frac{1}{2T} \int_{-T}^{+T} y(t)x(t + \tau)dt \quad (2-1)$$

determina a similaridade entre duas funções contínuas no tempo $y(t)$ e $x(t)$. Se não houver similaridade entre estas funções, então a função de correlação K_{xy} será nula para todo τ .

A auto-correlação:

$$K_{xx}(\tau) = \lim_{T \rightarrow \infty} \frac{1}{2T} \int_{-T}^{+T} x(t)x(t + \tau)dt \quad (2-2)$$

descreve a independência da função $x(t)$ com respeito ao deslocamento no tempo, e portanto determina a similaridade do sinal com ele próprio.

Vale observar as seguintes propriedades características da função de auto-correlação:

1 – Para $\tau = 0$, a função atinge seu valor máximo, que é igual ao quadrado do valor RMS de $x(t)$: $K_{xx}(\tau = 0) = \overline{x^2}$;

2 -- A função de auto-correlação é uma função par com respeito ao deslocamento no tempo τ : $K_{xx}(\tau) = K_{xx}(-\tau)$;

3 -- Para $\tau \rightarrow \infty$, a função é igual ao quadrado do seu valor médio: $K_{xx}(\tau \rightarrow \infty) = \overline{x}^2$.

Como demonstrado a seguir [21] o PSD que é o núcleo de processamento do amplificador Lock-in, executa a função de correlação entre o sinal aplicado $g(t)$ e a referência $f(t)$:

$$K_{xy}(\tau) = \lim_{T \rightarrow \infty} \frac{1}{T} \int_0^T y(t)x(t+\tau)dt \quad (2-3)$$

$$K_{xy}(\tau, T) = \frac{1}{T} \int_0^T y(t)x(t+\tau)dt \quad (2-4)$$

$$y(t) = a \cdot \text{sen}(\omega t) \quad x(t) = b \cdot \text{sen}(\omega t + \Delta)$$

$$K_1(\Delta) = \frac{a \cdot b}{n \cdot T_0} \int_0^T \text{sen}(\omega t) \cdot \text{sen}(\omega t + \Delta) dt \quad (2-5)$$

$$\begin{aligned} \text{sen}(\omega t + \Delta) &= \text{sen}(\omega t) \cdot \cos \Delta + \text{sen} \Delta \cos(\omega t) \\ \int_0^T \text{sen}(\omega t) \cdot \text{sen}(\omega t + \Delta) &= \int_0^T \text{sen}^2 \omega t \cdot \cos \Delta dt + \int_0^T \text{sen}(\omega t) \cdot \cos(\omega t) \cdot \text{sen} \Delta dt \end{aligned}$$

Resolvendo-se a integral obtém-se:

$$K_1(\Delta_1) = U_1 = \frac{a \cdot b}{2} \cdot \cos(\Delta_1) \quad (2-6)$$

$$K_2(\Delta_2) = \frac{a \cdot b}{n \cdot T_0} \int_0^T \text{sen}(\omega t) \cdot \text{sen}(\omega t + \Delta_2) dt \quad (2-7)$$

$$K_2(\Delta_2) = \frac{a \cdot b}{n \cdot T_0} \int_0^T \text{sen}(\omega t) \cdot \text{sen}(\omega t + \Delta_1 \pm \pi/2) dt$$

$$K_2(\Delta_1) = U_2 = \pm \frac{a \cdot b}{2} \cdot \text{sen}(\Delta_1) \quad (2-8)$$

$$U_{out} = \sqrt{U_1^2 + U_2^2} = \sqrt{(a \cdot b/2)^2 \cdot [\cos^2(\Delta) + \text{sen}^2(\Delta)]} \quad (2-9)$$

$$= (a/\sqrt{2}) \cdot (b/\sqrt{2}) = a_{rms} \cdot b_{rms}$$

$$\tan(\Delta) = \frac{\text{sen} \Delta}{\cos \Delta} = \frac{U_2}{U_1} \therefore \Delta = \tan^{-1} \left(\frac{U_2}{U_1} \right) \quad (2-10)$$

No desenvolvimento acima destacamos as saídas U_1 (equação 2-6) e U_2 (equação 2-8) em CC (depois de filtrado o ruído CA gerado) que são proporcionais às componentes Real e Imaginária, respectivamente, de um sinal complexo, i.é., um sinal defasado com relação à referência permitindo caracterizar a influência das reatâncias inerentes a um experimento. Estas

saídas permitem determinar a defasagem (equação 2-10) bem como o módulo (equação 2-9) cujo valor é independente desta defasagem.

2.3 Amplificador Lock-in Digital Típico

Amplificadores Lock-in são usualmente chamados de instrumentos “digitais” se o detector sensível à fase (phase-sensitive detector – PSD) for implementado em circuitos digitais. Na Figura 2-1 é mostrado um diagrama em blocos de um típico Lock-in digital.

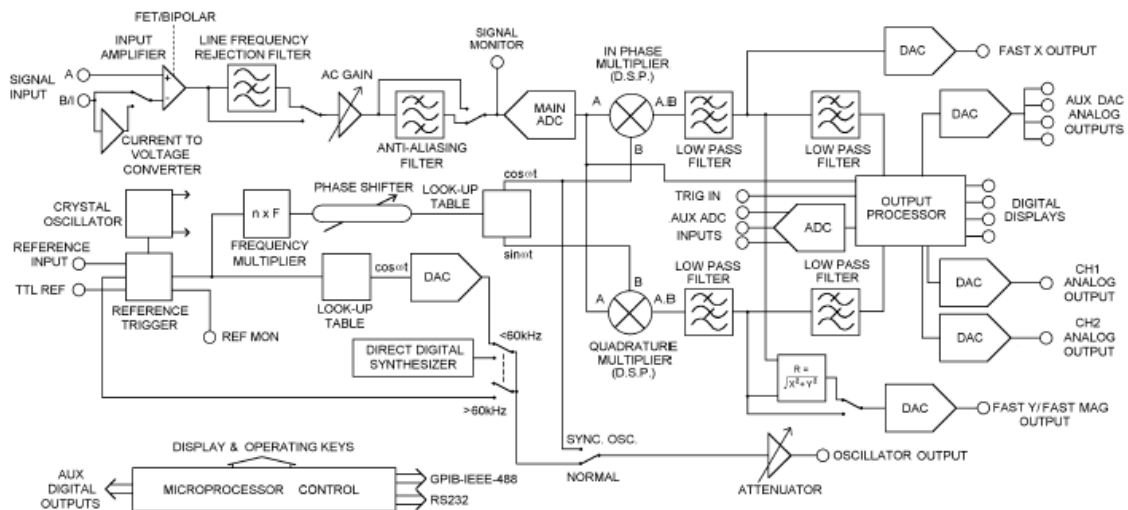


Figura 2-1 - Diagrama de blocos de um típico Lock-in Digital comercial.

O lock-in digital geralmente apresenta vantagens sobre os sistemas analógicos, incluindo:

- Melhor estabilidade de saída – Diferente dos sistemas analógicos, não há estágios de saída com acoplamento CC o que os torna menos sensíveis a deslocamentos (“drifts”) com o tempo e a temperatura.
- Melhores osciladores internos – Os osciladores internos estabilizados a cristal são mais estáveis a variações com respeito ao tempo e à temperatura, dando melhores resultados em experimentos que podem ser afetados por estes parâmetros. A operação com referência interna, nas unidades de processamento de sinal também oferece um tempo quase nulo na aquisição do sinal de referência.
- Perfeita ortogonalidade no demodulador – Melhora a precisão na medida de pequenos sinais em fase na presença de grandes sinais em quadratura.
- Melhor custo/benefício – A redução dos custos de fabricação e teste de sistemas digitais oferece melhor custo/benefício do que outras tecnologias.

2.3.1 Considerações

Esta seção trata da descrição das principais funcionalidades e considerações com respeito a um amplificador Lock-In digital.

Para uma adequação mais imediata à fonte de sinal, são disponibilizadas entradas aterradas e flutuantes em alta impedância e em modo de corrente em baixa impedância.

O canal de sinal contém filtros analógicos e amplificadores com ganho configurável. Para cada seleção do ganho, há um correspondente nível no qual a entrada satura.

É uma propriedade básica do amplificador Lock-In que a melhor performance do demodulador é obtida ao ser fornecido o maior sinal possível para o conversor A/D. Portanto, o ganho CA deve ser feito o maior possível que não cause saturação no amplificador nem no conversor A/D. Naturalmente, caso haja ganho digital no demodulador (fase e quadratura) este ganho deve ser simultaneamente ajustado para manter a sensibilidade de fundo de escala selecionada. Mudanças no ganho CA afetam outras características como banda passante e precisão, mas mudanças no ganho digital não tem este efeito. Portanto, mudanças na sensibilidade de fundo de escala baseadas somente no ganho digital estão livres de introduzir erros.

A mudança do ganho CA afeta a reserva dinâmica do instrumento. Reserva dinâmica (Figura 2-2) é a medida da habilidade do instrumento em efetuar medições precisas na presença de sinais de interferência. A reserva dinâmica de um amplificador Lock-In para um sinal de entrada a um determinado fundo de escala, é a relação (em dB) entre o maior sinal de interferência e a tensão de fundo de escala. O maior sinal de interferência é definido como a amplitude do sinal em qualquer frequência que pode ser aplicado para a entrada antes do Lock-In não poder medir um sinal com sua precisão especificada. Por exemplo, sendo o fundo de escala de $1\mu\text{V}$, então uma reserva dinâmica de 60 dB significa que ruídos até 1mV podem ser aplicados na entrada sem saturá-la. Se o ganho CA é baixo, então o sinal real irá ocupar apenas alguns bits da faixa dinâmica do conversor A/D, permitindo assim que possam ser medidos sinais na presença de forte interferência sem saturação, porém será necessária uma constante de tempo maior para atingir um determinado nível de precisão. Inversamente, altos ganhos CA permitem usarmos menores constantes de tempo para um determinado nível de precisão, mas resultam em menor reserva dinâmica.

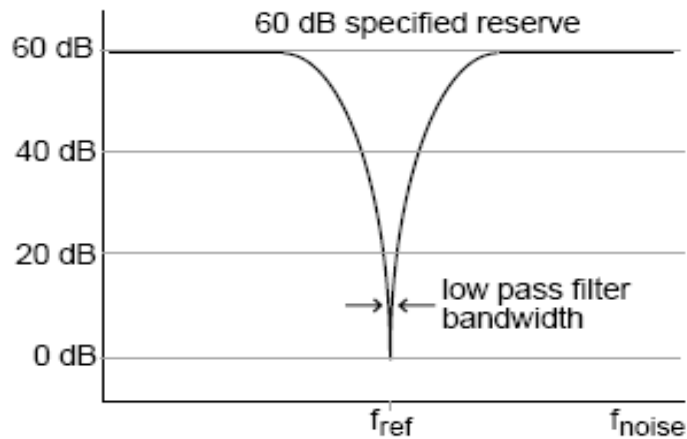


Figura 2-2 – Gráfico mostrando um exemplo da reserva dinâmica em dB (eixo vertical) de um amplificador Lock-In em função da frequência do ruído (eixo horizontal). Não há reserva dinâmica caso o ruído esteja na mesma frequência do sinal de referência.

Após o amplificador CA, o sinal passa por um filtro “*anti-aliasing*”, que restringe a banda passante para remover frequências não desejadas que possam causar falsas saídas do conversor A/D devido ao processo de amostragem. Caso seja aceitável o nível de ruído no sinal medido, é conveniente não utilizar este filtro, evitando as distorções que o mesmo possa introduzir no sinal. Geralmente uma saída direta é introduzida para monitorar os efeitos da filtragem no sinal de entrada.

Após o filtro “*anti-aliasing*” o sinal chega ao conversor A/D que digitaliza o sinal de entrada na frequência de amostragem que estiver configurado, respeitando-se a banda de passagem do filtro (Teorema da amostragem de Nyquist). A saída deste conversor, que é uma série de valores digitais (valores quantizados) representando a amplitude do sinal de entrada, alimenta o DSP² principal dedicado ao PSD (phase-sensitive detector), que apresenta a saída em dois canais: em fase e em quadratura, que passam por filtros digitais que implementam a função convencional de filtro passa-baixas de saída (Figura 2-3).

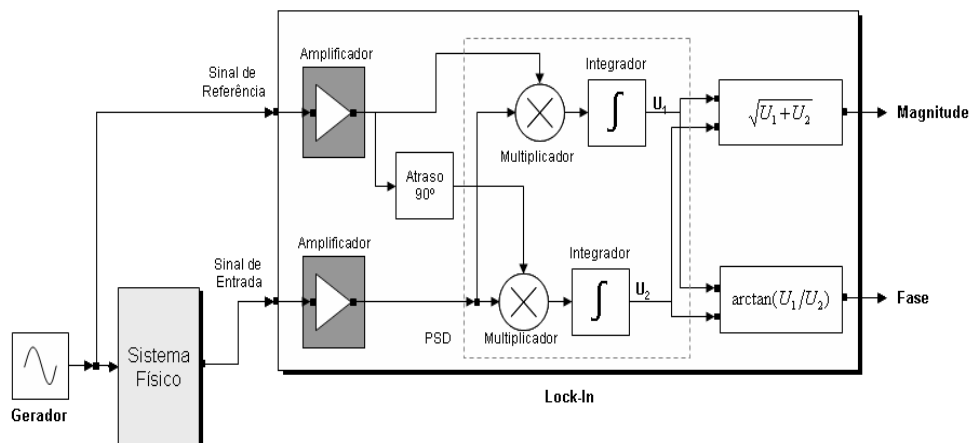


Figura 2-3 – Configuração básica de um amplificador Lock-In.

² DSPs (do inglês *Digital Signal Processor*) são microprocessadores especializados em processamento digital de sinal usados para processar sinais de áudio, vídeo, etc., quer em tempo real quer em “off-line”.

Consideremos por exemplo uma frequência de referência de 1 kHz, gerada internamente ou externa. Sendo a frequência de amostragem de 180 kHz, o DSP dedicado de referência gera 180 amostragens em um período do sinal, que estarão dispostas entre os ângulos de fase de 0 a 360° em incrementos de 2°. Estas amostragens multiplicadas por seno e co-seno unitários armazenados em uma memória (*look-up table*), geram os multiplicadores de fase e quadratura do PSD. Sendo o sinal de referência externo, outro DSP dedicado configurado como um PLL (*phase-locked loop*) é usado para medir a frequência do sinal aplicado.

No modo de referência interna, a situação ideal seria que o processador do sinal de referência gere também um sinal de saída na frequência selecionada. Neste caso, o canal de referência fica independente de um PLL, não requerendo o tempo utilizado para que o PLL estabilize na frequência. Por limitações técnicas, especialmente para as frequências mais altas, tem sido utilizado um sintetizador digital de frequências independente com elevada taxa de amostragem, para esta finalidade.

Para certas aplicações, respeitando-se a máxima frequência de referência permitida pelo sistema, encontra-se disponível a função de efetuar medidas a certo múltiplo “n”, ou harmônica, da frequência de referência.

O DSP de referência geralmente implementa também um defasador digital, com resolução na faixa de 10 miligrados, para possibilitar obter fase de zero graus com o sinal de entrada. Ou também os passos podem ser de 90° quando o ajuste é feito primeiramente pelo valor nulo, adicionando-se depois 90° ou 270° para maximizá-lo.

As saídas filtradas dos canais do PSD são encaminhadas para um processador que implementa filtragem e processamento adicionais como módulo e fase, podendo inclusive efetuar medidas de ruído.

Geralmente, amplificadores Lock-In digitais usam Filtros passa-baixas FIR (*Finite Impulse Response*), com atenuação de 6, 12, 18 e 24 dB/oitava conforme maior a frequência. Estes filtros oferecem substancial vantagem no tempo de resposta se comparados com filtros analógicos ou digitais IIR (*Infinite Impulse Response*). A eficiência destes filtros (constante de tempo) está diretamente ligada à razão de crescimento da reserva dinâmica a partir da frequência de referência. Ao aumentarmos a constante de tempo, aumentamos também a relação sinal-ruído. Como podemos ver nas simulações em [18], a flutuação do ruído cai pela raiz quadrada do número de medidas realizadas.

2.4 Considerações sobre Fontes de Ruído

Há dois tipos de ruído (“*noise*”) que podem interferir em um experimento no laboratório: ruídos intrínsecos e ruídos externos. Ruídos intrínsecos como *Johnson* e *Shot* (ruído de corrente), são inerentes a todos os processos físicos. Embora não seja possível ficarmos totalmente livres dos ruídos intrínsecos, podemos minimizar os seus efeitos. Fontes de ruído externo são encontradas no ambiente, como as linhas de força e estações transmissoras. O efeito destas fontes de ruído pode ser minimizado com cuidadosos procedimentos na montagem do experimento como aterramento, blindagem, e outros aspectos

inerentes a cada experimento em particular. Nas secções seguintes vamos expor as principais fontes de ruído intrínseco e externo.

2.4.1 Fontes de Ruído Intrínseco (randômico)

Ruídos randômicos interferem nos experimentos em uma variedade de maneiras. Há diversas fontes de ruídos intrínsecos que estão presentes em todos os sinais eletrônicos. Vamos ver alguns deles:

2.4.1.1 Ruído Johnson

Todo resistor gera uma tensão de ruído em seus terminais devido às flutuações térmicas na densidade dos elétrons no interior do resistor. Estas flutuações geram uma tensão de ruído:

$$V_{\text{ruído}}(rms) = (4 \cdot k \cdot T \cdot R \cdot \Delta_f) \quad (2-11)$$

onde k =constante de Boltzmann (1.38×10^{-23} J/°K), T é a temperatura em °Kelvin (tipicamente 300°K), R é a resistência em Ohms e Δ_f é a banda em Hz. Este ruído é de banda larga e se a impedância da fonte do sinal é grande, pode determinar a quantidade de reserva dinâmica requerida.

A quantidade de ruído medida pelo Lock-In é determinada pela banda da medição. O Lock-In não irá estreitar a banda detectada antes de chegar ao PSD. Em um Lock-In, a banda equivalente de ruído do filtro passa baixa (constante de tempo) configura a banda de detecção. Neste caso, o ruído medido sobre um resistor na entrada de um Lock-In, tipicamente a impedância de entrada do sinal, é simplesmente:

$$V_{\text{ruído}}(rms) = 0.13 \sqrt{R} \sqrt{BW} \text{ nV} \quad (2-12)$$

A banda (BW) do amplificador de sinal determina a faixa do ruído de banda-larga que será amplificada.

Isto afeta a reserva dinâmica. A constante de tempo configura a quantidade de ruído que será medida na frequência de referência.

2.4.1.2 Ruído de Corrente (*Shot noise*)

A corrente elétrica tem ruído devido à natureza finita dos portadores de carga. Há uma espécie de não uniformidade no fluxo do elétron que gera ruído na corrente. Este ruído é chamado “shot noise”. Pode aparecer como uma tensão de ruído quando a corrente passa através de um resistor ou como ruído em uma medida de corrente. O shot noise ou ruído de corrente é dado por:

$$I_{\text{ruído}}(rms) = (2 \cdot q \cdot I \cdot \Delta_f)^{1/2} \quad (2-13)$$

Onde q é a carga do elétron (1.6×10^{-19} Coulomb), I é a corrente CA rms ou corrente CC que depende do circuito e Δ_f é a banda.

2.4.1.3 Ruído 1/f

Todo resistor, independente do que seja feito, tem o mesmo ruído Johnson. Entretanto, há um ruído adicional que provém de flutuações na resistência devido ao fluxo de corrente através do resistor. Para os resistores de carbono, este valor é tipicamente $0.1 \mu\text{V}$ - $3 \mu\text{V}$ rms por Volt aplicado através do resistor. Resistores de filme metálico tem aproximadamente 10 vezes menos ruído. Este ruído tem um espectro inversamente proporcional à frequência ($1/f$) e dificulta as medidas em baixa frequência.

Outras fontes deste ruído são encontradas em válvulas a vácuo e semicondutores.

2.4.1.4 Ruído Total

Todas estas fontes de ruído são incoerentes. O ruído randômico total é a raiz quadrada dos quadrados de todas as fontes incoerentes de ruído.

2.4.2 Fontes Externas de Ruído

Adicionalmente às fontes de ruído intrínsecas discutidas anteriormente, há uma variedade de ruídos externos dentro do laboratório. As maiorias destes ruídos são assíncronos, i.e., eles não são relacionados à referência e não ocorrem na frequência de referencia ou suas harmônicas. Exemplos incluem iluminação, motores, aparelhos de ar condicionado, rádios, computadores, monitores, etc. Estas fontes de ruído afetam a medida aumentando o requerimento da reserva dinâmica e da constante de tempo.

Algumas fontes de ruído, porém, estão relacionadas à referencia e se interferem no sinal serão adicionadas ou subtraídas do sinal real causando erros na medida.

Fontes típicas de ruído síncrono são os “loops” de terra entre o experimento, o sensor e o Lock-In e induções do oscilador de referência ou da montagem do experimento.

Muitas destas fontes podem ser minimizadas com cuidados na montagem do experimento e na técnica de efetuar as medidas.

Há diversos meios pelos quais as fontes de ruído são acopladas ao circuito do sinal:

2.4.2.1 Acoplamento Capacitivo

Uma tensão CA proveniente de uma fonte próxima pode ser acoplada ao elemento sensor via capacitância parasita (“*stray*”) (Figura 2-4). Mesmo que a capacitância parasita seja pequena, o ruído acoplado pode atingir valores significativos. Isto é especialmente prejudicial se o ruído acoplado for síncrono (na frequência da referência).

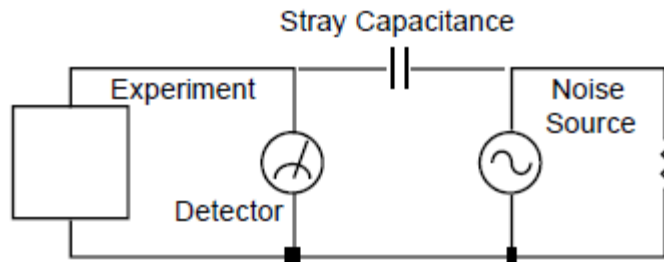


Figura 2-4 – Diagrama mostrando o acoplamento do ruído ao experimento via capacitância parasita, introduzindo tensões no experimento que podem afetar a medida.

Podemos estimar a corrente de ruído causada por uma capacitância parasita por:

$$i = C_{\text{parasita}} \frac{dV}{dt} = \omega \cdot C_{\text{parasita}} \cdot V_{\text{ruído}} \quad (2-14)$$

Onde ω é 2π vezes a frequência do ruído, $V_{\text{ruído}}$ é a amplitude do ruído e C_{parasita} é a capacitância parasita.

Por exemplo, se a fonte de ruído for um circuito de potência, então $f=60$ Hz e $V_{\text{ruído}}= 120$ V. C_{parasita} pode ser estimado usando um capacitor equivalente. Se a capacitância é aproximadamente uma área de 1cm^2 separada por 10 cm, então C_{parasita} é 0,009 pF. A corrente de ruído resultante será de 400 pA (a 60 Hz). Esta pequena corrente de ruído pode ser milhares de vezes maior do que a corrente do sinal. Se a fonte de ruído estiver em uma frequência maior, o ruído acoplado será ainda maior.

Se a fonte do ruído estiver na frequência da referência, o problema é muito pior. O Lock-In rejeita ruído em outras frequências, mas induções ou acoplamentos na frequência de referencia são interpretados como sinal!

2.4.2.2 Acoplamento Indutivo

Uma corrente CA de uma fonte próxima pode ser acoplada ao experimento via campo magnético (Figura 2-5). Uma alteração na corrente em um circuito próximo emite campo magnético variável que pode induzir uma tensão ($d\Phi/dt$) no circuito do experimento. É comparável a um transformador onde o experimento com o sensor seja o enrolamento secundário.

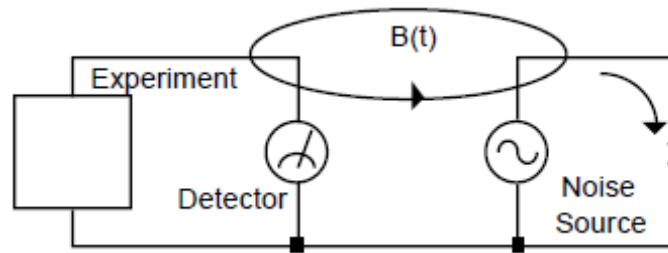


Figura 2-5 – Diagrama mostrando o circuito magnético entre a fonte de ruído e o experimento via acoplamento indutivo, induzindo tensão no experimento que pode afetar a medida.

2.4.2.3 Acoplamento Resistivo ou Malha de Terra (*ground loop*)

Correntes fluindo através das conexões de terra podem produzir altas tensões de ruído (Figura 2-6). Isto é especialmente problemático com correntes na frequência de referência.

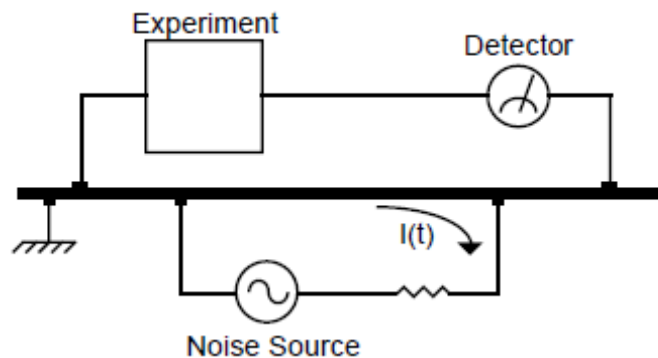


Figura 2-6 – Diagrama mostrando o circuito de retorno da fonte de ruído por um caminho de resistência finita podendo gerar tensões de interferência no experimento.

Na ilustração, o sensor (detector) está medindo o sinal relativo a um terra afastado do restante do experimento. O sensor no experimento é influenciado pela tensão desenvolvida no experimento e também pela tensão desenvolvida pela corrente de retorno da fonte de ruído que passa através da resistência finita entre os terras do experimento e do sensor. O experimento e o sensor são aterrados em pontos diferentes que, neste caso, estão em potenciais diferentes.

3 Circuito de Desacoplamento

Este capítulo apresenta o circuito de desacoplamento para o amplificador Lock-In, projetado para que o instrumento realize medidas usando o método de quatro pontos, muito utilizado em laboratórios de física experimental. A entrada diferencial de alta impedância dos amplificadores e a saída referenciada à terra promovem a interface. Nas seções seguintes apresentamos uma descrição do circuito eletrônico e a análise de dados experimentais para o comportamento do circuito no domínio da frequência e o atraso que esse circuito introduz no sinal bem como o ruído e a distorção.

3.1.1 Circuito Eletrônico

Na ligação a quatro fios, mostrada na Figura 3-1, a fonte de corrente S fornece uma corrente estabilizada e conhecida através da amostra e a tensão gerada é medida em alta impedância.

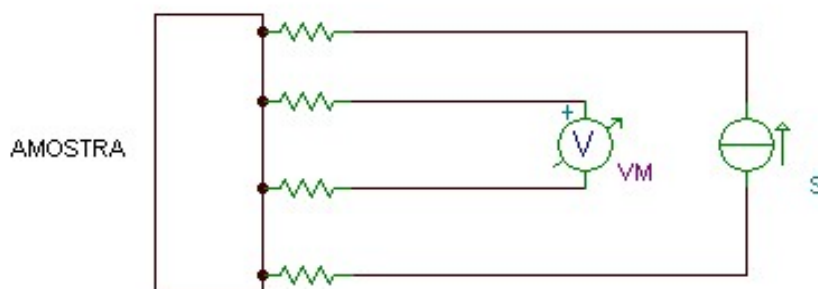


Figura 3-1 – Ligação a quatro fios

Desta forma, a resistência dos condutores exerce um efeito desprezível sobre a medição. Nosso circuito consiste na aplicação de uma fonte de sinal e uma resistência de referência conhecida em série com a amostra a ser medida. O problema encontrado para a medição utilizando esse método com o kit Altera EP2S60 (Anexo 1) é curto-circuitar o terceiro e quarto pontos pelo aterramento da entrada do conversor A/D e do gerador, conforme apresentado na Figura 3-2 (a). Para resolver este problema projetamos o amplificador de

desacoplamento como interface entre o circuito da medida e a entrada do conversor A/D do kit EP2S60 (c.f. Figura 3-2 b).

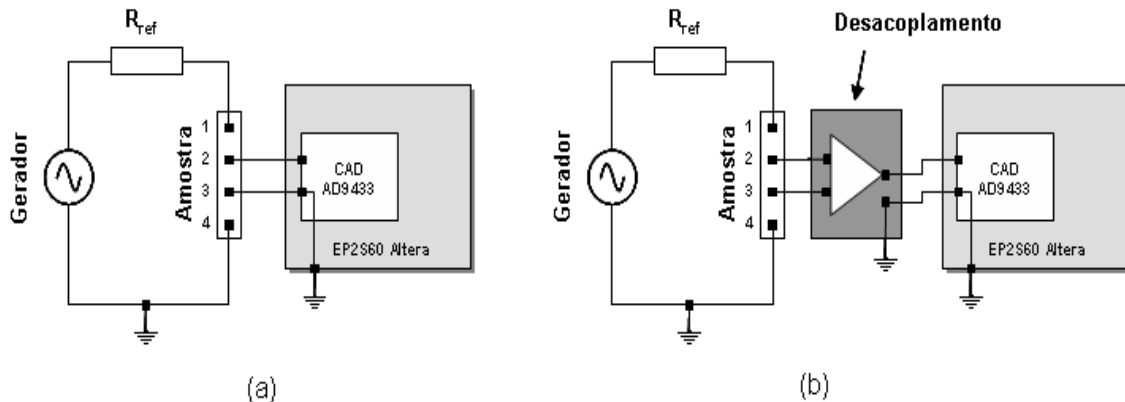


Figura 3-2 - (a) Mostra a medição direta da amostra e o terra comum no sistema de medição a quatro fios. (b) Mostra o amplificador desacoplando o terra da fonte.

Dois circuitos foram construídos. Um para o sinal da amostra e o outro para o sinal de referência do gerador ou um segundo sinal. A Figura 3-6 mostra o circuito de desacoplamento projetado com o INA217 (Figura 3-3), montado em uma caixa de alumínio (Figura 3-7), com fonte de alimentação CA. O acoplamento das entradas e saídas são através de conectores BNC, ligados internamente com cabo coaxial blindado. Para minimização dos erros de medição é importante que a impedância de entrada do instrumento (50Ω) esteja casada com o sistema a ser medido evitando reflexões (Figura 3-4). Idealmente $Z_{0\text{Transmissor}} = Z_{0\text{Linha}} = Z_{0\text{Receptor}}$ onde Z_0 é a impedância característica. A impedância característica do cabo coaxial (Figura 3-5) na faixa de frequência que estamos trabalhando pode ser considerada puramente resistiva ($Z_0 = \sqrt{L/C} = 50 \Omega$).

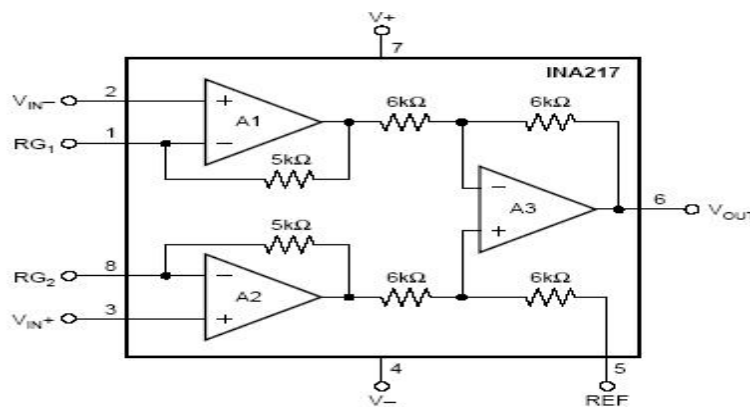


Figura 3-3 - Arquitetura do Amplificador de Instrumentação INA217 retirada da folha de dados do fabricante.



Figura 3-4 – Ilustração de cabo coaxial transmitindo o sinal da fonte à carga. O sistema deve estar casado para evitar reflexões.

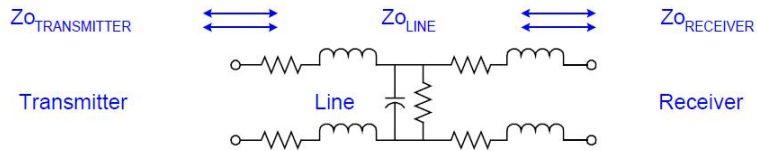


Figura 3-5 - Diagrama esquemático das reatâncias equivalentes do cabo coaxial cuja impedância na faixa de frequências de operação é a impedância característica (Z_0).

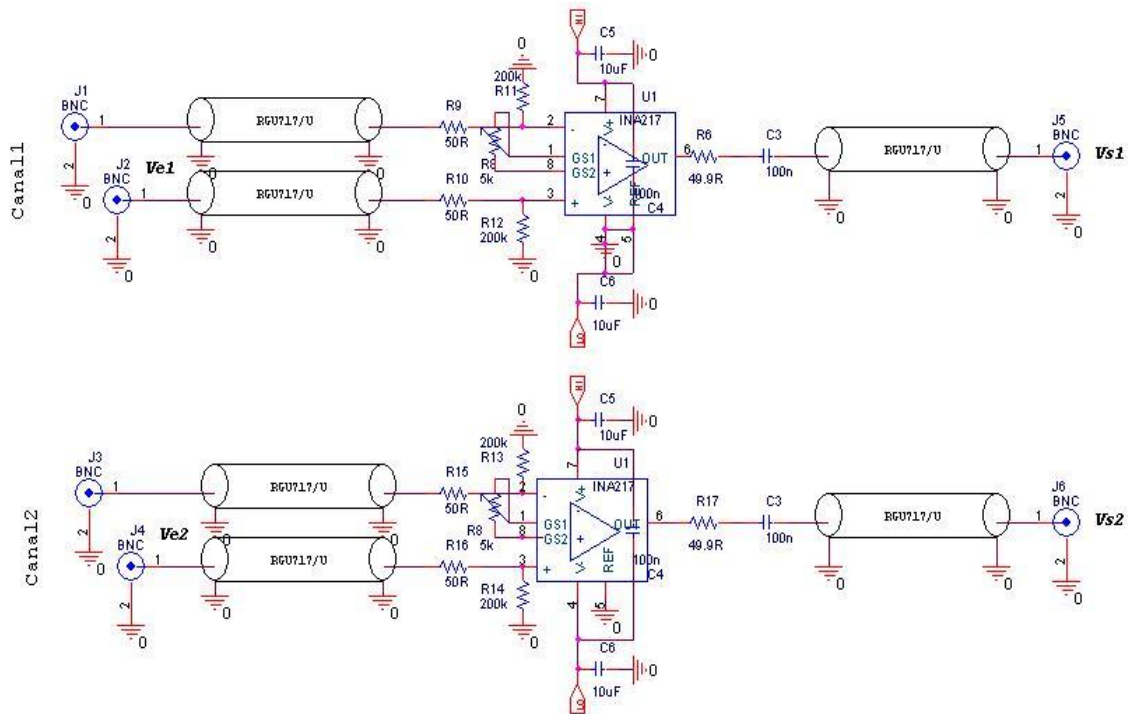


Figura 3-6 -- Circuitos de desacoplamento com entradas diferenciais e saídas casadas.



Figura 3-7 - Ilustração do Módulo onde foi instalado o amplificador.

3.1.2 Análise do Circuito de Entrada do Conversor A/D

Na Figura 3-8 vemos o esquemático da entrada do conversor A/D do KIT de Desenvolvimento:

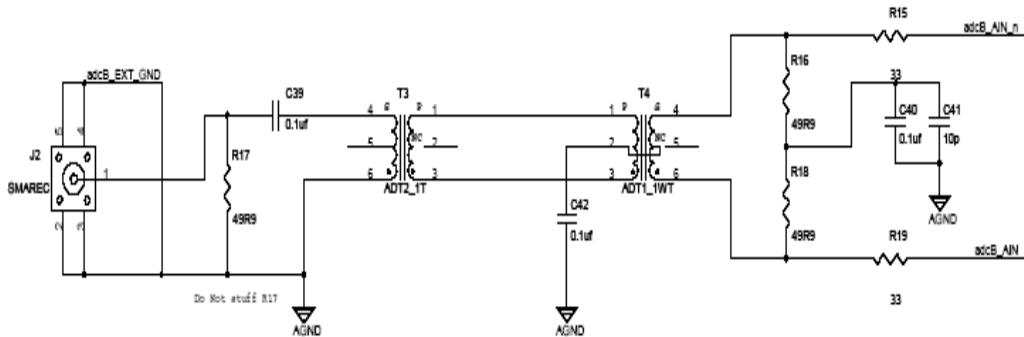


Figura 3-8 - Esquemático do circuito de entrada do conversor A/D do Kit de desenvolvimento.

As impedâncias de entrada do conversor A/D devem estar casadas para evitar distorção. O melhor desempenho do conversor é obtido com entrada diferencial. A entrada com referência à terra é convertida para diferencial pelo transformador, cuja baixa impedância também promove significativa redução da tensão de “offset” na entrada.

O fabricante do conversor A/D 9433 também recomenda que se utilizem, para aplicações em alta frequência, dois transformadores em série, para minimizar a distorção de harmônicas pares. O primeiro transformador isola e converte o sinal para diferencial. O acoplamento capacitivo entre os enrolamentos causa desbalanceamento no secundário. O segundo transformador melhora o balanceamento de amplitude, melhorando assim a distorção harmônica.

Aplicando uma entrada fixa de 300mV e excursionando a frequência, verificamos, utilizando o recurso de captura SignaltapII³, uma faixa “plana” com atenuação de -2,42dB entre 400 kHz e 1 MHz (Figura 3-9).

³ Analisador lógico incluído no software QuartusII que auxilia a depuração de um projeto na FPGA capturando internamente o estado dos sinais, sem necessidade de utilizar equipamentos externos.

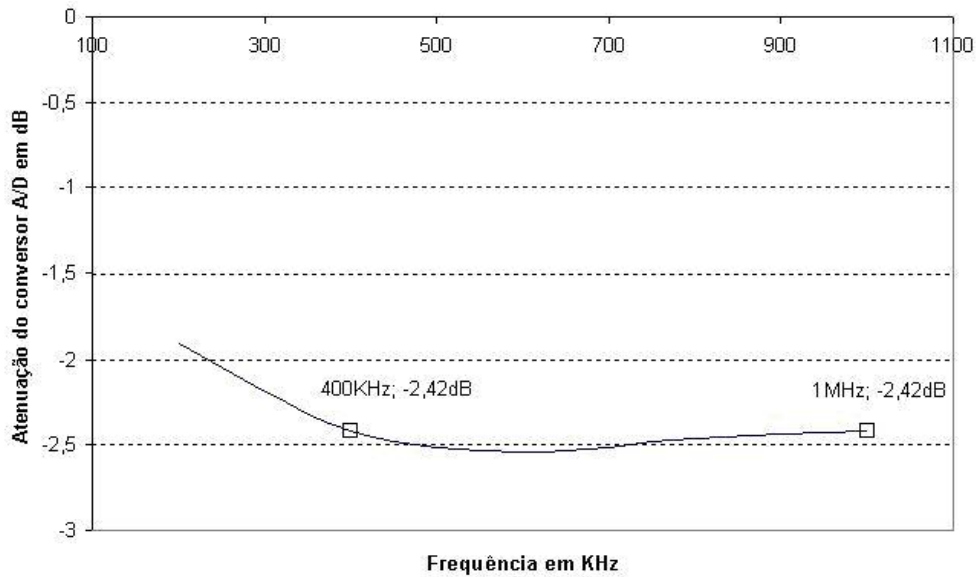


Figura 3-9 - Levantamento da atenuação do sinal de entrada imposta pelo circuito de acoplamento do conversor A/D (Figura 3-8).

3.1.3 Análise do Ganho no Domínio da Frequência

O amplificador INA217 havia sido selecionado visando trabalharmos na faixa de centenas de kHz. O circuito de entrada do KIT está otimizado para frequências mais altas. Na folha de dados do transformador de entrada, consta frequência de corte em 400 kHz. Procuramos viabilizar nosso projeto para que opere dentro da banda imposta pelo acoplamento a transformador.

A análise no domínio da frequência tem por objetivo a caracterização do circuito de desacoplamento. Para este levantamento fixamos ganho unitário em 150 kHz e verificamos a amplificação na saída em função da frequência. A Figura 3-10 mostra o levantamento com o INA217 e a Figura 3-11 uma simulação utilizando o amplificador INA163 que é similar.

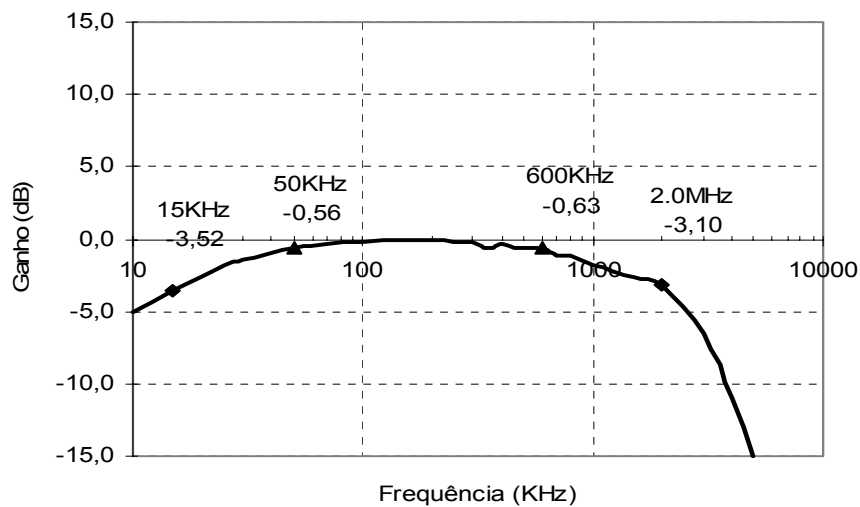


Figura 3-10 – Ganho (dB) x Frequência.

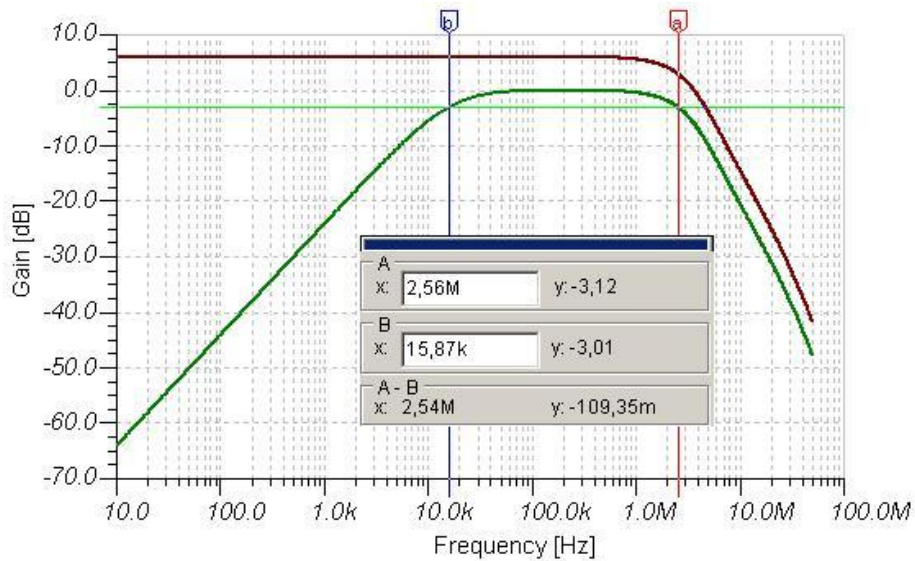


Figura 3-11 – Simulação com amplificador similar, INA163, utilizando o simulador TINA-TI da Texas Instruments.

Observando a Figura 3-10 e Figura 3-11, vemos que a resposta do filtro de saída do amplificador de 6 dB/oitava conjugada com as limitações de alta frequência do CI reduz a banda passante a uma banda “linear” de 550 kHz.

Fixada a frequência, em função do nível do sinal de entrada (entre 10mV pp e 1Vpp), observamos variação do ganho em torno do valor médio (VM) e desvio padrão (DP) conforme ilustrado na Figura 3-12: 100 kHz (VM=1,03V; DP=0,01V), 500 kHz (VM=0,92V; DP=0,01V), 1.5 MHz (VM=0,75V; DP=0,01V) e 2.0 MHz (VM=0,70V; DP=0,01).

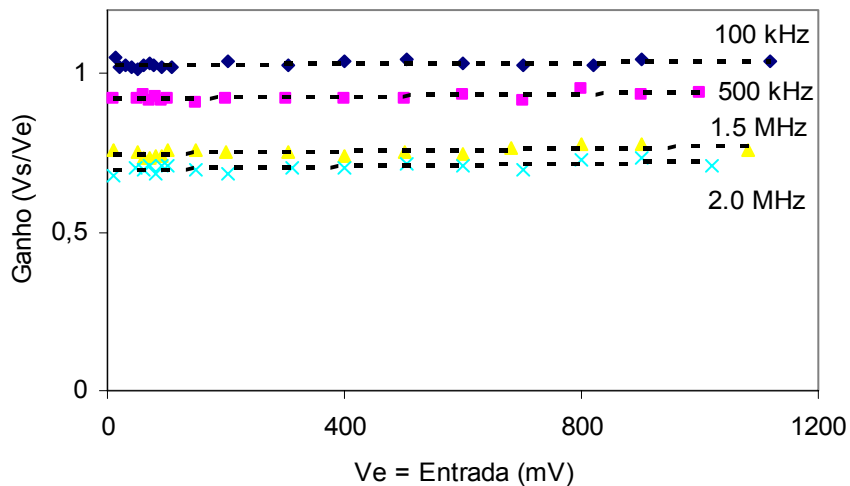


Figura 3-12 – Variação do ganho em função da tensão de entrada para as frequências de 100 kHz, 500 kHz, 1.5 MHz e 2.0 MHz.

3.1.4 Análises de Distorção do Sinal

Esta seção apresenta uma análise da distorção do sinal causada pelo circuito de desacoplamento em função da frequência. Quando trabalhamos com frequências elevadas é muito comum que os circuitos amplificadores distorçam os sinais. Como o circuito de desacoplamento irá trabalhar com frequências na faixa de 0.5 a 2 MHz esse estudo se fez necessário.

Para esse estudo realizamos o seguinte procedimento: variamos o valor de f_o (frequência de referência do gerador) na faixa de 0.5 a 2 MHz em passos de 0.5 MHz e calculamos a distorção do sinal $Dist$ por meio da equação:

$$Dist = \left[\frac{|(V_{out-pp} - G * V_{in-pp})|}{V_{in-pp}} \right] * 100 \quad (3-1)$$

Onde V_{out-pp} é o sinal de pico na saída do circuito de desacoplamento, G (VM) é o ganho médio do circuito de amplificação na frequência f_o e com o V_{in-pp} mínimo. V_{in-pp} é o sinal de pico a pico na entrada do circuito de desacoplamento. Os resultados são apresentados nos gráficos e tabela abaixo (Tabela 3.1).

FREQUÊNCIA	MÉDIA GANHO	DESVIO PADRÃO GANHO	DISTORÇÃO (%) MÉDIA
100 KHz	1,03	0,01	0,85
500 KHz	0,92	0,01	0,86
1.5 MHz	0,75	0,01	1,04
2,0 MHz	0,70	0,01	1,06

Tabela 3.1 - Resumo dos resultados encontrados para a análise de distorção do sinal.

A distorção aumenta com a frequência devido às limitações de velocidade do amplificador. O “*Slew Rate*”, principal componente do “*Settling Time*” [39] do amplificador e a capacidade de corrente, respondem pelo desvio de fase e nível máximo de sinal na saída. Na faixa de até 1% de distorção, podemos utilizar o circuito de desacoplamento para sinais até 1Vpp na faixa de 100kHz a 1MHz.

3.1.5 Análises do Atraso em Função da Frequência.

Esta seção apresenta um estudo do atraso do sinal introduzido pelo circuito de desacoplamento em função da frequência. Esse estudo é muito importante, pois uma das principais funções do Amplificador Lock-In é a medida da defasagem do sinal da amostra em relação ao sinal de referência. Para esse estudo introduzimos um sinal senoidal na entrada do circuito de desacoplamento e medimos a diferença de fase em relação à saída, em função da frequência. O gráfico da Figura 3-13 mostra os resultados obtidos.

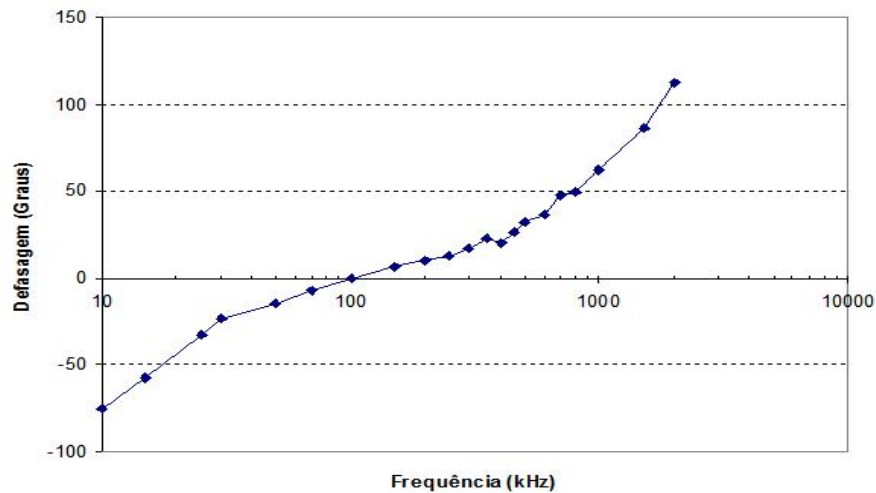


Figura 3-13 – Análise do atraso do amplificador em função da frequência.

A defasagem apresenta um crescimento exponencial com a frequência. O “avanço” do sinal (defasagem negativa) inicia-se quando a frequência começa a sair da faixa média do amplificador, delimitada pelo filtro RC passa altas.

3.1.6 Análises de Ruído do Sistema

Esta seção apresenta o estudo do ruído no Laboratório de Eletrônica do CBPF e seu efeito no circuito de desacoplamento. Montamos o amplificador (Figura 3-14) com entrada a transformador (Figura 3-15) para esta análise em modo diferencial, servindo também para calibração de ganho.

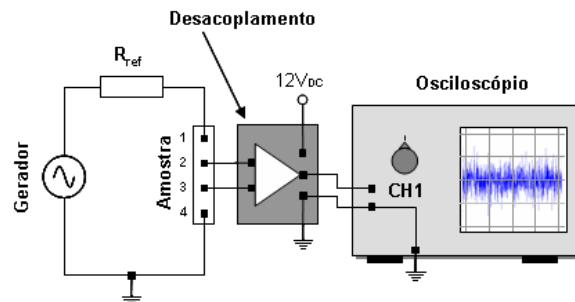


Figura 3-14 – Montagem para análise de ruído

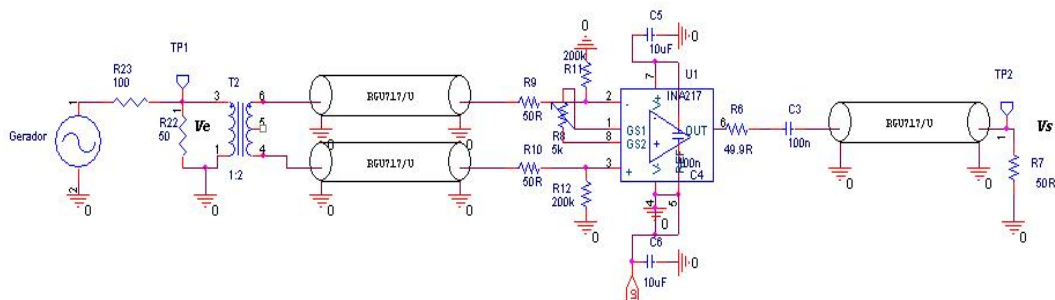


Figura 3-15 – Circuito utilizado para análise de ruídos. Tp_1 e Tp_2 são os pontos de medição.

Para a caracterização da redução de ruídos pelo circuito de desacoplamento, efetuamos as seguintes medições, com um osciloscópio digital Tektronix TDS1012, capturando 2500 amostras do sinal:

3.1.6.1 Medições com o Sinal de Entrada:

Para quantificar o ruído de entrada, injetamos um sinal de 500 kHz com aproximadamente 40mVpp no circuito de teste e capturamos as amostras do sinal na entrada (TP1) imersas no ruído ambiente (Figura 3-16) e amostras do mesmo sinal com o filtro digital do osciloscópio acionado (Figura 3-17), que consideramos como referência. Com estes sinais, extraímos o ruído presente na entrada (Figura 3-18).

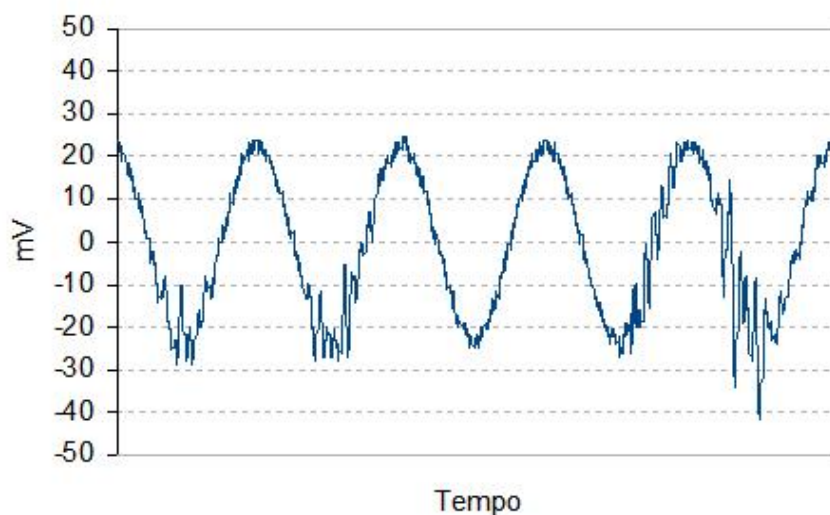


Figura 3-16 - Entrada do amplificador com ruído.

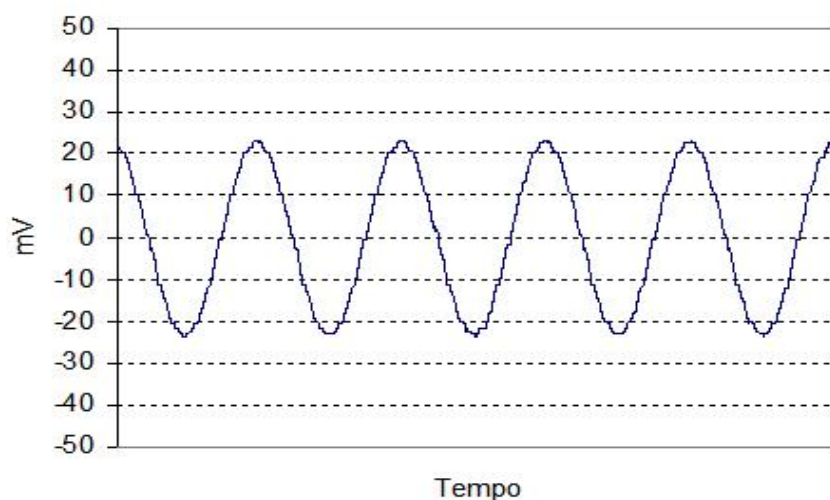


Figura 3-17 - Entrada do amplificador filtrada pelo osciloscópio (referência).

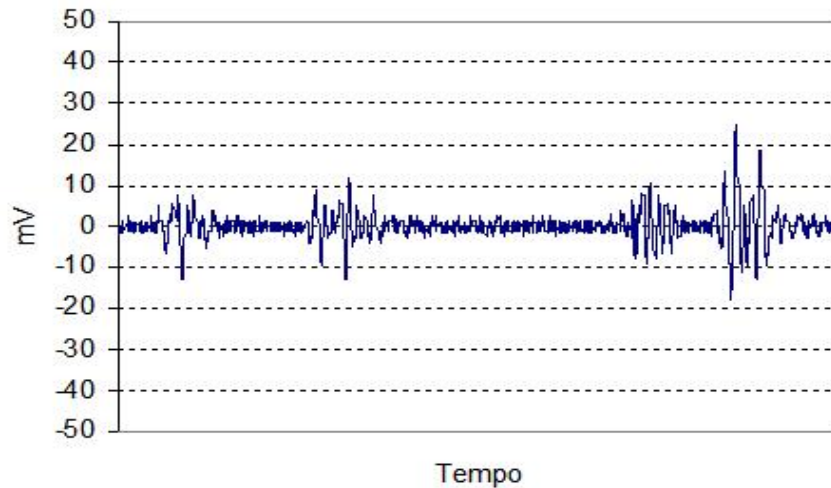


Figura 3-18 - Cálculo do ruído no sinal de entrada.

3.1.6.2 Medições com o Sinal de Saída:

Capturamos (TP2) as amostras do sinal na saída (Figura 3-19) e amostras do mesmo sinal filtrado pelo osciloscópio (Figura 3-20), que consideramos como referência. Com estes sinais, extraímos o ruído presente na saída (Figura 3-21).

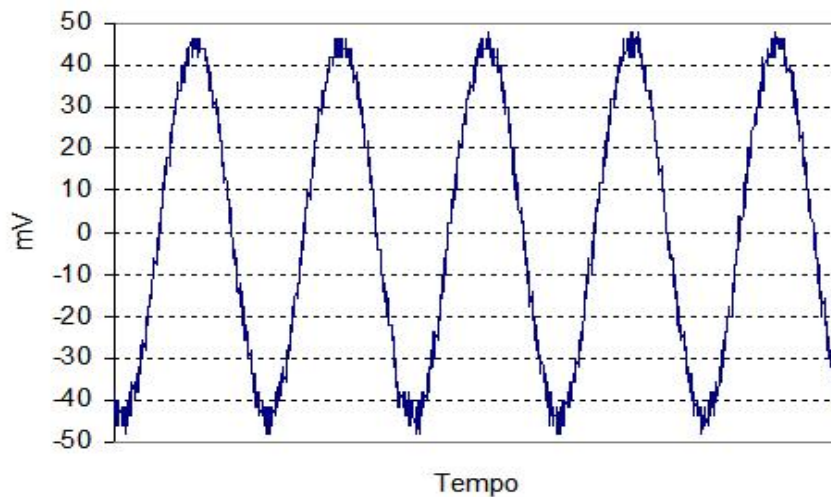


Figura 3-19 - Saída do Amplificador (TP2) em função do tempo.

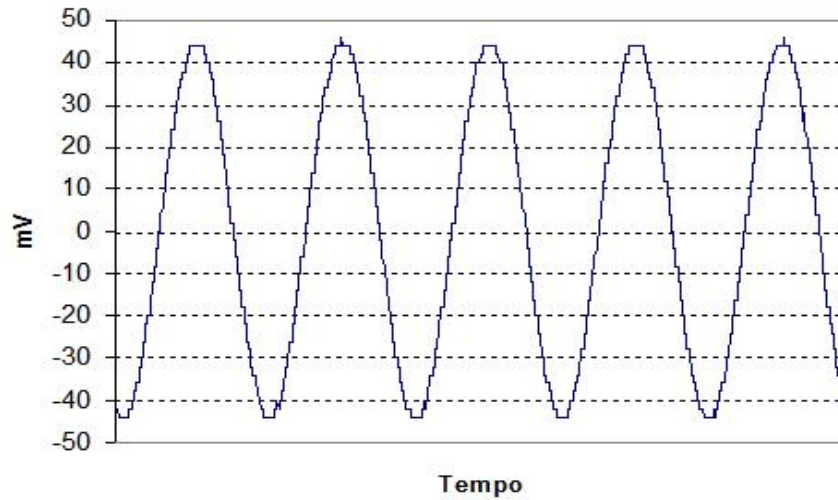


Figura 3-20 - Saída Filtrada pelo osciloscópio (referência) em função do tempo.

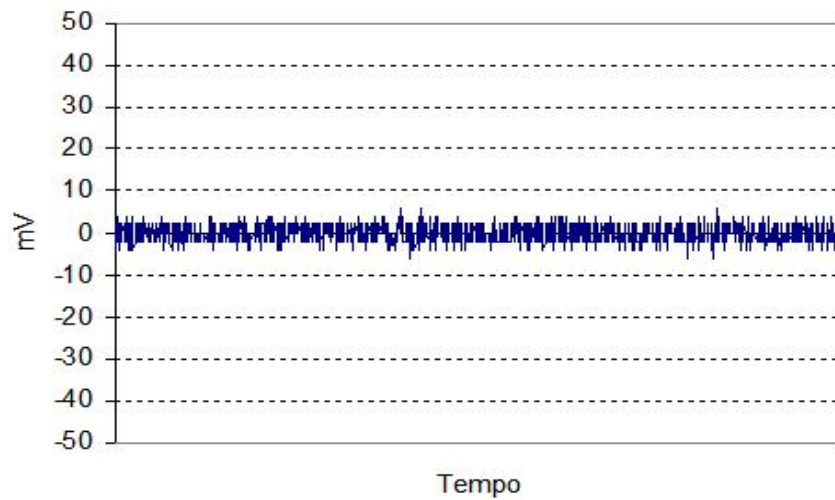


Figura 3-21 - Cálculo do ruído do sinal de saída em função do tempo.

Comparando o ruído encontrado na entrada e na saída (Tabela 2), observamos que há uma redução de 6dB no desvio padrão da saída do amplificador, com ganho 2 de tensão.

RUIDO	Valor Médio	Desvio Padrão
Entrada	0,000	0,004
Saída	0,000	0,002
Saída/Entrada (dB)		-6,27

Tabela 3.2 – Comparação do ruído da saída com a entrada.

3.1.7 Considerações Gerais

Este capítulo apresentou o projeto de um circuito de desacoplamento do Amplificador Lock-In que permite a realização de medidas usando o método de quatro pontos e o casamento com a impedância de entrada do conversor A/D.

As características técnicas do circuito são:

- Amplificador de Instrumentação INA217 – TEXAS *Instruments* (1.3nV/ $\sqrt{\text{Hz}}$ a 1Khz; CMR 50dB em 100KHz)
- Banda passante (-3 dB) G=1: 15Khz \leq f0 \leq 2.0 MHz
- Ganho ajustável até 50 dB na faixa linear de 50 KHz a 600 kHz
- A defasagem introduzida pelo amplificador e filtro deve ser considerada ao se medir defasagens. Pode ser compensada por um circuito de defasagem passivo ou ativo externo ou interno digitalmente.
- Distorção \leq 1% até 1Vpp na banda passante. Saída casada com cabo coaxial 50 OHMS.

4 Implementação do Sistema de Medidas em Alta Frequência com Hardware Reconfigurável

Na primeira secção deste capítulo é apresentada a simulação do processamento do Lock-In que precedeu a implementação do primeiro protótipo do Sistema de Medidas a ser configurado em hardware na FPGA⁴. As secções que se seguem, apresentam a estrutura e a função dos principais módulos da arquitetura interna que compõem o sistema, também fazendo menção ao programa gerado em linguagem VHDL⁵.

O sistema foi implementado em tecnologia DSP/FPGA utilizando o Kit ALTERA EP2S60 com o processador StratixII e bibliotecas associadas (Anexo 1). O *Signal Tap* em conjunto com a função MEX-Function [18] foi utilizado tanto para depuração como para avaliação de dados. Mesmo não correspondendo às nossas necessidades, cientes das características do amplificador de desacoplamento, o utilizamos para permitir medidas diferenciais e casamento com a entrada de 50 Ω do conversor A/D do Kit de desenvolvimento através de cabo coaxial.

4.1 Simulação do Lock-In em MATLAB

Utilizando os recursos de simulação do MATLAB/SIMULINK, foram efetuados testes iniciais para a implementação de um sistema com funções programáveis em hardware, obtendo diretamente os resultados em quadratura (U1 e U2) e os cálculos de módulo e fase (tangente).

O sistema de PSD (detecção sensível à fase) e outras funções foram implementados com módulos multiplicadores acumuladores⁶. Estes módulos são muito apropriados para implementação de sistemas de processamento digital de sinais.

O bloco de LUT ("look up table") que é uma memória endereçável foi utilizado para implementar internamente sinais digitais com a finalidade de servir como referência ao Lock-In, e também para servir sincronizadamente de

⁴ Hardware reconfigurável: Field Programmable Gate Array (Arranjo de portas programável em campo).

⁵ VHSIC Hardware Description Language (Linguagem de descrição de Hardware VHSIC (Very High Speed Integrated Circuit)).

⁶ A capacidade que os DSPs têm de repetir em extrema velocidade uma instrução complexa (como por exemplo a "MPYA": "Multiply and Accumulate Previous Product") faz com que sejam rapidamente resolvidas.

excitação interna, ou externa depois de aplicados a um conversor Digital Analógico.

Na Figura 4.1 mostramos uma implementação da simulação, para a frequência de 781.25 KHz, onde usamos uma constante de tempo de 10 ciclos, sinal de entrada com valor de pico, quantizado em 12 bits, de 2047 (1 V), e ao sinal de entrada foi introduzido um atraso de 39° . Os valores de modulo e fase (tangente), ainda restrita até 45 graus, estão apresentados na simulação em display, uma funcionalidade do SIMULINK. Para serem enviados ao exterior devem ter seu número de bits reduzidos à quantidade adequada e associados a pinos da FPGA disponíveis.

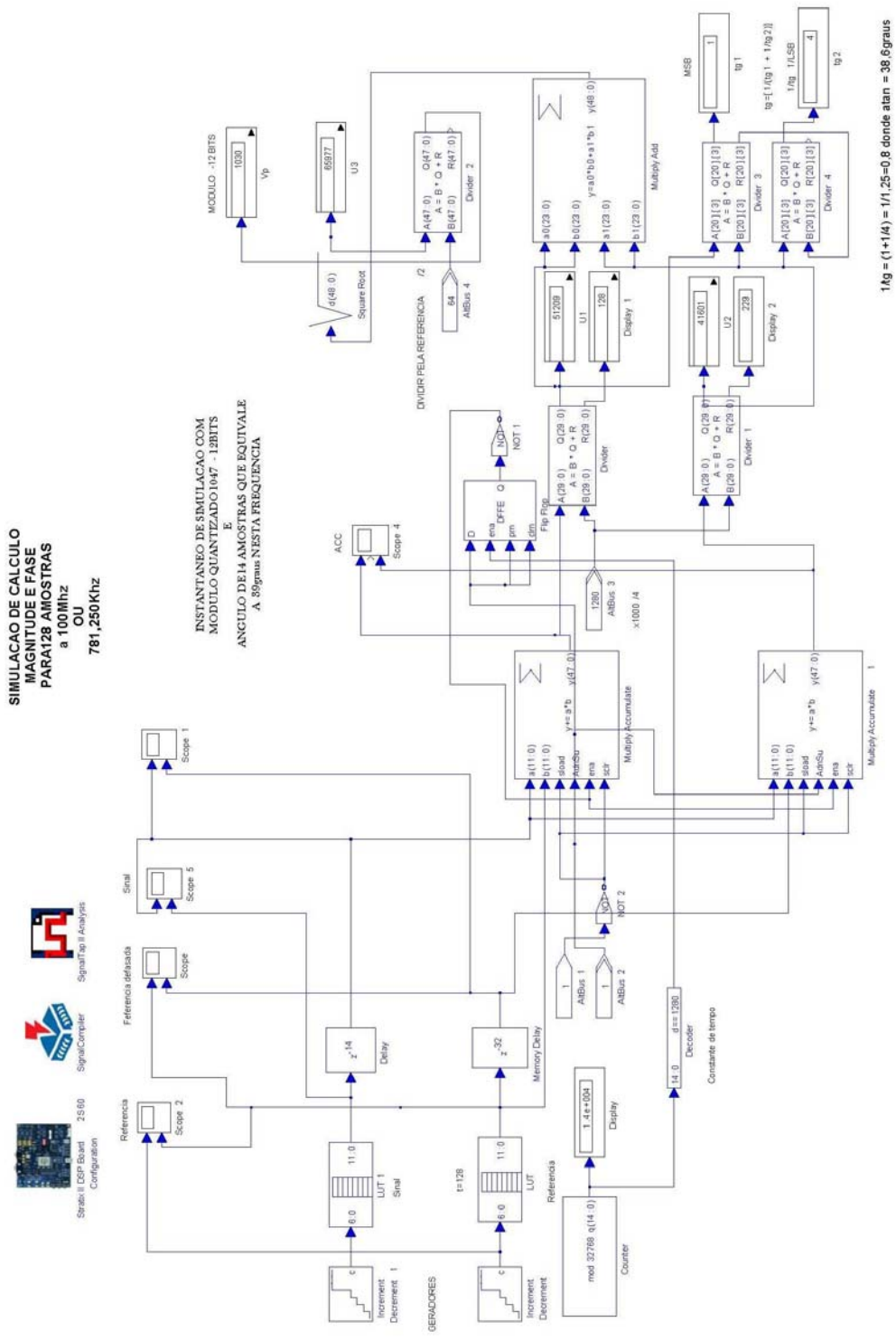


Figura 4-1 – Simulação no MATLAB/SIMULINK do processamento do PSD do Lock-In e cálculos de magnitude e fase (tangente).

Valor de pico do sinal de entrada	Valor medido	Percentual de erro do valor medido (%)	Defasagem introduzida no sinal de entrada (graus)	Defasagem medida após cálculo com as tangentes	Erro do valor medido graus
1047	1034	1,24	5,6	6,3	0,7
1047	1034	1,24	22,5	21,8	0,7
1047	1030	1,62	39,0	38,6	0,4

Tabela 4.1 – Valores simulados para determinação de módulo e fase de um sinal auto-gerado.

Nos cálculos efetuados por hardware, foram utilizados números inteiros e desprezados os restos das divisões. Os percentuais de erro nas medidas de módulo são menores do que 2% para defasagens até 39 graus. Nas medidas de fase, observamos um erro médio de 0,6 graus. Na frequência de 781 kHz, a defasagem possui resolução mínima de 2,8 graus. Portanto, consideramos este um erro sistemático. A precisão das medidas de módulo e fase pode ser melhorada, mas consideramos estes resultados razoáveis para a implementação de um protótipo (§4.2) de medidas de módulos relacionais para obter resultados de resistência CA e Magnetoresistência.

4.2 Estrutura do Protótipo

Na Figura 4-2, vemos uma estrutura do sistema de medidas baseado no Lock-In, configurada na FPGA onde são utilizados alguns dos periféricos e acessórios constantes na placa de desenvolvimento como: botões, “leds”, display-7segmentos e conversores A/D & D/A. O Lock-In foi implementado com referência gerada internamente e fornece este sinal, com seleção de nível através de chave (SW5), para o exterior através do conversor D/A. A chave SW7 seleciona o sinal do conversor A/D1 ou A/D2 para que seja medido o módulo cujo valor (tensão de pico em mV/μV) é visto nos displays com resolução selecionável pela chave SW6. SW4 reinicia o processamento e os “leds” indicam a chave (função) selecionada. O valor medido é apresentado nos displays de 7 segmentos disponíveis na resolução selecionada. O resultado também pode ser disponibilizado em pinos do CI e capturado para processamento externo, e.g., visualizando os dados no software da ALTERA QUARTUSII, para depuração e/ou análise dos resultados.

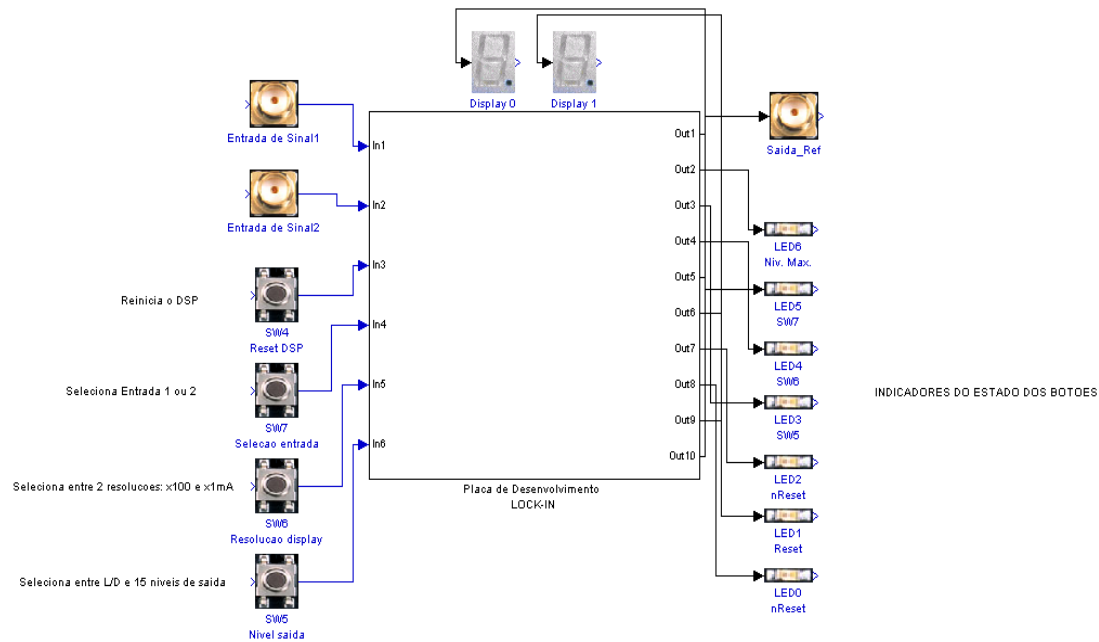


Figura 4-2 – Diagrama da estrutura do protótipo implementado com a placa de desenvolvimento, mostrando os botões, “leds”, “displays” e conversores AD/DA utilizados para controle e entrada/saída.

O sistema foi projetado utilizando blocos DSP. Apresentamos na Figura 4-3 a estrutura em VHDL correspondente à implementação apresentada na Figura 4-2. A arquitetura, não mostrada porque são 18 páginas de código VHDL (Anexo 2), pode ser otimizada, se necessário.

```

library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_signed.all;

library dspbuilder;
use dspbuilder.dspbuilderblock.all;

library lpm;
use lpm.lpm_components.all;

Entity lockinsingleocss is
  Port (
    clock          : in std_logic;
    A2D_112BitSigned  : in std_logic_vector(11 downto 0);
    A2D_212BitSigned  : in std_logic_vector(11 downto 0);
    SW4            : in std_logic;
    SW5            : in std_logic;
    SW6            : in std_logic;
    SW7            : in std_logic;
    clk_out        : out std_logic;
    clk_out1       : out std_logic;
    clk_out2       : out std_logic;
    clk_out3       : out std_logic;
    clk_out4       : out std_logic;
    clk_out5       : out std_logic;
    D2A_114BitUnsigned : out std_logic_vector(13 downto 0);
    LED0           : out std_logic;
    LED1           : out std_logic;
  );
end Entity;

```

```

LED2      : out std_logic;
LED3      : out std_logic;
LED4      : out std_logic;
LED5      : out std_logic;
LED6      : out std_logic;
SevenSegmentDisplay0 : out std_logic_vector(7 downto 0);
SevenSegmentDisplay1 : out std_logic_vector(7 downto 0)
);
end lockinsingleocss;

```

Figura 4-3 – Estrutura em linguagem VHDL do hardware inicialmente projetado para o sistema de medições.

4.3 Diagrama Esquemático em Módulos

Para proceder à descrição apresentamos na Figura 4-4 um diagrama esquemático modular, sucinto, cujas funções em conjunto implementam o sistema ora descrito. Nas próximas secções vamos dar uma breve descrição de cada um.

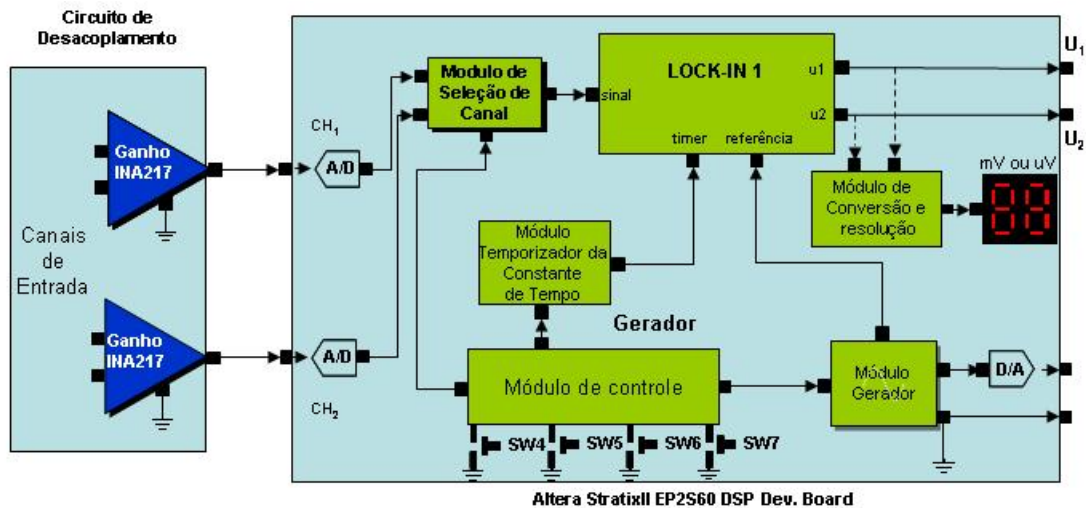


Figura 4-4 – Diagrama do sistema desenvolvido, apresentando em módulos o hardware configurado na FPGA (STATIX II) da placa de desenvolvimento.

4.3.1 Descrição dos Módulos

Para melhor visualização, e compreensão, estamos nos atendo aos blocos SIMULINK/ALTERA sem referência ao código da arquitetura em VHDL gerados.

Podemos aplicar ao sistema, simultaneamente, dois sinais distintos na frequência programada de 781.25 kHz.

4.3.1.1 Módulo Lock-In

Este é o núcleo do sistema (Figura 4-5). O sinal de referência é gerado internamente (Figura 4-8) e os sinais a serem medidos são provenientes da entrada de sinal (CH₁) ou entrada de sinal (CH₂), selecionáveis pelo botão SW7 (Figura 4-6). Vemos a implementação em hardware do sistema de detecção sensível à fase (PSD) onde efetuamos a multiplicação do sinal em fase e

quadratura com o sinal de referência, com uma constante de tempo (Figura 4-7) $CT = 10$, ou seja, efetuamos as multiplicações e acumulações e integramos (acumulamos) durante 10 ciclos, correspondentes à frequência do sinal de referência que nesta aplicação é de 781.250 KHz. [

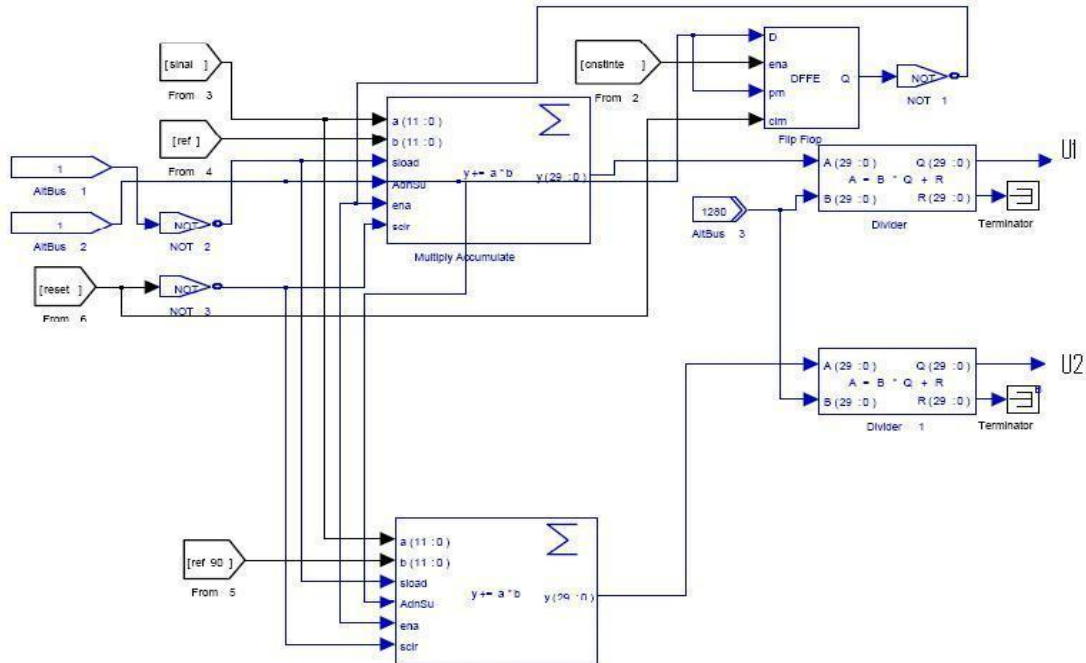


Figura 4-5 – Diagrama dos blocos do módulo de Lock-In mostrando o processamento em fase e quadratura e a geração dos componentes Real (U_1) e Imaginário (U_2).

4.3.1.2 Módulo de Seleção do Canal

Este módulo, cujos blocos estão representados na Figura 4-6, é comandado pela chave SW7 (1 bit), selecionando através de um “mux” o canal a ser transmitido para a entrada do Lock-In.

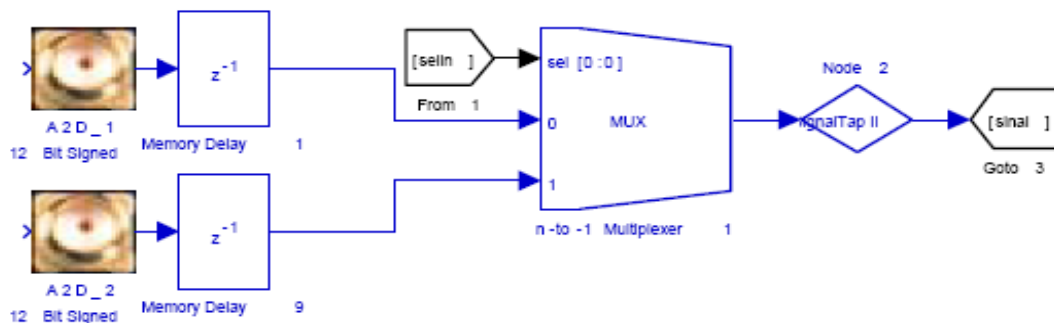


Figura 4-6 – Diagrama dos blocos para seleção do canal de entrada, controlados pela chave SW7.

4.3.1.3 Módulo Temporizador da Constante de Tempo

Este é um módulo de controle digital. Fornece a constante de tempo do Lock-In, que nesta aplicação está definida em 10 ciclos da frequência de referência.

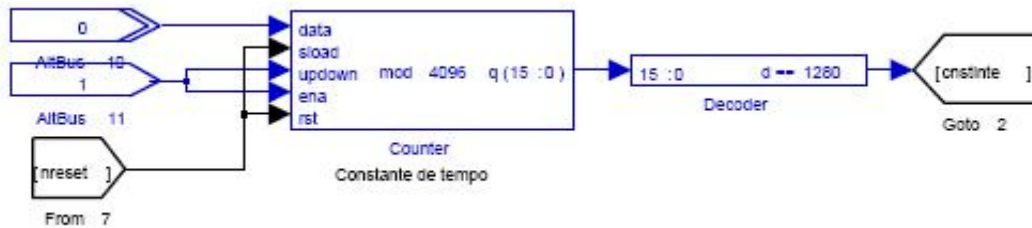


Figura 4-7 – Diagrama dos blocos para o Módulo gerador da constante de tempo de 10 ciclos para a frequência de 781.25 kHz.

4.3.1.4 Módulo Gerador do Sinal de Referência e Excitação Externa

Este módulo gera de forma síncrona, o sinal de referência em fase e quadratura e o sinal de excitação externa, que possui o nível de saída selecionado por uma palavra de 4 bits, configurada pelo botão SW5. Os sinais a serem gerados ficam armazenados nas LUTs (“Look Up Tables”), sendo a frequência dada pela extensão da varredura dos dados da LUT no tempo e pela frequência de operação do “clock”.

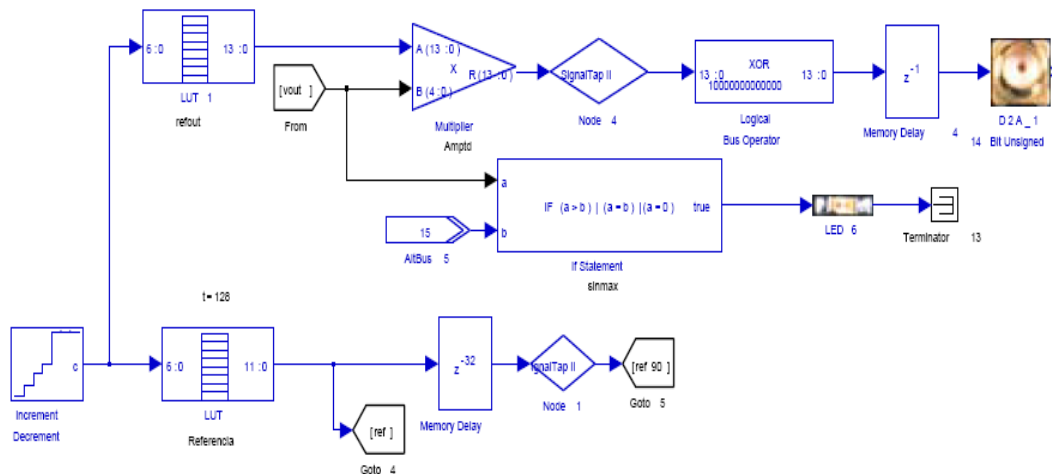


Figura 4-8 - Diagrama dos blocos do módulo gerador de referência interna e excitação externa.

4.3.1.5 Módulo de Conversão e Resolução do Display

Este módulo converte o valor lido pelo Lock-In para mV ou μ V, com duas resoluções selecionáveis pela chave SW6 para que sejam lidos pelos dois displays de 7 segmentos inerentes ao Kit. A unidade, neste caso Volts, depende do algoritmo utilizado na conversão. Melhores resoluções podem ser

obtidas conectando-se um número maior de displays nos pinos de saída ou enviando dados a um processador ou PC.

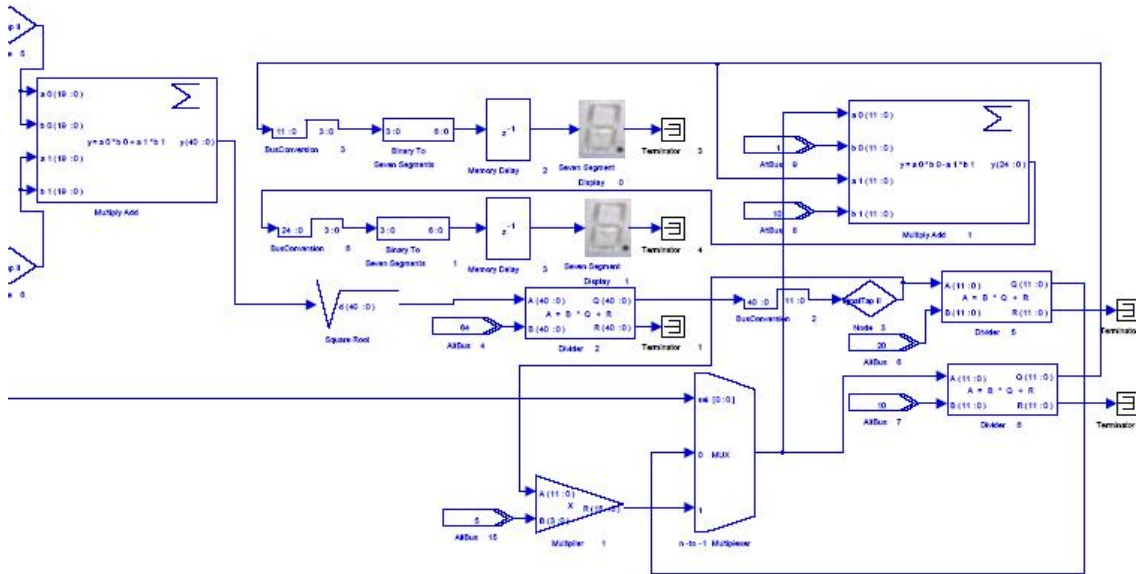


Figura 4-9 – Diagrama dos blocos do módulo conversor para volts e controle de resolução do display, controlado pela chave SW6.

Para processamentos e interações de configuração e controle com o sistema “interfaceados” por processadores externos, salientamos o Nios II que é um dispositivo reconfigurável, “soft-core”, sendo implementado inteiramente pela lógica programável e blocos de memória das FPGAs ALTERA [21] permitindo ser repetidamente instanciado.

5 Validação do Sistema de Medidas de Resistência CA

Para avaliar a confiabilidade do sistema de medidas desenvolvido, foi realizado um processo de validação do instrumento. Um processo deste tipo consiste em se obter evidências a favor dos dados por ele obtidos em medidas padronizadas. Optamos por uma validação comparativa, efetuando medidas semelhantes com um Osciloscópio Digital Tektronix na expectativa de que os dados obtidos por ambos sejam equivalentes.

Este capítulo descreve o processo de validação adotado. Na primeira secção é apresentada uma proposta básica de medição de resistência CA complexa, a segunda secção apresenta o experimento de validação adotado, mostrando o circuito utilizado e o sistema de medidas desenvolvido, apresentando a configuração implementada na FPGA. Nas secções seguintes, são apresentados os resultados das medidas de validação, e análises destes resultados com base em considerações teóricas e, por fim, uma secção de conclusões sobre o experimento.

5.1 Proposta de Sistema de Medição de Resistência CA

É mostrada na Figura 5-1 uma proposta básica, fazendo uso das funcionalidades do amplificador Lock-In para a medição de uma resistência CA complexa (Z_1).

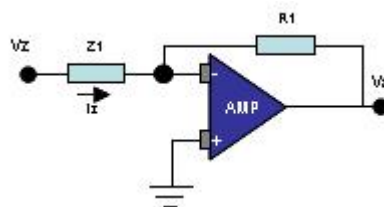


Figura 5-1 – Circuito básico para medição da impedância Z_1 .

A saída do circuito é $V_s = i_z \cdot R_1$. A corrente i_z é determinada pela tensão conhecida V_z e pela admitância desconhecida $Y_1 = 1/Z_1$:

$$i_z = Y_1 * V_z = (G_z + jB_z) * V_z \quad (5-1)$$

Medindo V_s com o Lock-In, os valores de U_1 e U_2 correspondem à parte real e imaginária desta tensão. Para obter a admitância, considerando-se o valor de referência unitário:

$$G_z = 2 * U_1 / (R_1 * V_z) \quad (5-2)$$

$$B_z = 2 * U_2 / (R_1 * V_z) \quad (5-3)$$

Este circuito está admitindo um amplificador ideal, ao menos na faixa de frequências de trabalho. R_1 também deve ser um resistor puramente resistivo à passagem da corrente i_z . Estas características sugerem de imediato componentes de montagem de superfície (smd), sendo críticos R_1 e uma amostra Z_1 com impedância conhecida em nossa faixa de interesse de frequências. Para evitar aumentar desnecessariamente a complexidade e conseqüentemente o tempo para a execução do experimento foi adotada outra montagem para o experimento.

5.2 Experimento de Validação Adotado

Pela dificuldade de encontrar resistor padrão (sem reatância) nesta faixa de frequências, estamos comparando as medidas com instrumento de referência ao invés do valor esperado. Foi montado um circuito com dois resistores de filme em série ($R_1=100\Omega$ e $R_2=52,6\Omega$) com um gerador de frequência e amplitude variáveis. A experiência para validação do instrumento foi a medida do valor da resistência de R_2 em função da frequência e do nível de excitação, conforme apresentado na *Figura 5-2*.

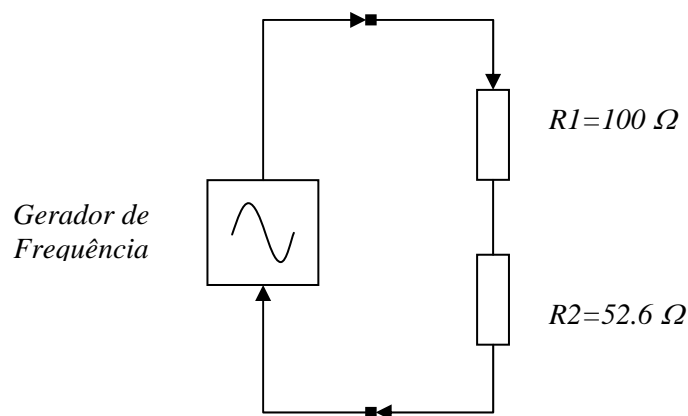


Figura 5-2 – Experimento de validação consiste de um circuito com resistores em série, excitados por gerador com frequência e amplitude variáveis. O sistema de medidas de resistência CA foi utilizado para medir o valor de R_2 em função da frequência e do nível de excitação.

Na escolha dos valores de R_1 e R_2 buscamos utilizar valores não tão altos para que o ruído gerado dificultasse as medidas nem tão pequenos que não fosse suportado pela capacidade de corrente do conversor D/A, desprovido de buffer no experimento.

Para isso, foi programado o KIT EP2S60 para uma varredura automática do gerador que foi configurado em frequência (F) e amplitude (V) por meio de três botões SW5, SW6 e SW7, conforme apresentado nas Tabela 5.1 e Tabela 5.2.

BOTÕES			CONFIGURAÇÃO
SW5	SW6	SW7	
0	0	0	F e V fixos
0	0	1	V automático e F fixo
0	1	0	F automático e V fixo
0	1	1	F e V automáticos
1	X	X	Reset para F1 e V0

Tabela 5.1 – Estado dos botões para configurar a operação do sistema projetado, sinalizados por “leds” na placa de desenvolvimento.

Display 1	Frequência(kHz)	Display 2	Quantizado	Volts(pico)
Freq. 1	1923,1	Nível 0	Desligado	0,0
Freq. 2	1562,5	Nível 1	910	0,1
Freq. 3	1250,0	Nível 2	1820	0,2
Freq. 4	1041,7	Nível 3	2730	0,3
Freq. 5	892,9	Nível 4	3640	0,4
Freq. 6	781,2	Nível 5	4550	0,6
Freq. 7	694,4	Nível 6	5460	0,7
Freq. 8	625,0	Nível 7	6370	0,8
Freq. 9	568,2	Nível 8	7280	0,9
Freq. A	520,8	Nível 9	8190	1,0

Tabela 5.2 – Significado do código apresentado nos displays, representando a frequência e o nível do sinal de excitação gerado pelo sistema com quantização de 14 bits. O código é visualizado nos displays de 7 segmentos da placa de desenvolvimento (KIT EP2S60).

O sistema de medidas foi programado para medir a tensão de excitação e a tensão em R_2 com dois Lock-Ins e referência gerada internamente, conforme Figura 5-3. Os resistores utilizados (R_1 e R_2) são resistores de filme e o valor de $R_2 = 52,6\Omega$ foi obtido com um multímetro digital de precisão de Corrente Contínua (CC). Por simplicidade, utilizamos sinais com nível suficiente para podermos efetuar as medições com razoável relação sinal/ruído sem usamos neste experimento um amplificador com alto ganho após o circuito de desacoplamento (acoplamento) bem como prescindir maiores cuidados com a montagem.

Os resultados obtidos foram comparados às medidas equivalentes feitas manualmente por meio de um osciloscópio digital *Tektronix 100 MHz*, modelo *TDS1012*, sendo efetuadas as mesmas medidas diretamente sobre os resistores R_1 e R_2 . O osciloscópio foi configurado com banda de passagem reduzida para 20Mhz, em alta impedância de entrada, com ponteiros calibradas e filtro ativado em 128 médias.

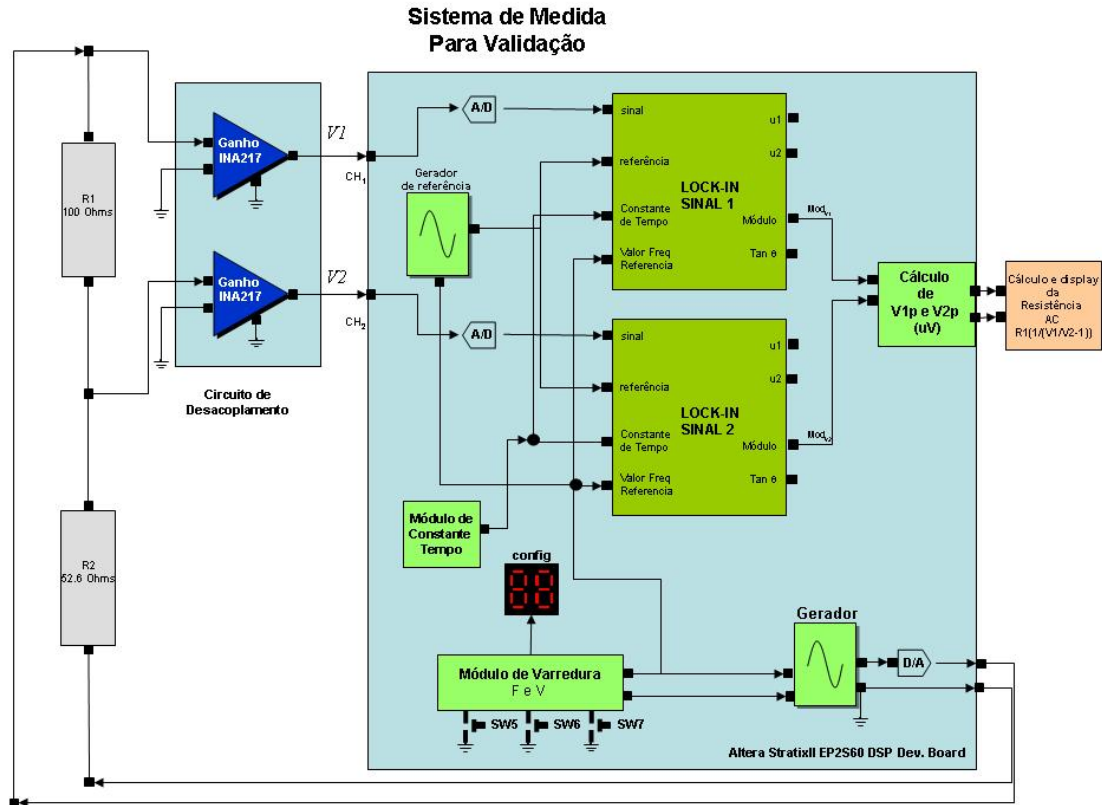


Figura 5-3 – Diagrama do sistema programado no Kit EP2S60 da ALTERA para o teste de validação.

Para obter o valor da resistência R_{AC} , i.e. R_2 em função da frequência de excitação, utilizamos a expressão:

$$R_{AC} = R_1 \frac{1}{V_1/(V_2 - 1)} \quad (5-4)$$

As medidas para a validação do instrumento foram feitas para dois valores de constante de tempo inerentes ao sistema: $CT_1 = 40\mu s$ e $CT_2 = 10ms$.

5.3 Resultados das Medidas de Validação

As Tabela 5.3 e Tabela 5.4 apresentam os resultados das medidas realizadas pelo sistema projetado em função da frequência, amplitude e constante de tempo. Foram calculados os valores médios (\bar{R}_2) e desvio padrão (σ_{R_2}) para 20 aquisições, utilizando no MATLAB o comando *sprun*⁷ da biblioteca do Kit da ALTERA e o recurso *SignalTapII* do software QuartusII (ALTERA) para a captura dos sinais.

O desvio padrão, quando apresentado por um (-) implica que as variações nas medidas realizadas não foram discriminadas pela resolução do

⁷ Este comando acessa os dados capturados em tempo de processamento pelo SignalTapII permitindo que sejam manipulados pelo Matlab em forma de matriz.

conversor A/D do sistema, que neste caso é de 12 bits (0,5mV), com frequência de amostragem $f_a = 100\text{MHz}$.

Amplitude/ Frequência	1		3		5		7		9	
	\bar{R}_2	σR_2	\bar{R}_2	σR_2	\bar{R}_2	σR_2	\bar{R}_2	σR_2	\bar{R}_2	σR_2
520.83	53.9	0.3	54.2	0.2	54.4	0.1	54.4	0.1	54.4	0.1
568.18	53.1	0.7	54.2	0.1	54.5	0.1	54.5	0.1	54.5	0.1
625.00	54.1	-	54.3	-	54.4	0.1	54.4	-	54.5	-
694.44	54.2	-	54.6	-	54.4	0.1	54.5	0.1	54.5	-
781.25	54.3	-	54.6	0.2	54.4	0.1	54.6	0.1	54.6	0.1
892.86	54.4	-	54.4	0.1	54.7	0.1	54.6	0.1	54.6	0.1
1041.67	53.5	0.6	54.4	0.1	54.7	0.1	54.7	0.1	54.7	0.1
1250.00	54.1	-	54.7	0.1	54.7	0.1	54.6	-	54.7	0.1
1562.50	54.9	-	54.9	-	54.9	0.1	54.8	-	54.8	-
1923.08	55.0	0.4	55.7	0.3	55.9	0.2	55.9	0.1	55.9	0.1

Tabela 5.3 – A Tabela apresenta as médias e desvios padrão das medidas de R_2 em 20 aquisições com constante de tempo $40\mu\text{s}$. O valor médio total é de $54,7\Omega$.

Amplitude/ Frequência	1		3		5		7		9	
	\bar{R}_2	σR_2	\bar{R}_2	σR_2	\bar{R}_2	σR_2	\bar{R}_2	σR_2	\bar{R}_2	σR_2
520.83	54.0	-	54.4	0.1	54.1	-	54.4	-	54.4	-
568.18	54.5	0.6	54.3	0.3	54.4	0.1	54.3	0.1	54.5	-
625.00	54.1	-	54.6	0.2	54.5	-	54.5	-	54.5	-
694.44	54.2	-	54.4	-	54.6	-	54.4	0.1	54.5	-
781.25	54.3	-	54.5	-	54.6	-	54.7	-	54.6	-
892.86	54.4	-	54.9	-	54.6	-	54.7	-	54.6	0.1
1041.67	53.3	-	54.4	-	54.6	-	54.6	-	54.5	-
1250.00	54.1	-	54.5	-	54.9	-	54.7	-	54.7	-
1562.50	54.9	-	54.6	0.3	54.8	0.1	54.8	0.1	54.7	-
1923.08	55.2	-	55.7	-	56.0	0.1	55.8	-	55.9	-

Tabela 5.4 – A Tabela apresenta as médias e desvios padrão das medidas de R_2 em 20 aquisições com constante de tempo 10ms . O valor médio total é de $54,7\Omega$.

A Tabela 5.5 apresenta os resultados obtidos manualmente com o osciloscópio. Nesta Tabela os valores médios (\bar{R}_2) e desvios padrão (σR_2) para 20 aquisições foram obtidos por meio do software *Wavestar 2.8.1* da *Tektronix*.

Amplitude/ Frequência	1		3		5		7		9	
	\bar{R}_2	σR_2	\bar{R}_2	σR_2	\bar{R}_2	σR_2	\bar{R}_2	σR_2	\bar{R}_2	σR_2
520.83	54.9	-	54.1	-	53.9	-	52.7	-	53.5	-
568.18	54.9	-	54.0	-	53.9	-	52.7	-	53.6	-
625.00	54.6	-	54.4	-	53.9	-	52.7	-	53.5	-
694.44	55.4	-	54.1	-	53.8	-	52.7	-	53.2	-
781.25	55.3	-	54.0	-	53.7	-	52.7	-	53.6	-
892.86	54.8	-	54.2	-	53.8	-	52.7	-	53.1	-
1041.67	55.1	-	54.2	-	53.9	-	52.8	-	53.6	-
1250.00	55.0	-	54.8	-	53.9	-	52.7	-	53.8	-
1562.50	55.2	-	54.6	-	53.5	-	52.7	-	52.1	-
1923.08	55.3	-	53.7	-	53.5	-	51.4	-	53.3	-

Tabela 5.5 – A Tabela apresenta as médias e desvios padrão em 20 aquisições das medidas de R_2 com o osciloscópio, com filtro em 128 médias. O valor médio total é de $53,3\Omega$.

O desvio padrão, quando apresentado por um (-) implica que as variações nas medidas realizadas não foram discriminadas pela resolução do conversor A/D, que neste caso é de 8 bits e frequência de Amostragem $f_a = 1\text{GHz}$.

Para cada valor da CT ($40\mu\text{s}$ e 10ms) e para a medida com o osciloscópio calculamos a média total de R_2 , envolvendo todas as amplitudes e frequências (Tabela 5.6).

Sistema Utilizado	Resistência média
CT = 40us	$54,7\Omega \pm 0,2\Omega$
CT = 10ms	$54,7\Omega \pm 0,2\Omega$
Osciloscópio	$53,3\Omega \pm 0,9\Omega$

Tabela 5.6 – Resistência média total ($\bar{R}_2(\Omega) \pm \sigma R_2(\Omega)$) para CA.

Podemos observar que todas as medidas mostram um aumento da resistência em relação ao valor CC e que as medidas com o sistema desenvolvido apresentam desvios padrão, relativos aos níveis, menores que os encontrados com o osciloscópio.

5.4 Análise dos Resultados

5.4.1 Considerações Teóricas sobre a Resistência em CA.

Qualquer objeto físico, de qualquer material é um tipo de resistor [23] [24]. A relação entre tensão, corrente e resistência, através de um objeto é dada pela expressão:

$$R = \frac{V}{I} \quad (5-5)$$

Onde V é a diferença de potencial em volts, I é a corrente que circula através de um objeto em ampéres e R é a resistência em ohms. Se V e I tiverem uma relação linear, i.e., R é constante ao longo de uma gama de valores, o material do objeto físico é chamado de ôhmico. Um resistor ideal tem uma resistência constante em função da frequência e da amplitude de excitação.

A resistência de um componente pode ser calculada pelas suas características físicas. A resistência é proporcional ao comprimento do resistor e à resistividade do material (uma propriedade do material), e inversamente proporcional à área da secção transversal. A equação para determinar a resistência de uma seção do material é dada por:

$$R = \frac{\rho L}{A} \quad (5-6)$$

Onde ρ é a resistividade do material, L é o comprimento e A é a área da seção transversal. Isso pode ser estendido a uma integral para áreas mais complexas, mas essa fórmula simples é aplicável a fios cilíndricos e a maioria dos condutores comuns. Esse valor está sujeito a mudanças em altas frequências devido ao Efeito *Skin*, que diminui a superfície disponível da área A [25] [26]. Conclui-se, segundo o anterior e equação (5-6), que a resistência CA de um condutor aumenta na medida em que aumenta a frequência da corrente que percorre este condutor. Além disso, todos os resistores reais também introduzem alguma indutância e capacitância, que mudam o comportamento dinâmico do resistor da equação ideal. Estes efeitos podem ser observados na Figura 5-4.

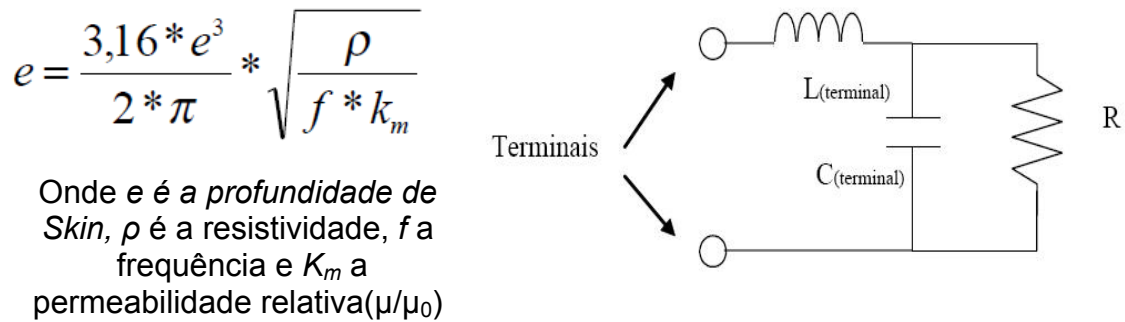


Figura 5-4 – Equação mostrando o efeito pelicular e diagrama mostrando a resistência efetiva devida à indutância e capacitância introduzidas pelo resistor real.

5.4.2 Análise das Medidas com o Sistema Desenvolvido

Na Tabela 5.7 apresentamos os dados referentes às frequências extremas do experimento, 520 kHz e 1,9 MHz, em 5 níveis crescentes de excitação (1 a 9):

Níveis/ Frequência	1	3	5	7	9	\bar{R}_2	σR_2
520.83	54.0	54.4	54.1	54.4	54.4	54.3	0.2
1923.08	55.2	55.7	55.9	55.8	55.9	55.7	0.3

Tabela 5.7 – Média (Ω) e desvio padrão (Ω) das medidas entre os níveis de tensão, para limites extremos das frequências (kHz) utilizadas no experimento.

Podemos observar na Tabela 5.7 o desvio padrão na mesma frequência, para diferentes níveis de tensão. Este efeito é ilustrado na Figura 5-5 onde são apresentadas as medidas com CT=10ms, em 5 níveis distintos.

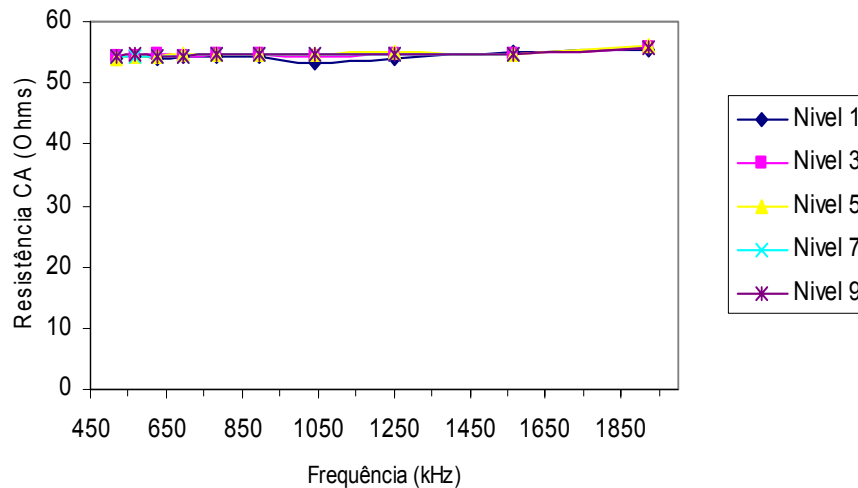


Figura 5-5 – Gráfico das medidas de resistência CA de R2, com F e V variáveis, mostrando o desvio das medidas nos diversos níveis de excitação.

5.4.3 Análise das Medidas com o Osciloscópio

Na Tabela 5.8 são apresentados os dados referentes as frequências extremas do experimento, 520 kHz e 1,9 MHz, em 5 níveis crescentes de excitação (1 a 9):

Níveis/ Frequência	1	3	5	7	9	\bar{R}_2	σR_2
520.83	54.9	54.1	53.9	52.7	53.5	53.8	0.8
1923.08	55.3	53.7	53.5	51.4	53.3	53.4	1.4

Tabela 5.8 – Média (Ω) e desvio padrão (Ω) das medidas entre os níveis de tensão, para os limites extremos das frequências utilizadas no experimento.

Observamos na Tabela 5.8 que os desvios padrão para a mesma frequência de excitação são menores quando medimos com o sistema de medidas de resistência CA (Tabela 5.7). Este efeito pode ser visualizado comparando-se a Figura 5-6, onde são apresentadas as medidas em 5 níveis distintos com o osciloscópio configurado para filtro em 128 médias, com a Figura 5-5, que corresponde às medidas com o sistema desenvolvido.

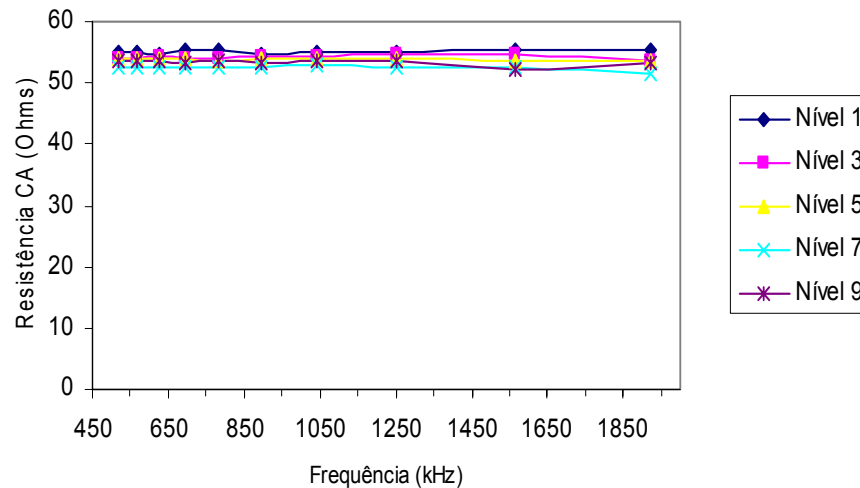


Figura 5-6 – Gráfico das medidas com osciloscópio da resistência CA de R2 com F e V variáveis, mostrando o desvio das medidas nos diversos níveis de excitação.

5.5 Medida com Nova Montagem

Com o objetivo de verificar se é mantida a coerência com o instrumento de referência, optamos por refazer as medidas utilizando uma montagem em Placa de Circuito Impresso (PCI) de fibra de vidro, cujo “layout” vemos na Figura 5-7 . As medidas serão igualmente feitas com o sistema desenvolvido e com o osciloscópio, que estamos utilizando como referência.

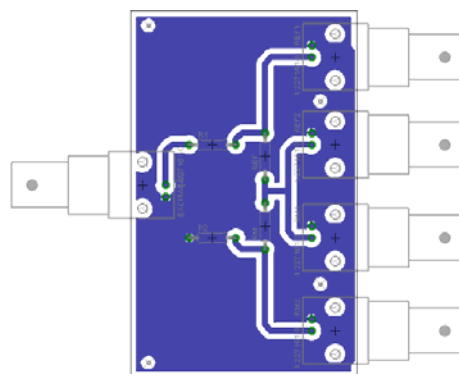


Figura 5-7 – PCI para novas medidas.

5.5.1 Medidas com o Sistema Desenvolvido

As medidas foram feitas com constante de tempo (CT) de 40us. As Figura 5-8 e Figura 5-9 mostram os resultados das medidas com esta nova montagem.

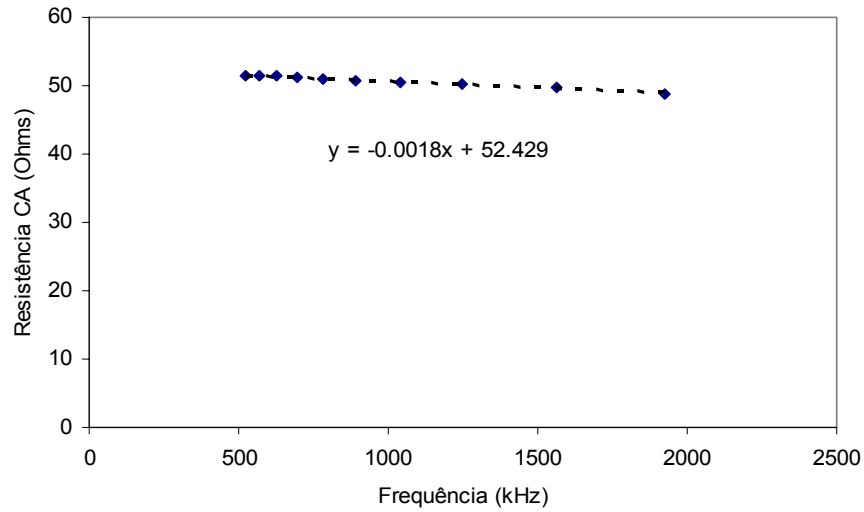


Figura 5-8 - Medidas utilizando a nova montagem, com CT = 40us e nível de sinal 7. A equação mostra a inclinação da linha de tendência e a previsão para CC.

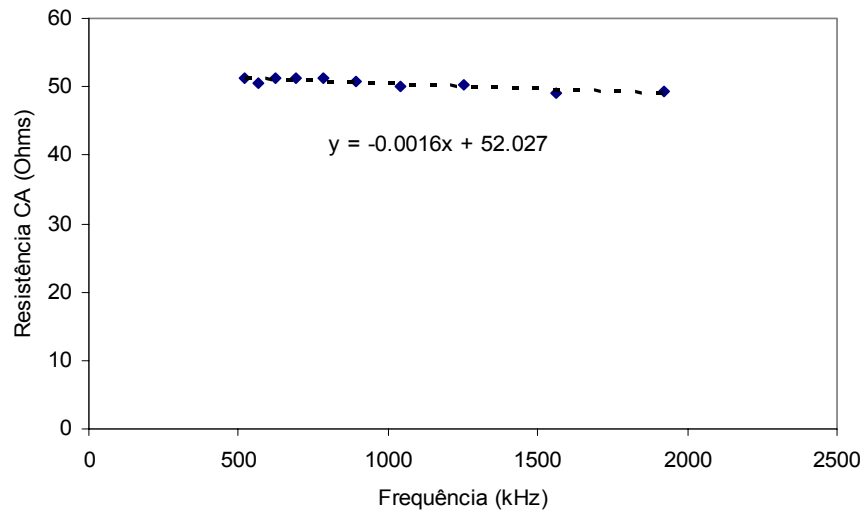


Figura 5-9 – Medidas utilizando a nova montagem, com CT = 40us e nível de sinal 1. A equação mostra a inclinação da linha de tendência e a previsão para CC.

5.5.2 Medidas com o Osciloscópio

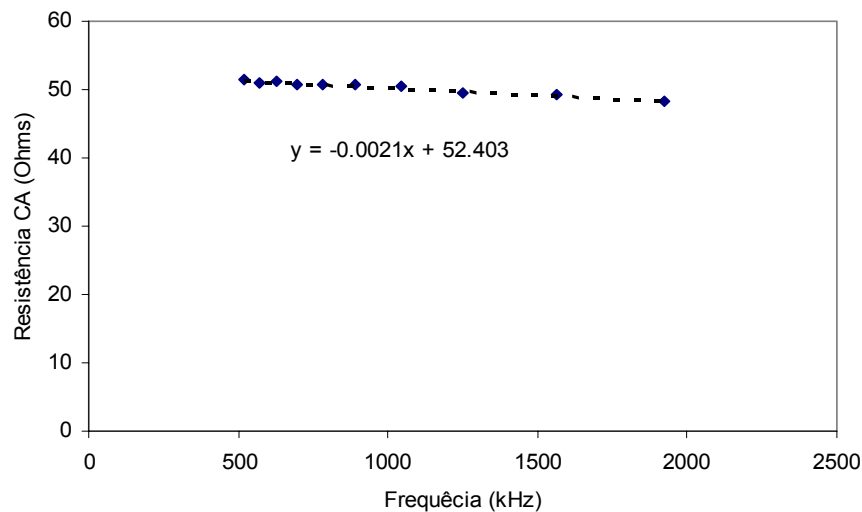


Figura 5-10 – Medida com o osciloscópio, filtro em 128 médias e nível de sinal 7. A equação mostra a inclinação da linha de tendência e a previsão para CC.

Os resultados apontam para um efeito capacitivo introduzido pela montagem, levando o valor médio das três medidas para $50.3\Omega \pm 0,2 \Omega$. Observamos que as medidas feitas com o osciloscópio que é a nossa referência, permanecem coerentes com os resultados obtidos pelo sistema desenvolvido.

5.6 Análise do Sinal Medido

Como mencionamos na seção 5.3.1 (Figura 5-4), há reatâncias parasitas inerentes ao componente. Estas reatâncias podem ser influenciadas também pelo sistema de medidas através de cabos, ponteiras e montagem, sendo estes cuidados críticos em uma medida efetiva. Para uma avaliação do processamento do sistema sem a influência destes parâmetros, utilizamos o recurso *signaltapII*, fornecido pela ALTERA no programa *QuartusII*. Este recurso nos permitiu inserir ‘nodes’⁸ de 12 bits na saída dos dois conversores A/D e também um ‘node’ de 12 bits na saída do registro onde armazenamos o resultado convertido do processamento do sinal a cada CT (constante de tempo). Os primeiros dois ‘nodes’ capturam em “tempo real” os sinais digitalizados por cada conversor A/D que serão medidos pelos Lock-Ins e o terceiro captura o valor calculado disponibilizado no registro de memória, que armazena a informação até que outra CT seja processada. Foi utilizado o sistema com CT=40µs e processamento de 10 ciclos do sinal de entrada nos dois canais. São mostradas na Tabela 5.9 as aquisições para as frequências de 520 kHz, 781.3 kHz e 1.9 MHz. Os valores apresentados para os conversores A/D são os valores de pico, uma vez que o valor medido é o valor de pico do sinal de entrada. A Figura 5-11 e Figura 5.12 mostram graficamente os dados correspondentes à frequência de 1.9 MHz.

⁸ Nodes são os “nós” de captura configurados com a quantidade de bits do sinal capturado.

Frequência	AD ₁	Registro de saída	% erro	AD ₂	Registro de saída	% erro
520.83	953	941	1,3	332	330	0,6
781.25	866	857	1,0	302	300	0,7
1923.08	726	721	0,7	252	252	0,0

Tabela 5.9 – São mostrados os valores de pico dos sinais digitalizados e quantizados pelos conversores AD1 e AD2, os valores medidos pelo sistema e o erro percentual de cada medida.

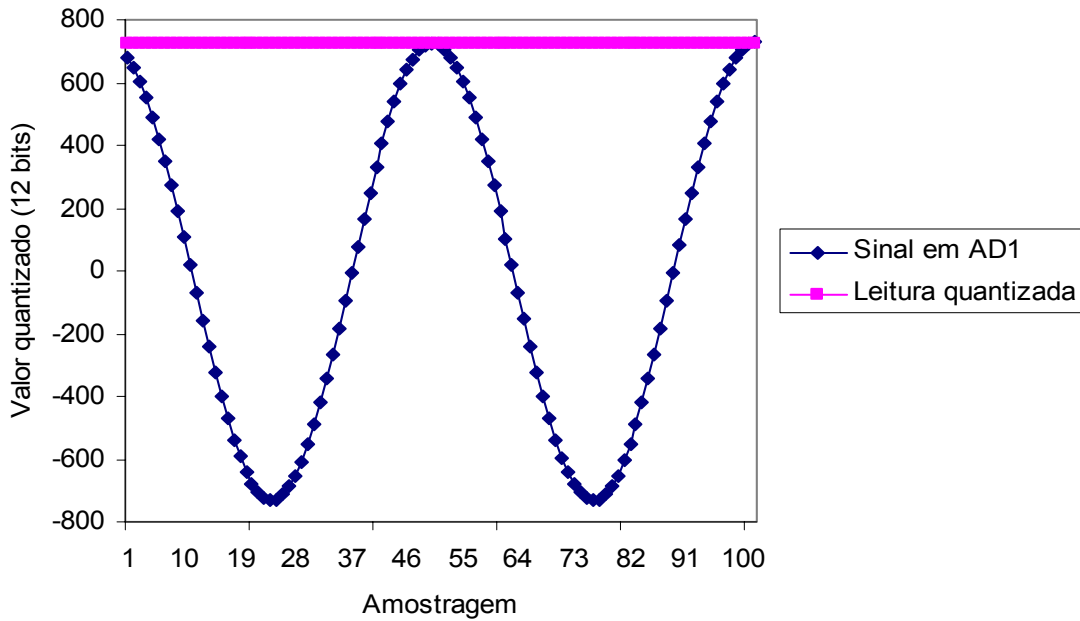


Figura 5-11 – Gráfico dos valores do conversor AD1 e do valor calculado pelo sistema, adquiridos em “tempo real” para a frequência de 1.9 MHz.

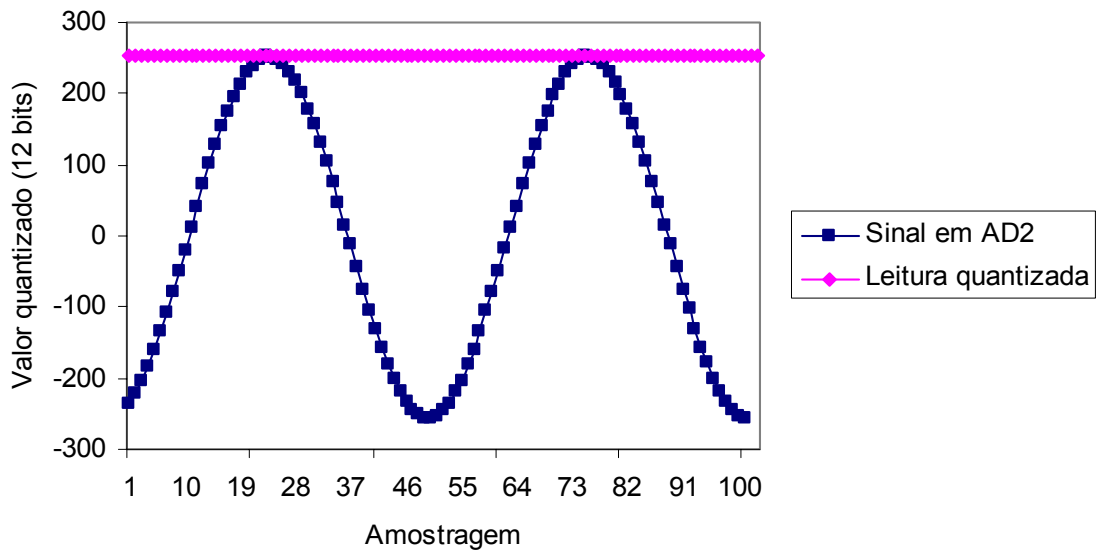


Figura 5-12 – Gráfico dos valores do conversor AD2 e do valor calculado pelo sistema, adquiridos em “tempo real” para a frequência de 1.9 MHz.

5.7 Conclusões

Foram feitas medidas de resistência com o sistema de medidas de resistência CA projetado e com um Osciloscópio na faixa de frequências e tensões fornecidas pelo próprio sistema implementado, a ser viabilizado.

Os valores Real (U_1) e Imaginário (U_2) do sinal medido no sistema projetado são processados de forma a disponibilizar o módulo correspondente ao valor do de pico deste sinal em μV . Estes valores (U_1 e U_2) também podem ser disponibilizados nos pinos de saída da FPGA para processamento externo.

Os valores médios obtidos foram de $54,7\Omega \pm 0,2\Omega$ com o sistema desenvolvido e de $53,3\Omega \pm 0,9\Omega$, com o osciloscópio, apontando para um aumento da resistência ao utilizarmos corrente alternada (CA). Podemos observar nas Tabela 5.7 e Tabela 5.8, que os dados obtidos pelo Sistema de Medidas e Osciloscópio estão em acordo, ou seja, na frequência mínima (520 kHz) o osciloscópio apresentou $R_2 = 53.8\Omega \pm 0.8\Omega$ estando as medidas do sistema projetado inseridas neste intervalo: $R_2 = 54.3\Omega \pm 0.2\Omega$. Na frequência máxima (1923 kHz) o osciloscópio apresentou $R_2 = 53.4\Omega \pm 1.4\Omega$ estando as medidas do sistema desenvolvido também inseridas neste intervalo: $R_2 = 55.7\Omega \pm 0.3\Omega$ (intervalo de 3*desvio padrão).

Nas medidas com a nova montagem(Figura 5-7), o osciloscópio, que é nosso instrumento de referência, manteve-se coerente com as medições efetuadas com o sistema de medidas.

Desvios padrão referentes a variações de baixa frequência em relação a nossa banda de interesse, não foram detectados com as médias das 20 aquisições que utilizamos para compor a constante de tempo total do sistema. Desejável a implementação de maiores constantes de tempo. O desvio nulo, apresentado em algumas medidas, ocorreu no “ponto cego” do instrumento, onde as variações não puderam ser discriminadas por ter sido atingido o limite de resolução do conversor A/D. O sistema de medidas operou com fundo de escala constante em 2Vpp, mesmo nas medidas de nível mais baixo, por não haver neste protótipo recurso para alterar convenientemente estes limites, sendo então as medidas efetuadas com mínima sensibilidade e maior reserva dinâmica para valores menores que podemos inferir pela maior precisão apresentada por AD_2 na Tabela 5.9. A reserva dinâmica mínima e máxima do sistema é um parâmetro, expresso em dB, que deve ser medido experimentalmente, para avaliar futuras melhorias.

Outro ponto crítico que pode ser melhorado é a inserção de um amplificador de acoplamento com opção de entrada aterrada ou flutuante e opção para entrada de corrente para fontes de sinal de alta impedância; aumento da impedância de entrada e da rejeição de modo comum dos amplificadores de instrumentação (CMRR⁹) na entrada flutuante. Desejável também maior linearidade na banda de frequências mais alta, controle digital

⁹ CMRR - Taxa de Rejeição de Modo-Comum (*Common-Mode Rejection Ratio*) – A CMRR descreve a habilidade de um amplificador diferencial de rejeitar sinais de interferência comuns para ambas as entradas, e amplificar somente a diferença entre as entradas. O CMRR é a comparação entre o ganho de modo-normal e o ganho de modo-comum, e é normalmente expresso em dB. Quanto maior o CMRR, melhor o amplificador elimina o ruído presente em ambas as entradas.

de ganho e filtragem centrada na banda de frequências de interesse da medida que estiver sendo efetuada para aumentar a reserva dinâmica.

Também desejável uma otimização na montagem, efetuando-a bem próxima, se possível na mesma blindagem do circuito de acoplamento, cuidando para que as duas conexões para a entrada diferencial sejam praticamente idênticas (CMRR), percorrendo o mesmo caminho entre o experimento e o Lock-In. Evitar grandes áreas fechadas delimitadas pelos cabos (indução magnética) bem como malhas (“loops”) de terra que podem gerar interferência de modo comum na frequência de referência do Lock-In. Recomendável entrelaçar os cabos que conduzem o sinal diferencial para reduzir ainda mais as interferências por indução, especialmente aquelas na frequência do sinal de referência.

6 Experimento de Magnetoresistência CA com Filme Fino

6.1 Motivação

Nos últimos anos o desenvolvimento de novas técnicas de produção de materiais tem levado ao surgimento de novas linhas de pesquisa avançada em materiais, resultando na determinação de propriedades físicas relevantes e novas [27]. A descrição destas propriedades físicas tem levado ao desenvolvimento de modelos teóricos os quais muitas vezes questionam paradigmas da física da matéria condensada [28].

Dentre estas técnicas merecem destaque as relacionadas à produção de filmes finos ou espessos. Em geral estas técnicas usam um objeto “target” a partir do qual são obtidas, mediante diversas técnicas, diferentes espécies atômicas que são depositadas sobre um substrato. Este processo é realizado dentro de uma câmara especial mantida em condições controladas de diversos parâmetros como pressão, temperatura, etc. O próprio controle destes parâmetros abre toda uma gama de possibilidades de obtenção de materiais com diferentes propriedades físicas e representa um campo de pesquisa atual não só no centro brasileiro de pesquisas físicas, como em outros institutos de pesquisa no país e ao redor do mundo. Finalmente cabe destacar que a tecnologia associada a filmes finos representa uma nova abordagem quanto às oportunidades tecnológicas para a eletrônica moderna. De fato, o nível de compactação, onde milhões de transistores são incorporados em chips cada vez menores é consequência direta da tecnologia de filmes finos.

Conforme apontado anteriormente as propriedades de um material na forma de filme diferem substancialmente das propriedades do mesmo material na sua forma maciça ou policristalina. Exemplos do anterior são a dependência da temperatura crítica com a espessura encontrada em alguns filmes supercondutores [29], fenômenos ou efeitos magnéticos encontrados em multicamadas magnéticas como o efeito de magnetoresistência gigante [30] (explorado atualmente em sistemas para armazenamento de dados) e *exchange bias* [31], entre outros. Deve se notar que a relação superfície volume em filmes finos é totalmente diferente da encontrada em materiais poli cristalinos maciços, sendo este fato, por si só, um elemento essencial o qual modifica o comportamento destes filmes levando a uma dependência das propriedades físicas com relação a sua espessura.

Motivado por todo o anterior escolhemos um sistema físico em forma de filme fino para testar o nosso sistema experimental. Especificamente foram feitas medidas de magneto resistência CA em multicamadas magnéticas do sistema: $[P_yCo/Cu]_{20}$ (Ref: 1347)¹⁰ e $[PY/Ru]_{20}$ (Ref:1845)¹¹ onde P_y (Permaloy) = $Ni_{81}Fe_{19}$ e filme de Tântalo¹².

O sistema desenvolvido utiliza Lock-Ins cujo processo de detecção síncrona permite detectar sinais de baixa relação Sinal/Ruído e integra as funcionalidades de voltímetro CA de alta frequência, gerador de sinais e sistema de controle, configurados de acordo com o experimento no qual buscamos verificar se conseguimos detectar o efeito de magneto-resistência em filmes finos [32] [33].

6.2 Descrição do Experimento

O experimento é uma medida em quatro pontas que consiste na excitação de uma amostra de filme fino com frequência e amplitude fixa e uma varredura de campo magnético (i.e. corrente em uma bobina) a fim de medir a tensão sobre a amostra para diferentes valores do campo (Figura 6-1). Para gerar o campo magnético variável utilizamos uma bobina a qual foi construída no laboratório. Um fio de cobre de 0.4 mm foi enrolado num cilindro oco de Alumínio. A bobina foi desenhada de forma a diminuir os efeitos de borda na mesma. A característica campo magnético-corrente da bobina foi linear conforme esperado, e os perfis horizontal e vertical do campo magnético gerado foram também determinados. As medidas em campo magnético foram realizadas ao longo de um platô de campo no centro da bobina muito bem caracterizado.

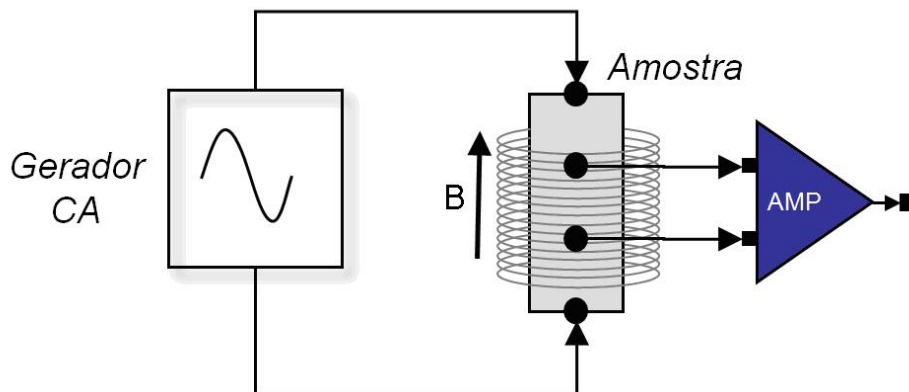


Figura 6-1 – Diagrama do experimento mostrando o gerador de CA excitando a amostra imersa no campo B e a tensão na amostra sendo aplicada a um amplificador de instrumentação.

A amostra foi introduzida em um suporte (Figura 6-2) com contatos nos extremos e no centro configurando o método de quatro pontas.

¹⁰ Si(100)/ $Ni_{81}Fe_{19}$ (5,4nm)/Cu(0,9nm)/[Co(0,5nm)/ $Ni_{81}Fe_{19}$ (1,6nm)/Co(0,5nm)/Cu(0,9nm)]₂₀/Co(0,5nm)/ $Ni_{81}Fe_{19}$ (1,6nm)

¹¹ Si(100)/Ru(5nm)/[NiFe(5nm)/Ru(1,3nm)]₂₀/Ta(5nm)

¹² Ta(30nm)

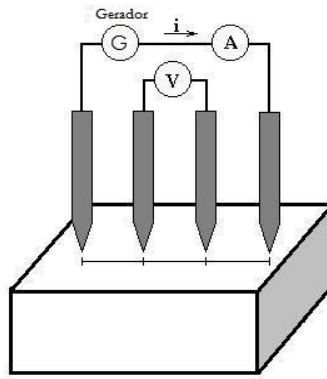


Figura 6-2 – Diagrama do suporte onde foi introduzida a amostra de filme fino. Vemos indicados o gerador (G) que produz a corrente i na amostra, e a tensão V no centro da mesma.

6.3 Aplicação do Sistema Desenvolvido para o Experimento

Na Figura 6-3 é mostrado o diagrama do sistema desenvolvido para esta medida. A tensão flutuante V e a tensão de excitação (Figura 6-1 e Figura 6-2) são aplicadas aos conversores AD da placa de desenvolvimento através dos amplificadores de instrumentação do circuito de acoplamento, servindo a segunda de referência para o Lock-In. A fonte DC, variável, fornece corrente à bobina L1 para gerar o campo magnético em seu interior, onde está imersa a amostra.

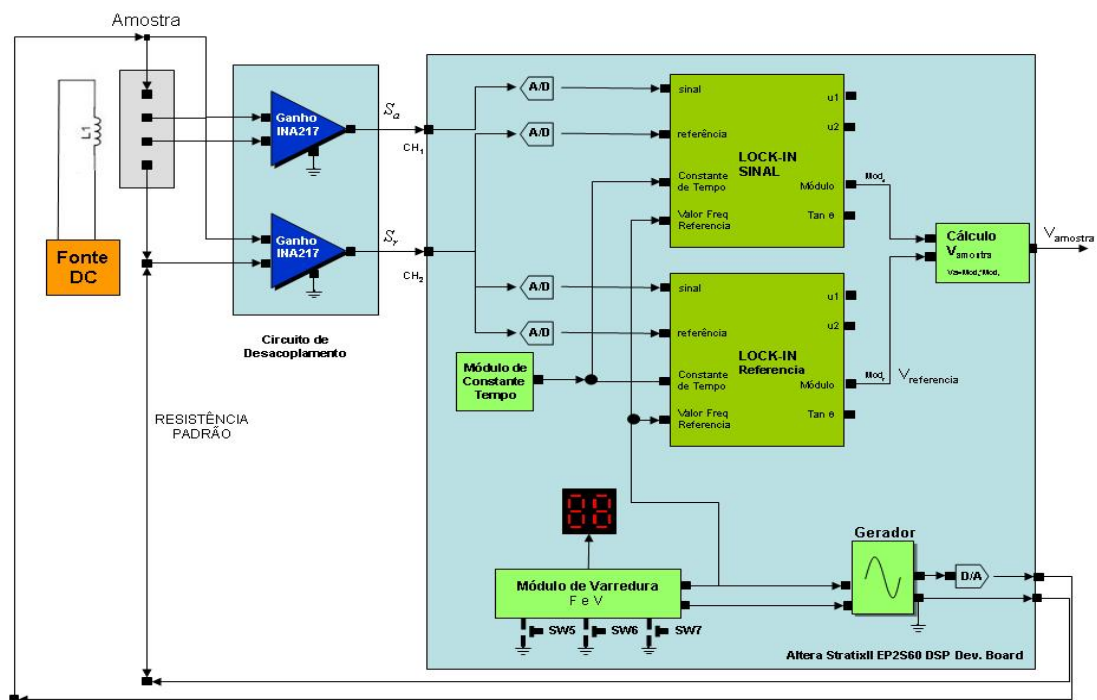


Figura 6-3 - Diagrama do sistema desenvolvido no Kit EP2S60 da ALTERA para a medição de magnetoresistência CA.

A utilização de referência externa foi preferencial com o objetivo de simular as condições mais reais nas quais são efetuadas medidas deste tipo nos laboratórios. O segundo Lock-In mede o módulo do sinal de referência externo que é utilizado pelo primeiro Lock-In (equação 6-1) para medir o módulo da tensão desenvolvida sobre a amostra.

$$V_{Amostra} = \left(q \times \frac{2 \times Mod_{amostra}}{\sqrt{Mod_{ref}/2}} \right) \quad (6-1)$$

Onde q é a constante de quantização ($2\text{Volts}/2^{12}$) para o conversor A/D de 12 bits com fundo de escala em 2Volts. $Mod_{amostra}$ e Mod_{ref} são os resultados do processamento digital do sinal da amostra e do sinal de referência, respectivamente.

O valor final é apresentado pelo sistema em μV e/ou em valor quantizado, isto é, $V_{Amostra}$ antes da multiplicação por q .

O valor processado fica armazenado em um registro, sendo atualizado a cada constante de tempo.

6.4 Medidas com as Amostras

Uma vez que multicamadas de alta qualidade puderam ser fabricadas, recomeçou o interesse nesta área. No ano 1986 Grünberg e colaboradores demonstraram um acoplamento antiferromagnético entre as magnetizações de duas camadas de Fe separadas por Cr [34]. Salomon e colaboradores observaram um alinhamento antiparalelo das magnetizações das camadas ferromagnéticas (FM) em multicamadas Dy/Y [35] e Majkrzak e colaboradores observaram o mesmo efeito em multicamadas Gd/Y [36]. Posteriormente, em 1988, M. Baibich e colaboradores descobriram a magnetoresistência gigante (GMR) em multicamadas Fe/Cr, e a relacionaram com um alinhamento antiparalelo entre as magnetizações das camadas de Fe. A GMR se refere a uma dependência da resistividade da amostra com um campo magnético aplicado. A dependência com o campo pode ser indireta, por exemplo, como acontece em multicamadas com GMR, onde a resistência depende da orientação relativa das magnetizações. Se as magnetizações das camadas FM são antiparalelas para campo aplicado igual a zero devido a um acoplamento antiferromagnético, um campo aplicado pode superar o acoplamento e alinhar as magnetizações em forma paralela. Esta mudança em alinhamento conduz a uma mudança na resistência (GMR).

As oscilações do acoplamento de troca, em função do separador não magnético, foram reportadas por Parkin em 1990. Oscilações do acoplamento de troca foram observadas através do comportamento oscilatório da GMR e da magnetização de saturação em função da espessura das camadas não magnéticas. Estas oscilações não foram devido às variações nas propriedades de transporte, mas sim devido às variações no acoplamento entre as camadas FM. Para algumas espessuras o acoplamento foi ferromagnético, favorecendo

um alinhamento paralelo das direções da magnetização das camadas. Para essas espessuras não houve mudanças no alinhamento relativo das magnetizações quando um campo magnético foi aplicado e assim, a magnetoresistência foi nula. Nosso objetivo não é aprofundar nestes tópicos. Informações adicionais podem ser encontradas em [33].

6.4.1 Considerações sobre a Preparação

A técnica empregada para preparar as amostras multicamadas foi a pulverização catódica por *magnetron* e o equipamento usado para o crescimento desses filmes foi o sistema *Magnetron Sputtering* do CBPF. Configuração típica adotada consiste no crescimento sobre substratos de Si(100) monocristalino com polimento nas duas faces marca-KDB-75, dopagem tipo p, resistividade de 7,5 Ω .cm, espessura de 460 μ m e diâmetro de 10 cm. Antes da preparação dos filmes, estes substratos foram cortados em pedaços de 10 mm X 10 mm. O procedimento e condições para a preparação e limpeza dos substratos seguem uma rotina desenvolvida no próprio laboratório. No caso dos substratos de Si, primeiro se faz uma limpeza com água de-ionizada e sabão líquido neutro (denominado *extran*) usando uma máquina de ultrassom durante aproximadamente dez minutos (eliminando possíveis sujeiras e gorduras da superfície). Logo após se faz o enxágüe dos substratos com água de-ionizada, para depois repetir o procedimento anterior com acetona, reduzindo as gorduras residuais. Os substratos limpos são submersos em álcool isopropílico (98 \pm) e são mantidos assim até o momento da colocação dentro da antecâmara do sistema *magnetron sputtering*. Maiores detalhes, quanto ao procedimento de limpeza dos substratos, podem ser encontrados nas referências [37] [38].

6.4.2 Resultados esperados

De acordo com o anterior, uma vez que a magnetização das camadas FM da amostra de ref:1347 é antiparalela, foi esperada variação da resistência com o campo aplicado, ao contrário da amostra multicamada de ref:1845 cujo acoplamento ferromagnético entre as camadas favoreceu um alinhamento paralelo nas direções de magnetização das mesmas.

6.4.3 Medidas com Amostra [Py/Ru]₂₀ (Ref:1845)

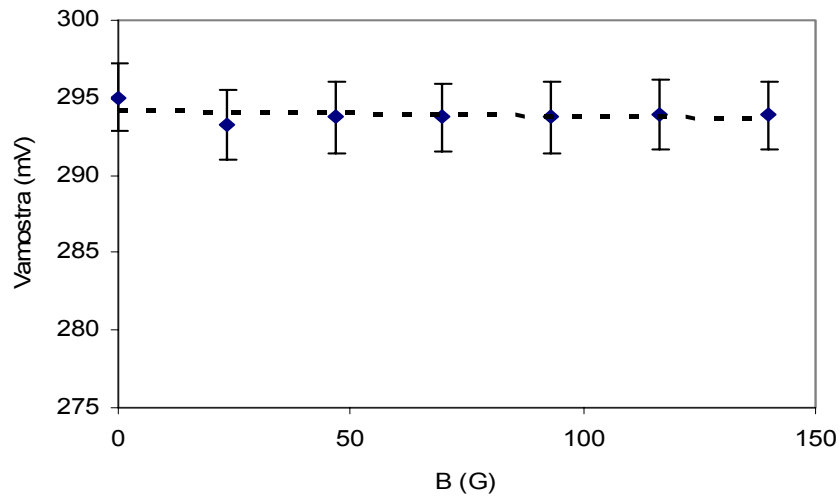


Figura 6-4 - Gráfico com as medidas na amostra 1845, na frequência de 520 kHz, em função do campo magnético.

As medidas com esta amostra não apresentaram variação significativa da tensão em função do campo aplicado, como podemos verificar com o auxílio da linha guia tracejada. Pode se notar que as variações na voltagem da amostra estão dentro da barra de erro da experiência. A barra de erro foi determinada (sobre 50 amostragens). As medidas foram realizadas a temperatura ambiente.

6.4.4 Medidas com Amostra Tântalo

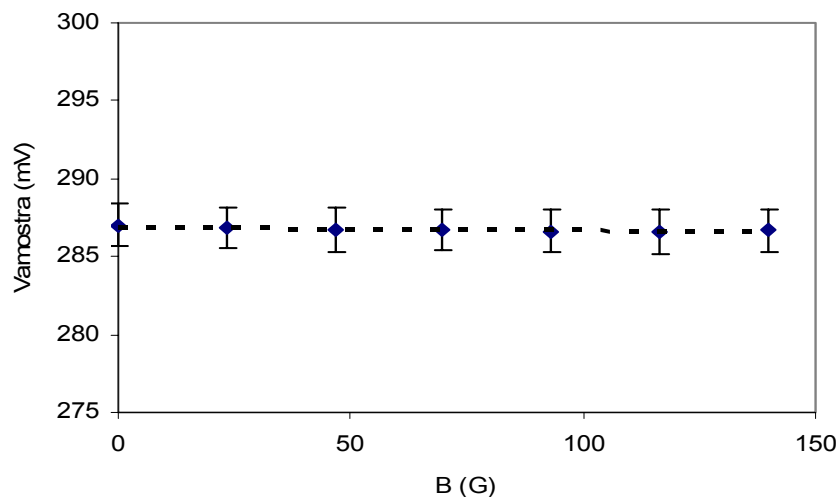


Figura 6-5 – Gráfico com as medidas na amostra tântalo, na frequência de 520 kHz, em função do campo magnético.

Neste caso também foi constatada a não dependência do sinal medido com o campo magnético aplicado sobre a amostra, como podemos verificar com o auxílio da linha guia tracejada. As barras de erro foram determinadas (sobre 50 amostragens). As medidas foram realizadas a temperatura ambiente.

6.4.5 Medidas com Amostra [PyCo/Cu]₂₀ (Ref: 1347)

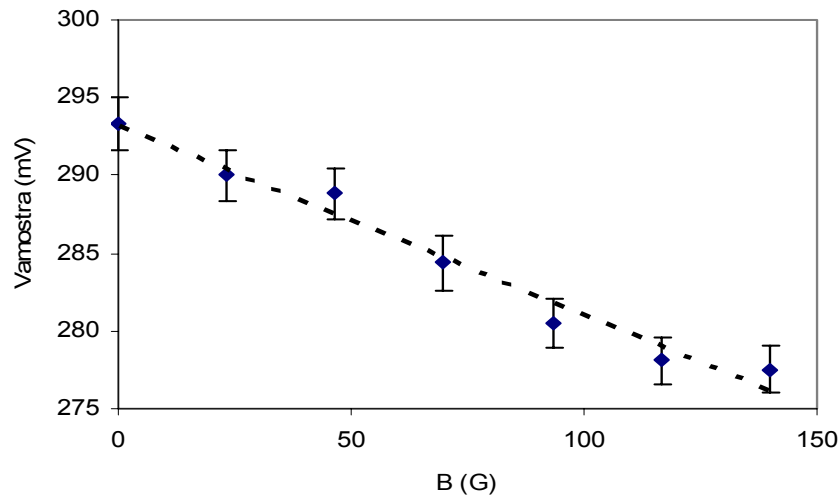


Figura 6-6 – Gráfico com as medidas na amostra 1347, na frequência de 520 kHz, em função do campo magnético.

Nesta amostra o campo magnético diminui o valor da magnetoresistência (queda de tensão) conforme mostrado na Figura 6.6. Pode se constatar também que esta dependência é linear, ao menos na faixa de campos usados neste estudo. A linha tracejada representa um ajuste linear da voltagem da amostra em função do campo magnético. As medidas foram realizadas a temperatura ambiente.

6.4.6 Medidas Normalizadas com Amostra [P_yCo/Cu]₂₀(Ref: 1347) em Frequência e Campo Variáveis

Uma questão que pode ser abordada em nosso trabalho diz a respeito da dependência da magnetoresistência elétrica com a frequência do sinal de excitação. Para este fim, e levando em consideração que a amostra [PyCo/Cu]₂₀ apresentou um efeito marcado do campo magnético na resistência elétrica da amostra, efetuamos medidas em frequências diferentes da magnetoresistência desta amostra multicamada. Os resultados experimentais são apresentados na Figura 6-7 onde os valores foram normalizados pelo valor máximo (valor máximo/valor) para facilitar a comparação.

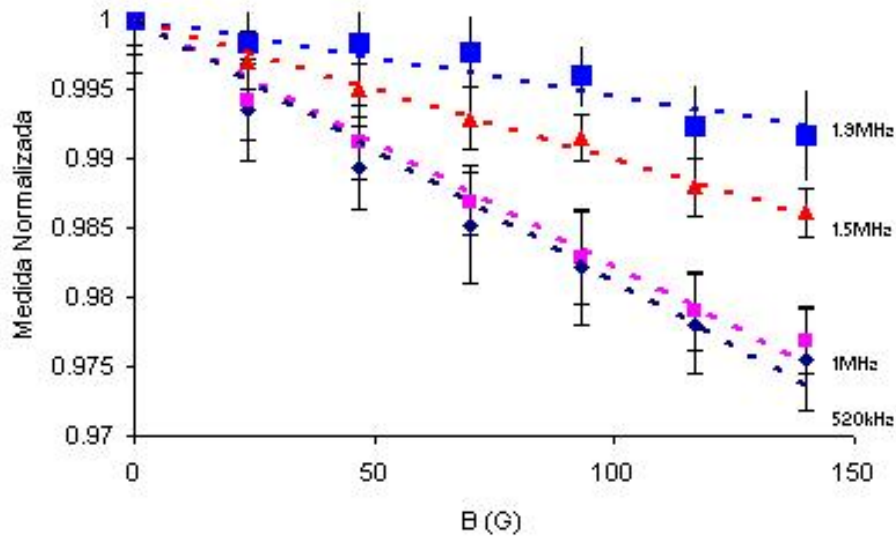


Figura 6-7- Gráfico com as medidas de magnetoresistência da amostra 1347 (valores normalizados) para as frequências de 520 kHz, 1 MHz, 1,5 MHz e 1,9 MHz, em função do campo magnético.

Da figura anterior pode se observar que a dependência linear da magnetoresistência é mantida, porém a intensidade do efeito diminui conforme a frequência aumenta. Destacamos que não é nosso interesse identificar as causas físicas que levam a este comportamento, e sim destacar as possibilidades experimentais da instrumentação desenvolvida para identificar fenômenos físicos relevantes a estes materiais. Todas as medidas foram realizadas a temperatura ambiente.

6.4.7 Repetição das medidas com fragmento da amostra e campo invertido

A Figura 6.8 e Figura 6.9 mostram os resultados de novas medidas realizadas em um fragmento desta amostra. Para estas medidas a amostra foi fixada em uma placa de fenolite com um resistor de filme em série e submetidas à excitação nos extremos da faixa de frequências de interesse. O campo magnético aplicado foi invertido em relação ao sentido adotado nos experimentos anteriores.

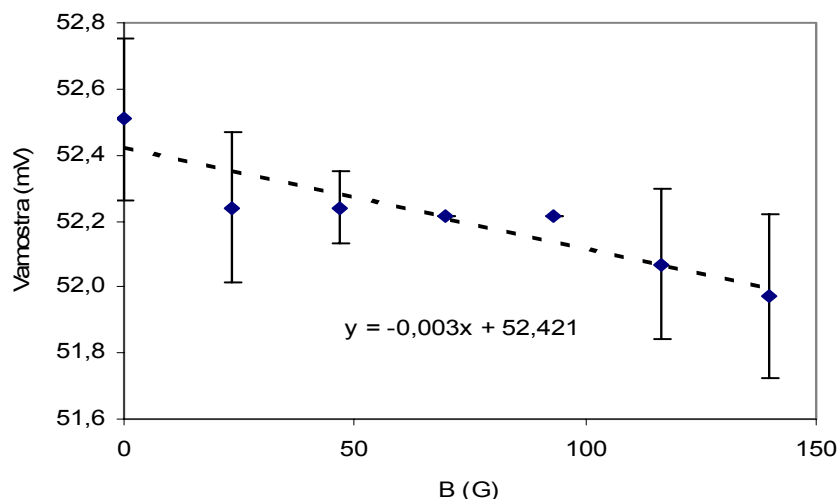


Figura 6-8 - Gráfico com as medidas em fragmento da amostra 1347, na frequência de 1.9 MHz, em função do campo magnético.

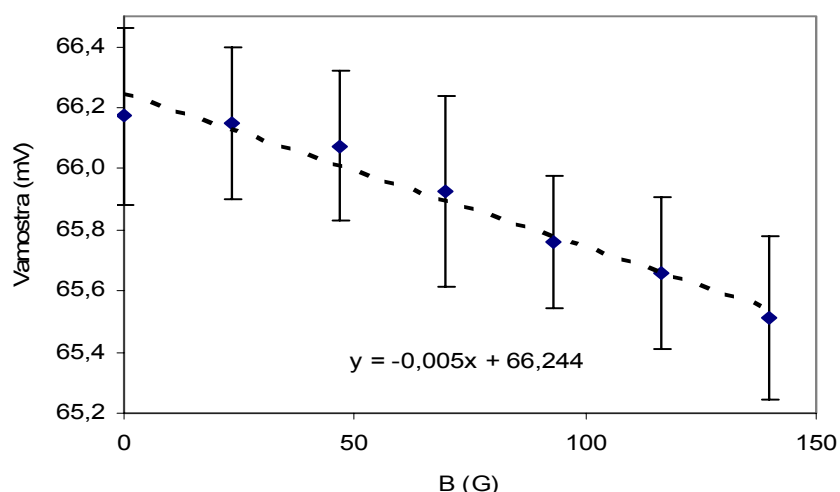


Figura 6-9 - Gráfico com as medidas em fragmento da amostra 1347, na frequência de 520 kHz, em função do campo magnético.

Das figuras anteriores, realizadas a temperatura ambiente, continuamos a observar a dependência linear da magnetoresistência com o campo magnético invertido, como era esperado pelas considerações teóricas e práticas, ao observar-se na Figura 6.10 o resultado da medida de magnetoresistência para uma amostra multicamada similar obtida no laboratório de sputtering do CBPF em 2007. A dependência com a frequência também se manteve, como podemos verificar pela inclinação das equações y que representam o ajuste linear nas Figuras 6.8 e 6.9.

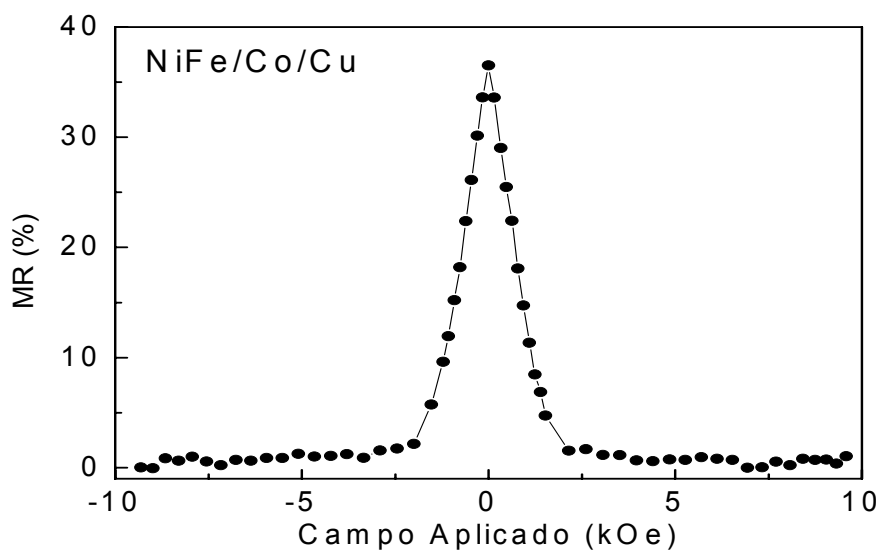


Figura 6-10 – Gráfico da Magnetoresistência (MR(%))¹³ versus Campo aplicado na amostra¹⁴ Ref. 1350.

6.5 Conclusões

Foram feitas medidas de magnetoresistência CA com o sistema de medidas projetado. A frequência do gerador foi fixada em 520 kHz e foi utilizada uma fonte CC para gerar a corrente na bobina em cujo campo a amostra foi inserida, fixada por um suporte. Posteriormente, as medidas para a amostra [yCo/Cu]₂₀ (Ref: 1347) foram repetidas para as frequências de 520 kHz, 1 MHz, 1,5 MHz e 1,9 MHz.

Verificamos que os filmes de [Py/Ru]₂₀ (Ref: 1845) e tântalo não apresentam variação significativa da resistência elétrica com a variação do campo. Já a amostra [PyCo/Cu]₂₀ (Ref: 1347), com magnetização antiparalela das camadas, apresentou uma queda de tensão proporcional ao aumento do campo magnético aplicado, sendo este efeito mais intensamente observado nas frequências mais baixas. Contudo, sugerimos que convém rever este último resultado com um amplificador que apresente resposta linear nesta faixa de frequências, pois o efeito pode ser decorrente da atenuação às frequências mais altas imposta pelo circuito de desacoplamento, como visto no capítulo 3.

Neste ponto fazemos algumas sugestões com vistas a melhorar o sistema experimental projetado. Um amplificador (“buffer”) deve servir de interface após o conversor D/A, para excitar a amostra. O suporte utilizado para fixar a amostra deve ser melhorado para não apresentar folgas nem tampouco capacitâncias nos pontos de contato. Cabos mais curtos e bom aterramento, se possível com a montagem próxima e na mesma blindagem do amplificador são desejáveis para medidas com menos ruídos e interferências. Também seria desejável uma estrutura que permitisse otimizar a eficiência da

¹³ $MR(\%) = ((R_H - R_0)/R_0) \times 100$. Onde R_H e R_0 são as resistências com campo e sem campo respectivamente.

¹⁴ Si(100)/Ni₈₁Fe₁₉(5,4nm)/Cu(0,9nm)/[Co(0,5nm)/Ni₈₁Fe₁₉(1,6nm)/Co(0,5nm)/Cu(0,9nm)]₂₀/Co(0,5nm)/Ni₈₁Fe₁₉(1,6nm).

rejeição de modo comum (CMRR), minimizando sua degradação com a frequência e com o desbalanceamento.

Para ilustrar o conceito, mostramos na Figura 6-11 o diagrama de uma interface balanceada representada como uma “ponte”. O desequilíbrio desta ponte, formada pela impedância em modo comum (R_{CM+} e R_{CM-}) de saída (*driver*) e impedância em modo comum (R_{CM+} e R_{CM-}) de entrada (*receiver*), permite que o ruído de modo comum (V_{CM}) seja convertido para um sinal diferencial na linha.

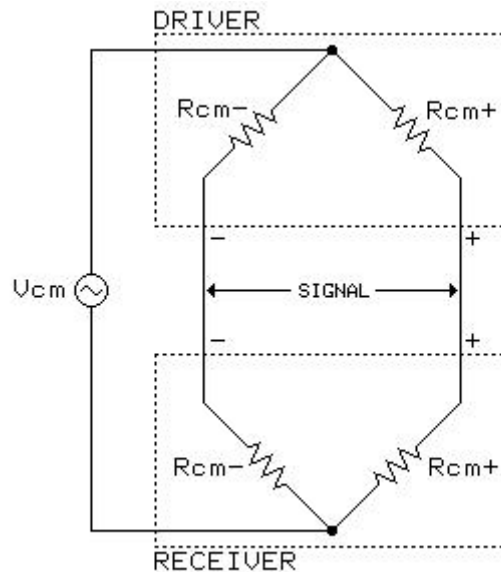


Figura 6-11 – Diagrama da configuração em ponte da interface entre a saída do sinal e a entrada do sinal.

Vale lembrar que para menor sensibilidade ao desequilíbrio, a impedância de modo comum de entrada da etapa receptora (Z_{CM}) deve ser a maior possível em relação à impedância de modo comum de saída (Figura 6-12).

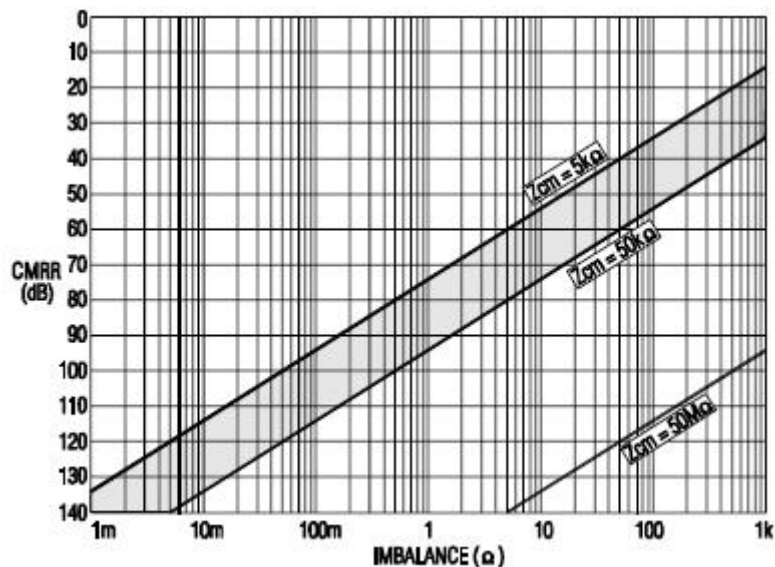


Figura 6-12 - Gráfico mostrando a dessensibilização da rejeição de modo comum (CMRR) ao desbalanceamento da linha de transmissão do sinal proporcionada por uma maior impedância de entrada no receptor.

Um exemplo de um sistema balanceado é visto na Figura 6-13. O sistema é ajustado para que os sinais de modo comum cheguem iguais aos canais A e B, permitindo que sejam eliminados com maior eficiência pelo CMRR (desejável acima de 100 dB) do amplificador diferencial (instrumentação). R_0 são as resistências de contato inerentes ao sistema que buscamos desprezar ao utilizar o sistema de medidas de quatro pontos. Z_1 (variável) é usado com Z_2 para o balanceamento. Fechando a chave de curto, as duas entradas do amplificador ficam no mesmo potencial e a saída obtida é o ganho de modo comum, que pode como mencionado anteriormente ser filtrado pelo Lock-In, desde que se disponha de constantes de tempo suficientemente altas.

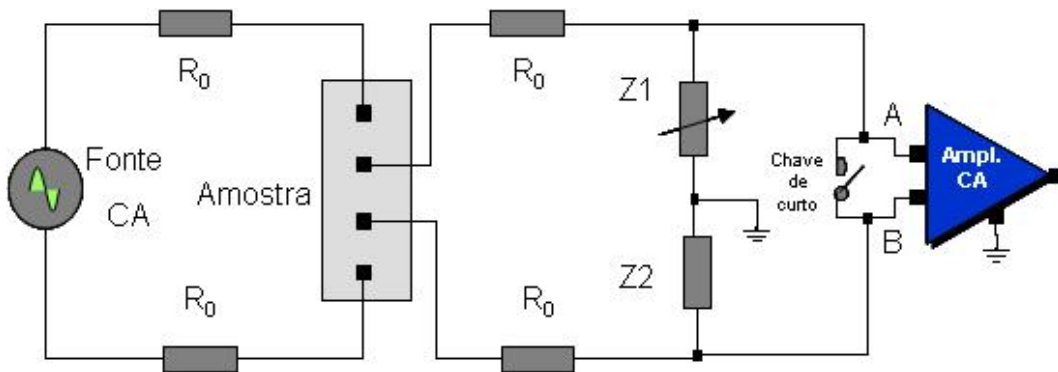


Figura 6-13 - Diagrama esquemático de um sistema balanceado para a transmissão do sinal.

Outro exemplo é a dessensibilização da CMRR pelo método de *bootstrap* (Figura 6-14) que tende a aumentar a impedância de modo comum do receptor ($R_1 + R_2$) para o ruído de modo comum. Este processo tem maior eficiência a partir da terceira harmônica, o que em princípio não traz vantagem para um amplificador Lock-In que apresenta intrinsecamente alta reserva dinâmica.

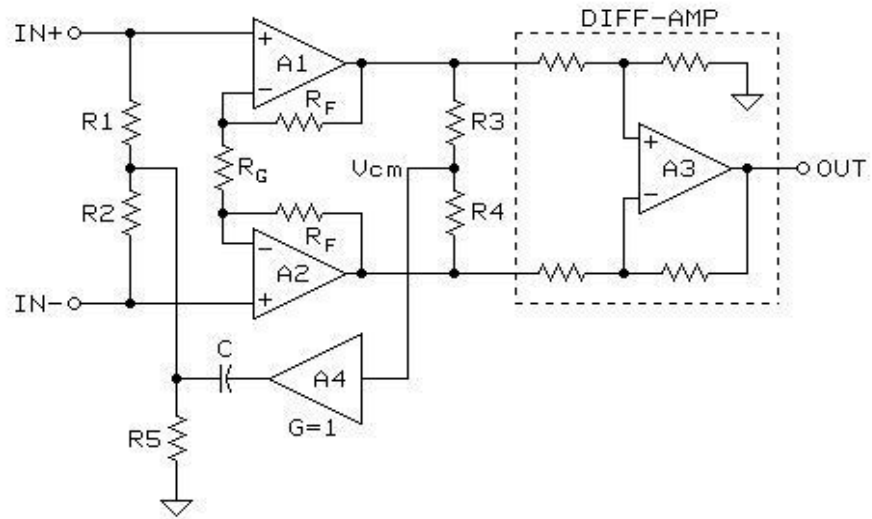


Figura 6-14 – Diagrama esquemático do método bootstrap, que através da redução da corrente através de $R1 + R2$ proporcionalmente à frequência de corte do filtro passa-altas $R5C$ mantém alta CMRR para sinais de modo comum não rejeitados pelo filtro.

7 Conclusão

Diversas atividades foram realizadas nesta tese relacionadas ao desenvolvimento de instrumentação científica na área de eletrônica aplicada à física; montagens de circuitos e equipamentos eletrônicos, concepção de projetos de circuitos com auxílio de computador, programação e desenvolvimento de técnicas de medidas.

Mais precisamente o trabalho de tese foi o desenvolvimento de um sistema de medida de magnetoresistência AC usando técnicas de detecção síncrona com amplificadores Lock-In em DSP. Este novo aparelho permitiu medir propriedades magnéticas de sistemas sólidos (filmes finos com estrutura composta por camadas alternadas de metal ferromagnético e substâncias não magnéticas).

Como características inovadoras deste trabalho, podem ser destacadas: i) desenvolvimento de um instrumento científico baseado na técnica de detecção síncrona utilizando DSP que permite medir pequenos sinais imersos em grande quantidade de ruído; ii) Sistema de medida de resistividade AC e magnetoresistência para a faixa de frequência de 0.5 MHz a 2.0 MHz que permite o estudo de novas propriedades físicas de materiais avançados e iii) possibilidade de aplicação tecnológica na medida da espessura de materiais [40].

Inicialmente foram apresentados os fundamentos matemáticos que servem de base para o desenvolvimento do processamento digital, sendo feita uma análise das características principais de um amplificador digital comercial. Em vista da constante presença de ruídos que podem interferir em um experimento foram apresentadas as principais fontes de ruído e formas de acoplamento destes ruídos ao experimento, sendo enfatizadas as interferências na frequência de referência do Lock-In pelo fato de estes serem interpretados como sinal.

Uma das questões principais tratadas nesta tese foi a necessidade de efetuarmos medidas em sinais “flutuantes” que deveriam ser introduzidos em um sistema com referência à terra. A fim de minimizar interferências causadas por reflexões provenientes de casamento de impedâncias, bem como introduzir uma limitação na banda de frequências, foi desenvolvido um circuito eletrônico de desacoplamento com características cujas funcionalidades e limitações foram analisadas.

Foram implementadas simulações para validar o funcionamento do núcleo do Lock-In (PSD - *Phase Sensitivity Detector*), bem como a sua estrutura que carregados na FPGA formaram o protótipo inicial desenvolvido. Para a programação do Lock-In no DSP foram utilizados módulos de Multiplicação e Acumulação. Foi feita também uma descrição dos principais módulos e apresentado o sistema em linguagem de descrição de hardware (VHDL). Foi desenvolvido um programa automatizado para realizar medidas de validação dos resultados obtidos.

Uma vez validado o Lock-In, foi desenvolvido um programa para executar um experimento de medida de Magnetoresistência CA em amostras de filme fino onde foram instanciados dois Lock-Ins em paralelo. Nestes experimentos foi comprovada a magnetoresistência da amostra com multicamadas NiFe/Co/Cu [Ref: 1347], bem como detectada uma possível dependência com a frequência.

O Lock-In desenvolvido apresentou flexibilidade ao ser adaptado para diferentes experimentos e objetivos, permitindo inclusive que um outro Lock-In completo fosse instanciado por meio do comando de “copiar-e-colar” no Matlab e trabalhasse em paralelo ao primeiro. Esta facilidade de reprogramação do hardware permite várias implementações de mais instâncias de Lock-Ins adicionando outras funções de processamento a instrumentos científicos.

Uma funcionalidade adicional deste tipo de desenvolvimento é a configuração de vários instrumentos para a mesma FPGA. Como a FPGA encontra-se vazia ao ser ligada, i.e. sem função pré-definida, é possível termos diversas configurações de hardware previamente armazenadas em memória não volátil e carregadas na memória do dispositivo (boot) de acordo com a conveniência.

O trabalho com um Kit de desenvolvimento traz muitas facilidades, permitindo aproveitar mais suas funcionalidades durante o projeto, entretanto também impõe limitações que nem sempre são desejáveis, como, por exemplo, a banda de passagem da entrada para os conversores A/D. No caso do Kit da Altera EP2S60, esta entrada é composta de componentes resistivos e reativos do tipo SMD, que introduzem limitantes aos trabalhos em uma faixa mais larga de frequências. Uma adequação foi cogitada, mas a demanda de tempo e riscos impediu que estas limitações fossem contornadas.

Diversas melhorias podem ser realizadas a fim de ampliar o espectro de utilização do instrumento desenvolvido, são elas:

- Aumentar a impedância de entrada e Rejeição de Modo Comum (CMRR) da entrada do amplificador operacional do circuito de desacoplamento a fim de melhorar a linearidade da banda passante suficiente para que sejam introduzidos ganhos sem distorções.
- Montagem do experimento com conexões mais curtas e equidistantes com melhoria na blindagem do circuito de desacoplamento.
- Reduzir e entrelaçar os cabos coaxiais colocados como montagens externas diferenciais.

- Introduzir um amplificador de potência (“Buffer”) na saída autônoma de excitação do sistema, com linearidade na faixa de frequências de interesse.
- Adequar a entrada do conversor A/D da placa de desenvolvimento para a banda de frequências de interesse.
- Efetuar levantamento através de um sistema de medidas adequado para a determinação da reserva dinâmica do sistema.

Por fim, cabe sinalizar que esta aplicação representa só uma parcela ínfima das várias aplicações deste instrumento nas atividades de pesquisa científicas, sendo que atualmente diferentes sistemas experimentais são aprimorados mediante o uso de Lock-Ins.

8 Anexo1

PLACA DE DESENVOLVIMENTO ALTERA STRATIX II EP2S60

O Stratix® II EP2S60 DSP é um kit de desenvolvimento que inclui o dispositivo Stratix II EP2S60 da ALTERA (Figura 8-1). Essa plataforma foi projetada para o desenvolvimento de aplicações de hardware que necessitam de alto desempenho, sendo apropriado para o desenvolvimento de sistemas baseados em DSPs e dispositivos da família Stratix II da Altera.

O kit inclui também um compilador, o DSP Builder, com a biblioteca para o Stratix II EP2S60 DSP e as funções de propriedade intelectual (IP) que permitem o desenvolvimento de algoritmos, simulação, e verificação do código, por meio do MATLAB e do Simulink.

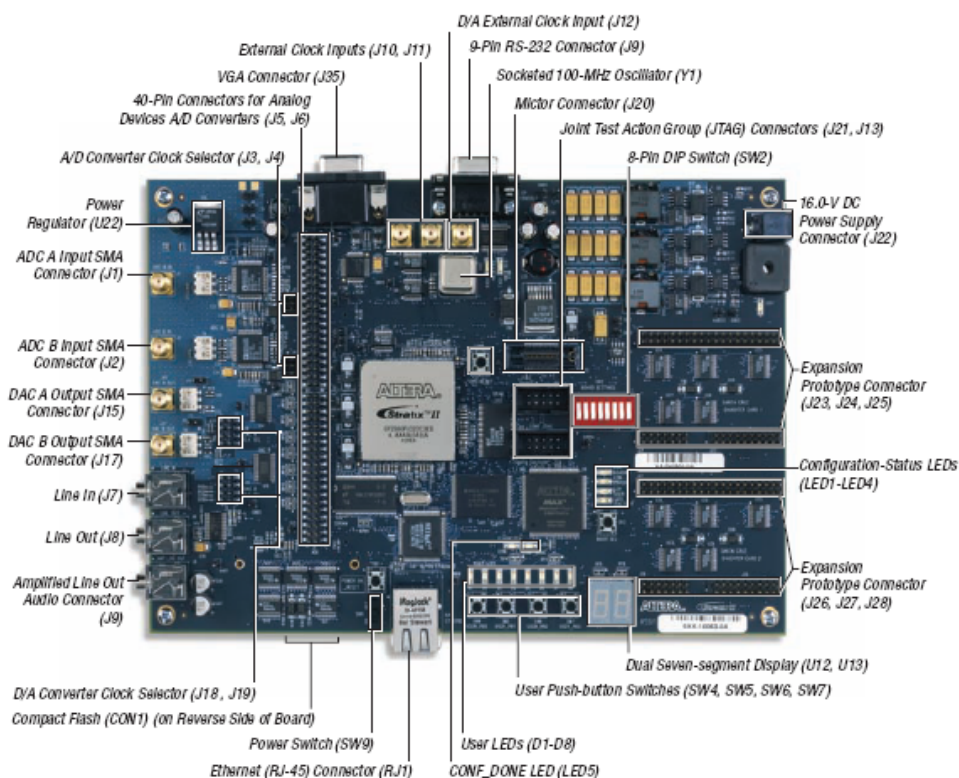


Figura 8-1 – Ilustração da placa de desenvolvimento do Kit Stratix II EP2S60 DSP.

A placa de desenvolvimento do kit Stratix® II EP2S60 DSP oferece as seguintes funcionalidades embarcadas:

COMPONENTES

■ Conversores Analógicos de ESO

- Dois conversores A/D 12 bits 125 MHz;
- Dois conversores D/A 14 bits 165 MHz;
- Três conversores D/A de 8 bits para saída VGA (180 megapixels/s);
- Um codificador/decodificador de 96 KHz stéreo para saída de áudio;

■ Sistema de memória

- 1 MByte de SRAM (10-ns) assíncrona com barramento de 32 bits;
- 16 MBytes de memória flash com barramento de 8 bits;
- 32 MBytes de memória SDRAM com barramento de 64 bits;
- Conector CompactFlash suportando modos de acesso ATA e IDE

■ Opções de Configuração

- Configuração on-board usando 16 MBytes de memória flash (dispositivo Altera® EPM7256 MAX®);
- Configuração por download dos dados usando USB

■ Entrada e saída aterrada ou diferencial acessada via um Mictor connector;

■ Display duplo de sete segmentos;

■ Quatro chaves tipo push-button que podem ter suas funções definidas pelo usuário;

■ Uma entrada RS-232 (conector fêmea de 9-pin);

■ Interface Ethernet 10/100 Mbps;

■ Oito LEDs que podem ser definidos pelo usuário;

■ Oscilador 100 MHz (em soquete);

■ Fonte única de 16V CC

■ Sistema de ventilação ativo

INTERFACES DE DEPURAÇÃO

■ Um conector tipo Mictor para analisadores lógicos Agilent e Tektronix

INTERFACES DE EXPANSÃO

- Dois conectores para placa externa de Conversores A/D
- Conector para placa externa de avaliação da Texas Instruments (TI-EVM)
- Dois conectores de expansão para “prototipagem”.

DISPOSITIVO STRATIX II

O Dispositivo Stratix II do kit EP2S60 tem 24.176 módulos de lógicas adaptáveis (*Adaptive Logic Modules – ALMs*) em uma grade de 1020 pinos (*FineLine BGA*). Esse dispositivo tem 2.544.192 bits de RAM. A Figura 8-2 mostra uma visão geral destes recursos.

Os dispositivos Stratix II contêm uma arquitetura bidimensional baseada em linha e coluna para implementar lógica personalizada. Uma série de interconexões de linhas e colunas de comprimento e velocidade variáveis promovem a interconexão de sinais entre blocos de matrizes lógicas (LABs), estruturas de blocos de memória (M512 RAM, M4K RAM e M-RAM) e blocos de processamento digital de sinais (DSP).

Cada LAB consiste em oito módulos lógicos adaptativos (ALMs). Uma ALM é o bloco básico de modelagem do dispositivo Stratix II, oferecendo eficiente implementação das funções lógicas do usuário. LABs são agrupadas em linhas e colunas através do dispositivo.

Os blocos M512 RAM são simples memórias de dupla entrada com 512 bits mais paridade (576 bits). Estes blocos provêm memória dedicada de duas ou uma entrada até 18 bits de largura até o limite de 500 MHz. Os blocos M512 são agrupados em colunas através do dispositivo entre certas LABs.

Blocos DSP podem implementar até oito multiplicadores 9 x 9 bits, quatro multiplicadores 18 x 18 bits ou um multiplicador de 36 x 36 bits com características de soma ou subtração. Os blocos DSP suportam formatação de arredondamento e saturação nos estágios de multiplicação e acumulação. Estes blocos também contêm registros para aplicações de processamento digital de sinais, incluindo filtros FIR e IIR. Os blocos DSP são agrupados entre colunas através do dispositivo e operam até o limite de 450 MHz.

Cada pino de Entrada/Saída do dispositivo Stratix II é alimentada por um elemento de Entrada/Saída (IOE) localizado no final das linhas e colunas de LABs em torno da periferia do dispositivo. Pinos de entrada e saída (I/O) suportam números padrões aterrados e diferenciais. Cada IOE contém um buffer bidirecional e seis registros para salvar entrada, saída e sinais de controle. Quando usado com clocks dedicados estes registros provêm excepcional performance e suporte de interfaceamento com dispositivos de memória externa como DDR e DDR2 SDRAM. Canais seriais de alta velocidade com alinhamento dinâmico de fase (DPA) suportam transferência de dados até 1 Gbps usando LVDS ou padrões da tecnologia de I/O HyperTransport.

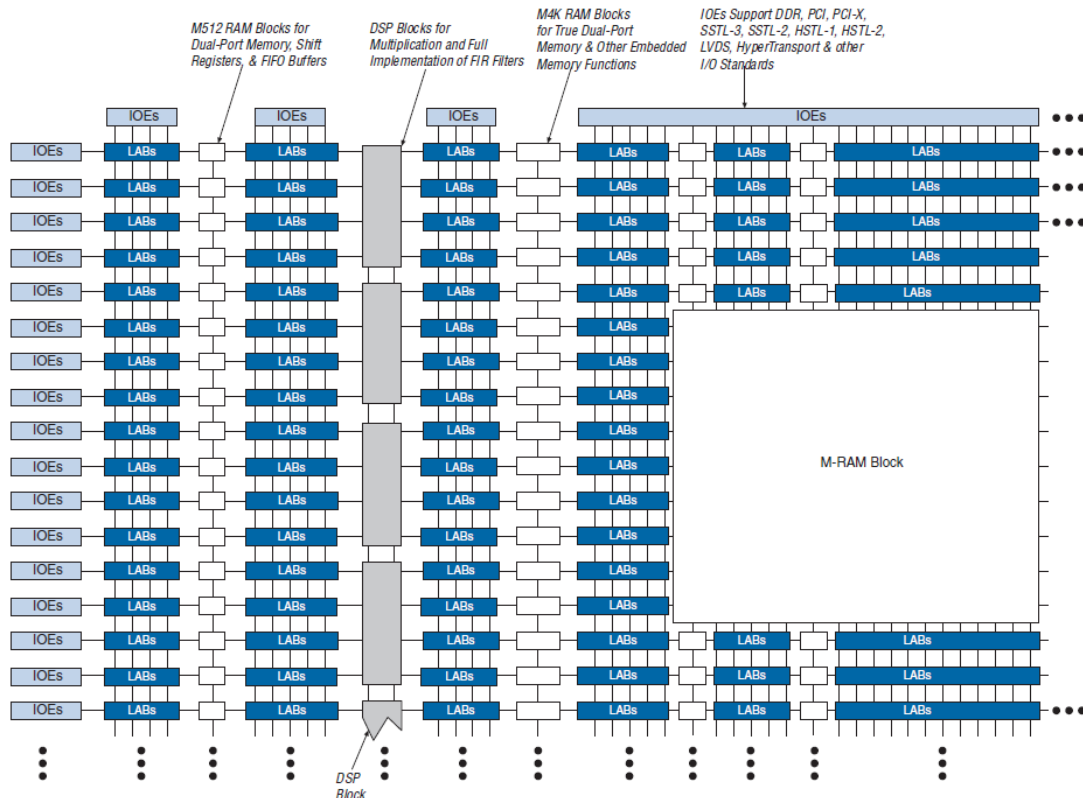


Figura 8-2 – Diagrama dos blocos que compõem o dispositivo Stratix II.

DSP BUILDER

O sistema de processamento digital de sinais (DSP) em dispositivos lógicos programáveis (PLDs) exigem ferramentas de desenvolvimento de algoritmos e linguagem de descrição de hardware (HDL) de alto nível que encontram-se integradas no DSP Builder da ALTERA.

O DSP Builder integra as ferramentas mencionadas no anterior pela combinação das funcionalidades das ferramentas do MATLAB/SIMULINK no desenvolvimento de algoritmo, simulação e capacidade de depuração com o fluxo de projeto em VHDL e Verilog HDL ao incluir o software Altera Quartus II.

O DSP Builder agiliza os ciclos de desenvolvimento de projetos em DSP através de um ambiente amigável de desenvolvimento.

É possível combinar funções do MATLAB e blocos do Simulink com blocos do DSP Builder da ALTERA e funções Mega Core que são núcleos de propriedade intelectual da ALTERA (IP) em uma plataforma multifuncional de desenvolvimento.

Podemos usar os blocos do DSP Builder para implementar um sistema em hardware modelado em uma simulação no Simulink. O DSP Builder contém blocos Simulink que cobrem operações básicas como funções aritméticas e de armazenamento além da vantagem de contar com os principais recursos do dispositivo como: PLLs embarcadas, blocos DSP e memória embarcada.

O bloco Signal Compiler do DSP Builder lê os arquivos do simulink (.mdl) que contêm outros blocos do DSP Builder e funções MegaCore e gera os

arquivos VHDL em scripts Tcl para síntese, implementação de hardware e simulação.

A lógica programável oferece vantagens competitivas sobre processadores digitais de sinal dedicados (DSPs dedicados). Podemos pensar na lógica programável como uma matriz de elementos, cada um dos quais podem ser configurados como uma complexa rotina de processamento. Podemos “linkar” estas rotinas serialmente (da mesma forma que um processador digital as executaria), ou conecta-las em paralelo. Quando conectadas em paralelo, apresentam performance muito melhor do que os processadores digitais de sinal padrão ao efetuar centenas de instruções ao mesmo tempo.

Maiores detalhes a respeito do Stratix II e da Placa de desenvolvimento podem ser apreciados no DSP User Guide, entre outras literaturas disponíveis no site da ALTERA: <http://www.altera.com/literature/lit-stx2.jsp> e no manual do Kit http://www.altera.com/literature/manual/mnl_SII_DSP_RM_11Aug06.pdf

9 Bibliografia

- [1] MCM Consultores e Associados LTDA. "MCMNet - Site sobre economia aplicada e análise política". Disponível em:
< <http://www.mcmconsultores.com.br/>>.
- [2] M. Nikolo, American Journal of Physics 63 p. 57, (1995).
- [3] D M Jacobson, B Z Kaplan and M E Ertl. Continuous monitoring of ac resistivity in low resistance samples. Journal of Physics E: Scientific Instruments (1971) Volume 4. Pages 244-245.
- [4] J. M. Calo and A. D. Bailey. Phase-Sensitive Pulse Counting in modulate Bean Mass-Spectrometry. Review of Scientific Instruments (1974) Volume: 45 Pages: 1325-1330.
- [5] I. Riess. Simple Differential Lock-In Amplifier for optical measurements. Review of Scientific Instruments (1982) Volume: 53 Pages: 1388-1391
- [6] M. Vanexter and A. Legendijk. Converting an AM Radio into a high frequency Lock-In in a stimulated Raman experiment. Review of Scientific Instruments (1986) Volume: 57 Pages: 390-392.
- [7] W. H. Kettler, et al. Differential AC method of Thermopower measurements. Review of Scientific Instruments (1986) Volume: 57 Pages: 3057-3058.
- [8] M. Qvarford, K. Heeck, J. G. Lensink, et al. Microtorquemeter for Magnetization measurements on small superconducting samples. Review of Scientific Instruments (1992) Volume: 63 Pages: 5726-5732.
- [9] An automated susceptometer for the measurement of linear and nonlinear magnetic ac susceptibility A. Bajpai, e A. Banerjee. Review of Scientific Instruments (1997) Volume: 68 Pages: 4075-4079.
- [10] Magnetic property mapping system for analyzing three-dimensional magnetic components. K. Tsukada e T. Kiwa, Review of Scientific Instruments (2006) Volume: 77 No 063703.

[11] L. E. Flores, C. Noda, C. Abascal e J. L. González . Automatic system for the direct and continuous measurement of the irreversibility line of high T_c superconductors. Review of Scientific. Instrument 69 (1998) págs. 3634-3636

[12] About Lock-In Amplifiers. Disponível em:
<<http://www.thinksrs.com/downloads/PDFs/ApplicationNotes/AboutLIAs.pdf>>.

[13] G. Blatter, M. V. Feigel'man, V. B. Geshkenbein, A. I. Larkin, and V. M. Vinokur. Review of Modern Physics, 66 (1994) p. 1125. Vortices in high-temperature superconductors.

[14] M. Nikolo, W. Kiehl, H. M. Duan and A. M. Hermmann. Flux-Creep activations energies in Tl₂Ba₂CaCu₂O_x single crystals. Physical Review B 45 (1992) p. 5641 – 5644.

[15] J. P. Cleuziou, W. Wernsdorfer, et al. Gate-tuned high frequency response of carbon nanotube josephson junctions. Physical Review Letters (2007) Volume: 99 Article Number: 117001.

[16] U. Kemiktarak, T. Ndukum, K. C. Schwab et al. Radio-frequency scanning tunnelling microscopy. Nature (2007) Volume: 450 Page 85.

[17] O. J. Lipscombe, S. M. Hayden, B. Vignolle et al. Persistence of high-frequency spin fluctuations in overdoped superconducting La_{2-x}Sr_xCuO₄ (x=0.22). Physical Review Letters (2007) Volume: 99 Article Number: 067002.

[18] Leonardo Rezende. Tese de Mestrado. “Desenvolvimento de um Amplificador Lock-In com DSP operando em altas frequencias” CBPF. 2009.

[19] S. Maeda and Y. Shindo. Modification of Ithaco Model 391A Lock-In Amplifier for use in the High-Dynamic-Range mode at the frequency-range from 60 to 120 kHz. Review of Scientific Instruments (1989) Volume: 60 Issue: 10 Pages: 3338-3339.

[20] J. G. Proakis and D. G. Manolakis. “Digital Signal Processing: Principles, Algorithms, and Applications”. 3a Edição; Prentice-Hall, ISBN 0133737624; 1996;

[21] Nios II Processor Reference Handbook, ver 9.1, nov 2009. Disponível em:
<<http://www.altera.com/literature/lit-nio2.jsp>>.

[22] Rafael A. A. Nunes, Marcelo P. de Albuquerque, Mauricio Bochner, Leonardo C. Resende, Jorge L. Gonzalez ; Nota Técnica: "O Amplificador Lock-In"; CBPF-NT-001/2008

[23] E. M. Giroto, I. A. Santos; “Medidas de resistividade elétrica DC em Sólidos: Como efetuá-las corretamente”; Publicado em Quím. Nova vol.25, no.4 ;São Paulo; (2002); Disponível em :

<http://www.scielo.br/scielo.php?script=sci_arttext&pid=S010040422002000400019>.

[24] Wikipedia, “Electrical Resistance”, (2009). Disponível em: <http://en.wikipedia.org/wiki/Electrical_resistance>.

[25] LPM–Montagens Industriais LTDA; “Utilização de fita de cobre em sistemas de aterramento e pára-raios”. Trabalho apresentado no Seminário Internacional de Proteção contra Descargas Atmosféricas (IV SIPDA), São Paulo; (1997). Disponível em: <<http://www.lpmmil.com.br/>> →IVSIPDA.

[26] Wikipedia, “Skin Effect”, (2009). Disponível em: <http://en.wikipedia.org/wiki/Skin_effect>.

[27] Strongly Correlated Electronic Materials: Present and Future, MRS BULLETIN 33 (2008) pág 1037

[28] Complexity in strongly correlated electronic systems, E Dagotto, Science 309 pag 257

[29] Thickness dependence of superconductivity for In/Mo thin films, K.Makise e colaboradores, Physica C, 469 (2009) p 1005

[30] Mixed-valence manganites, J. M. D. Coey, M. Viret e S. von Molnar, ADVANCES IN PHYSICS 48 (1999) pág. 167

[31] Exchange bias, J. Nogues e I. K. Schuller, JOURNAL OF MAGNETISM AND MAGNETIC MATERIALS 192 (1999) pag. 203

[32] Alexandre da Cas Viegas, Antonio Marcos Helgueira de Andrade, Frederico Westphalen-RS, Marcio Assolin Corrêa, Ricardo Barreto da Silva, Rubem Luis Sommer, Magnetization dynamics measurements in thin films at frequencies up to 24GHz, [12/05/09 - P065]. Disponível em: <http://cbpfindex.cbpf.br/publication_pdfs/xxxii_enfmc_abstractsP067,P070,P071.2009_08_10_13_20_48.pdf>.

[33] Willian Edgardo Alayo Rodriguez, Anisotropia Magnética e Acoplamento de Troca em Multicamadas de Metais de Transição, Centro Brasileiro de Pesquisas Físicas, (2007).

[34] P. Grünberg, R. Schreiber, Y. Pang, Phys. Rev. Lett. 57, 2442 (1986).

[35] M. B. Salamon, S. Sinha, J. J. Rhyne, J. E. Cunningam, R. W. Erwin, J. F. C. P.Borchers, Phys. Rev. Lett. 56, 259 (1986).

[36] C. F. Majkrzak, J. W. Cable, J. Kwo, M. Hong, D. B. McWhan, Y. Yafet, J. V.Waszczyk, C. Vettier, Phys. Rev. Lett 56, 2700 (1986).

[37] A. Mello de Paula Silva, Tese de Mestrado: *Instrumentação para Produção e Caracterização de Filmes Finos Nanoestruturados*, Biblioteca do CBPF (2002).

[38] A. Biondo, Tese de Doutorado: *Propriedades Estruturais Magnéticas e de Transporte das Multicamadas Co/Cu, e Py/X (X = Cu, WTi e Zr) Produzidas por Magnetron Sputtering*, Biblioteca do CBPF (2001).

[39] Cezmi Kayabasi, John A. McNeill, Tese de Mestrado: *Settling Time Measurement Techniques Achieving High Precision at High Speeds*, (2005).

[40] Rafael Astuto Arouche Nunes. *Aplicação e desenvolvimento de um Amplificador Lock-In baseado em DSP*. 2009. Trabalho de Conclusão de Curso (Graduação em Engenharia Elétrica) - Universidade Federal do Rio de Janeiro.

10 Anexo2

APRESENTAÇÃO (ENTIDADE E ARQUITETURA) EM LINGUAGEM VHDL DO PRIMEIRO PROTÓTIPO DE UM SISTEMA DE MEDIDAS - CAPITULO 4

Date: July 31, 2009 lockinsingleocss.vhd Project: lockinsingleocss

Page 1 of 18 Revision: lockinsingleocss

```
-----  
-----  
--  
-- DSP Builder (Version 6.0, Build 202)  
-- Quartus II development tool and MATLAB/Simulink Interface  
--  
-- Legal Notice: © 2001 Altera Corporation. All rights reserved. Your  
use  
of Altera  
-- Corporation's design tools, logic functions and other software and  
tools  
, and its  
-- AMPP partner logic functions, and any output files any of the  
foregoing  
-- (including device programming or simulation files), and any  
associated  
-- documentation or information are expressly subject to the terms and  
cond  
itions  
-- of the Altera Program License Subscription Agreement, Altera  
MegaCore Fu  
nction  
-- License Agreement, or other applicable license agreement,  
including, wit  
hout  
-- limitation, that your use is for the sole purpose of programming  
logic d  
evices  
-- manufactured by Altera and sold by Altera or its authorized  
distributors  
.  
-- Please refer to the applicable agreement for further details.  
--  
--  
-- Time Stamp: Wed Feb 04 16:52:04 2009  
-----  
-----
```

```

library ieee;
use ieee.std_logic_1164.all;
use ieee.std_logic_signed.all;
library dspbuilder;
use dspbuilder.dspbuilderblock.all;
library lpm;
use lpm.lpm_components.all;
Entity lockingsingleocss is
Port(
clock : in std_logic;
A2D_112BitSigned : in std_logic_vector(11 downto 0);
A2D_212BitSigned : in std_logic_vector(11 downto 0);
SW4 : in std_logic;
SW5 : in std_logic;
SW6 : in std_logic;
SW7 : in std_logic;
clk_out : out std_logic;
clk_out1 : out std_logic;
clk_out2 : out std_logic;
clk_out3 : out std_logic;
clk_out4 : out std_logic;
clk_out5 : out std_logic;
D2A_114BitUnsigned : out std_logic_vector(13 downto 0);
LED0 : out std_logic;
LED1 : out std_logic;
Date: July 31, 2009 lockingsingleocss.vhd Project: lockingsingleocss
Page 2 of 18 Revision: lockingsingleocss
LED2 : out std_logic;
LED3 : out std_logic;
LED4 : out std_logic;
LED5 : out std_logic;
LED6 : out std_logic;
SevenSegmentDisplay0 : out std_logic_vector(7 downto 0);
SevenSegmentDisplay1 : out std_logic_vector(7 downto 0)
);
end lockingsingleocss;
architecture aDspBuilder of lockingsingleocss is
signal sclr : std_logic:= '0'; -- global reset signal
--Using PLL to drive output clock (50 % duty cycle, 0 degree phase
shift)
component dspboard2S60_pll PORT(
inclk0 : IN STD_LOGIC ;
c0 : OUT STD_LOGIC);
end component ;
signal board_clk_out_int : std_logic;
--Using PLL to drive output clock (50 % duty cycle, 180 degree phase
shift)
component dspboard2S60_pll_inv PORT(
inclk0 : IN STD_LOGIC ;
c0 : OUT STD_LOGIC);
end component ;
signal board_clk_out_int_inv : std_logic;
signal A0W : std_logic_vector(11 downto 0);
signal A1W : std_logic_vector(11 downto 0);
signal A2W : std_logic;
signal A3W : std_logic_vector(15 downto 0);
signal A4W : std_logic;
signal A5W : std_logic_vector(4 downto 0);
signal A6W : std_logic_vector(4 downto 0);
signal A7W : std_logic_vector(4 downto 0);
signal A8W : std_logic_vector(4 downto 0);

```

```

signal A9W : std_logic;
signal A10W : std_logic;
signal A11W : std_logic;
signal A12W : std_logic;
signal A13W : std_logic_vector(30 downto 0);
signal A14W : std_logic_vector(41 downto 0);
signal A15W : std_logic_vector(4 downto 0);
signal A16W : std_logic_vector(12 downto 0);
signal A17W : std_logic_vector(12 downto 0);
signal A18W : std_logic_vector(12 downto 0);
signal A19W : std_logic_vector(12 downto 0);
signal A20W : std_logic;
signal A21W : std_logic;
signal A22W : std_logic;
signal A23W : std_logic;
signal A24W : std_logic_vector(1 downto 0);
signal A25W : std_logic_vector(4 downto 0);
signal A26W : std_logic_vector(11 downto 0);
signal A27W : std_logic_vector(29 downto 0);
signal A28W : std_logic_vector(29 downto 0);

```

Date: July 31, 2009 lockinsingleocss.vhd Project: lockinsingleocss

Page 3 of 18 Revision: lockinsingleocss

```

signal A29W : std_logic_vector(40 downto 0);
signal A30W : std_logic_vector(11 downto 0);
signal A31W : std_logic_vector(12 downto 0);
signal A32W : std_logic_vector(11 downto 0);
signal A33W : std_logic_vector(13 downto 0);
signal A34W : std_logic;
signal A35W : std_logic;
signal A36W : std_logic;
signal A37W : std_logic;
signal A38W : std_logic;
signal A39W : std_logic;
signal A40W : std_logic;
signal A41W : std_logic;
signal A42W : std_logic_vector(7 downto 0);
signal A43W : std_logic_vector(7 downto 0);
signal A44W : std_logic_vector(16 downto 0);
signal A45W : std_logic_vector(24 downto 0);
signal A46W : std_logic;
signal A47W : std_logic;
signal A48W : std_logic;
signal A49W : std_logic;
signal A50W : std_logic;
signal A51W : std_logic;
signal A52W : std_logic;
signal A53W : std_logic;
signal A54W : std_logic;
signal A55W : std_logic;
signal A56W : std_logic;
signal A57W : std_logic;
signal A58W : std_logic_vector(7 downto 0);
signal A59W : std_logic_vector(13 downto 0);
signal A60W : std_logic_vector(13 downto 0);
signal A61W : std_logic_vector(21 downto 0);
signal A62W : std_logic_vector(19 downto 0);
signal A63W : std_logic_vector(19 downto 0);
signal A64W : std_logic_vector(11 downto 0);
signal A65W : std_logic_vector(3 downto 0);
signal A66W : std_logic_vector(3 downto 0);
signal A67W : std_logic_vector(11 downto 0);

```

```

signal A68W : std_logic_vector(11 downto 0);
signal A69W : std_logic_vector(7  downto 0);
signal A70W : std_logic_vector(7  downto 0);
signal A71W : std_logic_vector(13 downto 0);
signal A72W : std_logic;
signal A73W : std_logic;
signal A74W : std_logic;
signal A75W : std_logic;
signal A76W : std_logic_vector(11 downto 0);
signal A77W : std_logic_vector(40 downto 0);
signal A78W : std_logic_vector(25 downto 0);
signal A79W : std_logic_vector(29 downto 0);
signal A80W : std_logic_vector(29 downto 0);
signal A81W : std_logic_vector(11 downto 0);
signal A82W : std_logic_vector(11 downto 0);
signal A83W : std_logic_vector(11 downto 0);
signal A84W : std_logic_vector(13 downto 0);
signal datasub35_0Mux : std_logic_vector(4  downto 0);
signal datasub35_1Mux : std_logic_vector(4  downto 0);
signal datasub35_2Mux : std_logic_vector(4  downto 0);
signal datasub35_3Mux : std_logic_vector(4  downto 0);
signal data_35_muxin  : std_logic_vector(19 downto 0);
Date: July 31, 2009 lockingsingleocss.vhd Project: lockingsingleocss
Page 4 of 18 Revision: lockingsingleocss
signal Sel_35_Mux : std_logic_vector(1  downto 0);
signal datasub36_0Mux : std_logic_vector(11 downto 0);
signal datasub36_1Mux : std_logic_vector(11 downto 0);
signal data_36_muxin  : std_logic_vector(23 downto 0);
signal Sel_36_Mux : std_logic_vector(0  downto 0);
signal A1W51EXT : std_logic_vector(4  downto 0);
signal A2W51EXT : std_logic_vector(4  downto 0);
signal sclr_u54 : std_logic;
signal AMemoryDelayi_unconnected : std_logic_vector(11 downto 0);
signal AMemoryDelayli_unconnected : std_logic_vector(11 downto 0);
signal AMemoryDelay2i_unconnected : std_logic_vector(7  downto 0);
signal AMemoryDelay3i_unconnected : std_logic_vector(7  downto 0);
signal AMemoryDelay4i_unconnected : std_logic_vector(13 downto 0);
signal AMemoryDelay5i_unconnected : std_logic;
signal AMemoryDelay6i_unconnected : std_logic;
signal AMemoryDelay7i_unconnected : std_logic;
signal AMemoryDelay8i_unconnected : std_logic;
signal AMemoryDelay9i_unconnected : std_logic_vector(11 downto 0);
signal sclr_u89 : std_logic;
signal sclr_u90 : std_logic;
Begin
assert (1<0) report altversion severity Note;
-- Output - I/O assignment from Simulink Block "D2A_114BitUnsigned"
D2A_114BitUnsigned <= A71W;
-- Output - I/O assignment from Simulink Block "LED0"
LED0 <= A34W;
-- Output - I/O assignment from Simulink Block "LED1"
LED1 <= A73W;
-- Output - I/O assignment from Simulink Block "LED2"
LED2 <= A34W;
-- Output - I/O assignment from Simulink Block "LED3"
LED3 <= A49W;
Date: July 31, 2009 lockingsingleocss.vhd Project: lockingsingleocss
Page 5 of 18 Revision: lockingsingleocss
-- Output - I/O assignment from Simulink Block "LED4"
LED4 <= A50W;
-- Output - I/O assignment from Simulink Block "LED5"

```

```

LED5 <= A51W;
-- Output - I/O assignment from Simulink Block "LED6"
LED6 <= A41W;
-- Output - I/O assignment from Simulink Block "SevenSegmentDisplay0"
SevenSegmentDisplay0 <= A69W;
-- Output - I/O assignment from Simulink Block "SevenSegmentDisplay1"
SevenSegmentDisplay1 <= A70W;
sclr <= '0';
-- Input - I/O assignment from Simulink Block "A2D_112BitSigned"
A0W <= A2D_112BitSigned;
-- Input - I/O assignment from Simulink Block "A2D_212BitSigned"
A1W <= A2D_212BitSigned;
-- Input - I/O assignment from Simulink Block "SW4"
A20W <= SW4;
-- Input - I/O assignment from Simulink Block "SW5"
A21W <= SW5;
-- Input - I/O assignment from Simulink Block "SW6"
A22W <= SW6;
-- Input - I/O assignment from Simulink Block "SW7"
A23W <= SW7;
-- Constant assignment - Simulink Block "AltBus1"
A2W <= '1';
-- Constant assignment - Simulink Block "AltBus10"
A3W(15) <= '0';
A3W(14 downto 0) <= "0000000000000000";
-- Constant assignment - Simulink Block "AltBus11"
A4W <= '1';
-- Constant assignment - Simulink Block "AltBus13"
A5W(4) <= '0';
A5W(3 downto 0) <= "0011";
-- Constant assignment - Simulink Block "AltBus15"
A6W(4) <= '0';
A6W(3 downto 0) <= "0111";
-- Constant assignment - Simulink Block "AltBus17"
A7W(4) <= '0';
A7W(3 downto 0) <= "1011";
-- Constant assignment - Simulink Block "AltBus19"
A8W(4) <= '0';
A8W(3 downto 0) <= "1111";
Date: July 31, 2009 lockinsingleocss.vhd Project: lockinsingleocss
Page 6 of 18 Revision: lockinsingleocss
-- Constant assignment - Simulink Block "AltBus2"
A9W <= '1';
-- Constant assignment - Simulink Block "AltBus20"
A10W <= '1';
-- Constant assignment - Simulink Block "AltBus21"
A11W <= '1';
-- Constant assignment - Simulink Block "AltBus22"
A12W <= '1';
-- Constant assignment - Simulink Block "AltBus3"
A13W(30) <= '0';
A13W(29 downto 0) <= "000000000000000000000000000000001010000000";
-- Constant assignment - Simulink Block "AltBus4"
A14W(41) <= '0';
A14W(40 downto 0) <= "000000000000000000000000000000000000000000001000000";
-- Constant assignment - Simulink Block "AltBus5"
A15W(4 downto 0) <= "01111";
-- Constant assignment - Simulink Block "AltBus6"
A16W(12) <= '0';
A16W(11 downto 0) <= "000000010100";
-- Constant assignment - Simulink Block "AltBus7"

```

```

A17W(12) <= '0';
A17W(11 downto 0) <= "000000001010";
-- Constant assignment - Simulink Block "AltBus8"
A18W(12) <= '0';
A18W(11 downto 0) <= "000000001010";
-- Constant assignment - Simulink Block "AltBus9"
A19W(12) <= '0';
A19W(11 downto 0) <= "000000000001";
-- Bus Construction - Simulink Block "BusBuild"
A24W(0) <= A49W;
A24W(1) <= A50W;
datasub35_0Mux <= A5W;
datasub35_1Mux <= A6W;
datasub35_2Mux <= A7W;
datasub35_3Mux <= A8W;
data_35_muxin <= datasub35_3Mux & datasub35_2Mux & datasub35_1Mux &
datasub35_0Mux;
Sel_35_Mux <= A24W;
datasub36_0Mux <= A68W;
datasub36_1Mux <= A76W;
data_36_muxin <= datasub36_1Mux & datasub36_0Mux;
Sel_36_Mux(0) <= A51W;
-- - Simulink Block "NOTu"
A34W <= not A73W;
-- - Simulink Block "NOT1"
A35W <= not A48W;
-- - Simulink Block "NOT2"
Date: July 31, 2009 lockingsingleocss.vhd Project: lockingsingleocss
Page 7 of 18 Revision: lockingsingleocss
A36W <= not A2W;
-- - Simulink Block "NOT3"
A37W <= not A73W;
-- - Simulink Block "NOT4"
A38W <= not A72W;
-- - Simulink Block "NOT5"
A39W <= not A74W;
-- - Simulink Block "NOT6"
A40W <= not A75W;
-- IF THEN - Simulink Block "IfStatement"
A1W51EXT <= A25W;
A2W51EXT <= A15W;
A41W <= '1' when ((A1W51EXT>A2W51EXT) or (A1W51EXT=A2W51EXT) or (A1
W51EXT="0000")) else '0';
A42W(7) <= '0';
A43W(7) <= '0';
sclr_u54 <= A34W or sclr;
A44W(16) <= '0';
A58W(7) <= '0';
A61W(21) <= '0';
sclr_u89 <= A37W or sclr;
sclr_u90 <= A37W or sclr;
--Using PLL to drive pin Y3 (DAC clock source)
uclk1k_out2p : dspboard2S60_pll port map (inclk0 => clock, c0 =>
board_clk
_out_int);
--Using PLL to drive pin Y3 (DAC clock source)
uclk1k_out2p_inv : dspboard2S60_pll_inv port map (inclk0 => clock, c0
=> b
oard_clk_out_int_inv);
clk_out <= board_clk_out_int;
clk_out1 <= board_clk_out_int;

```

```

clk_out2 <= board_clk_out_int;
clk_out3 <= board_clk_out_int;
clk_out4 <= board_clk_out_int_inv;
clk_out5 <= board_clk_out_int_inv;
-- Mux - Simulink Block "ntolMultiplexer"
ntolMultiplexeri : sMuxAltr generic map (
lpm_pipeline =>0,
lpm_size =>4,
lpm_widths =>2,
lpm_width =>5,
SelOneHot =>0)
port map (
clock => '0',
ena => '1',
sclr => '0',
data => data_35_muxin,
sel => Sel_35_Mux,
result => A25W);
-- Mux - Simulink Block "ntolMultiplexer1"
ntolMultiplexerli : sMuxAltr generic map (
lpm_pipeline =>0,
Date: July 31, 2009 lockinsingleocss.vhd Project: lockinsingleocss
Page 8 of 18 Revision: lockinsingleocss
lpm_size =>2,
lpm_widths =>1,
lpm_width =>12,
SelOneHot =>0)
port map (
clock => '0',
ena => '1',
sclr => '0',
data => data_36_muxin,
sel => Sel_36_Mux,
result => A26W);
-- Divide Operator - Simulink Block "Divider"
Divideri : divider generic map (
widthin =>30,
isunsigned =>0,
pipeline =>0)
port map (
numer => A79W,
denom(29 downto 0) => A13W(29 downto 0),
quotient => A27W);
-- Divide Operator - Simulink Block "Divider1"
Dividerli : divider generic map (
widthin =>30,
isunsigned =>0,
pipeline =>0)
port map (
numer => A80W,
denom(29 downto 0) => A13W(29 downto 0),
quotient => A28W);
-- Divide Operator - Simulink Block "Divider2"
Divider2i : divider generic map (
widthin =>41,
isunsigned =>0,
pipeline =>0)
port map (
numer(21 downto 0) => A61W(21 downto 0),
numer(22) => A61W(21),
numer(23) => A61W(21),

```

```
numer(24) => A61W(21),
numer(25) => A61W(21),
numer(26) => A61W(21),
numer(27) => A61W(21),
numer(28) => A61W(21),
numer(29) => A61W(21),
numer(30) => A61W(21),
numer(31) => A61W(21),
numer(32) => A61W(21),
numer(33) => A61W(21),
numer(34) => A61W(21),
numer(35) => A61W(21),
numer(36) => A61W(21),
numer(37) => A61W(21),
numer(38) => A61W(21),
numer(39) => A61W(21),
numer(40) => A61W(21),
```

Date: July 31, 2009 lockinsingleocss.vhd Project: lockinsingleocss
Page 9 of 18 Revision: lockinsingleocss

Interrompemos neste ponto devido à extensão do programa. Disponibilizamos integralmente este programa, bem como os programas dos outros projetos desenvolvidos nesta tese.

.....
.....
.....

end architecture aDspBuilder;