

TESE

apresentada por

Leonardo Correia Resende

MESTRE

Pelo Centro Brasileiro de Pesquisas Físicas - CBPF
(Portaria Ministerial nº 2264, de 19 de dezembro de 1997)

(Especialidade: Instrumentação Científica)

Desenvolvimento de um Amplificador Lock-In com DSP operando em Altas Frequências

Orientador: Marcelo Portes de Albuquerque

Co-orientador: Jorge Luis González Alfonso



TESE
DO MESTRADO PROFISSIONAL EM FÍSICA

**Desenvolvimento de um Amplificador
Lock-In com DSP operando em Altas
Frequências**

LEONARDO CORREIA RESENDE

MESTRADO EM INSTRUMENTAÇÃO CIENTÍFICA
CENTRO BRASILEIRO DE PESQUISAS FÍSICAS
RIO DE JANEIRO, NOVEMBRO DE 2008

Agradecimentos

Em primeiro lugar agradeço a Deus.

Agradeço a minha esposa por ter partilhado dos momentos mais difíceis sempre me dando apoio.

Neste trabalho contei com a colaboração de várias pessoas. Agradeço aos meus orientadores Marcelo Portes de Albuquerque e Jorge Luís Gonzales Alfonso por todos os ensinamentos e críticas, pelo apoio e a confiança depositada nos anos de convivência. Agradeço também ao professor Márcio Portes de Albuquerque pelo apoio na compra do kit de desenvolvimento que foi de grande importância para o desenvolvimento do trabalho.

Agradeço aos meus pais pelos ensinamentos e apoio em todas as etapas da minha vida.

Aos colegas Maurício Bochner e Rafael Astuto Arouche Nunes pela força e parceria em todas as etapas do projeto e pela substancial ajuda neste período.

Ao Ismar Russano pelas dicas e apoio na área de eletrônica.

A todos os professores do mestrado em instrumentação científica pelo empenho, dedicação e ensinamentos transmitidos em suas disciplinas.

Agradeço a todos os colegas do mestrado em instrumentação pelo bom nível das discussões nas disciplinas e pela troca de informações muito útil no desenvolvimento científico.

Por fim agradeço ao Centro Brasileiro de Pesquisas Físicas (CBPF) pelo suporte e apoio para o desenvolvimento deste trabalho.

Resumo

Este estudo objetivou o desenvolvimento e construção de um amplificador Lock-In trabalhando em frequências na ordem de megahertz. O avanço tecnológico tem demandado o uso constante de instrumentação experimental de alto nível. Verificada a importância desse avanço foi elaborado um projeto dirigido ao desenho e construção de um equipamento que opere em faixas de frequências da ordem de Megahertz que é utilizada no Centro Brasileiro de Pesquisas Físicas. Diferentes testes foram realizados no equipamento projetado os quais mostraram uma concordância entre as leituras experimentais e as simulações teóricas desenvolvidas a partir da teoria de funcionamento do Lock-In.. Para este fim foi desenvolvido inicialmente um estudo sobre a estrutura de um Lock-In, identificando suas partes essenciais e forma de funcionamento. A implementação prática do Lock-In foi feita através da aquisição no mercado de um kit de desenvolvimento da empresa Altera, especificamente o Stratix® II EP2S60 DSP. Este kit e os circuitos de desacoplamento projetados nesta tese, além dos programas desenvolvidos para detectar sinais simulados e reais por meio da técnica de detecção síncrona, permitiram implementar e testar o projeto de Lock-In na faixa de megahertz. Finalmente, os testes realizados mostraram a capacidade do sistema projetado de detectar sinais experimentais com grande precisão, aumentando a relação sinal ruído de sinais imersos em ruídos.

Abstract

This study aims the development and construction of a Lock-In Amplifier using Digital Signal Processors (DSP) operating in megahertz frequencies range. The continuous technological advance forces the constant use of high level scientific instrumentation in modern laboratories of experimental physics. This Thesis describes the development of a prototype of a Lock-In Amplifier, a useful Scientific Instrument, operating in the frequency range of 500 KHz to 2 MHz for the Brazilian Center of Physical Research (CBPF/MCT). The practical implementation of the Lock-In was carried out through the acquisition of the Development Kit, i.e. the Stratix® II EP2S60 DSP device board from Altera Company with high speed analog to digital conversion circuits. This DSP kit in addition of a electronic decoupling circuit and a MATLAB program was used to detect signals with a low Signal Noise Ratio (SNR) using the synchronous detection technique. Different tests had been carried out in the equipment that agrees with the theoretical simulations. This simulation tests of the Lock-In Amplifier was made in MATLAB and the results were compared with the real measured carried out in the Electronic Laboratory of CBPF. We also present the error bars behavior of the simulated and real measures, i.e. this error bars decreases as function of the Integration Time of the Lock-In Phase Sensitive Detector system.

Sumário

Agradecimentos	3
Resumo	4
Abstract	5
Lista de Tabelas	10
1. Introdução	12
1.1 Instrumentação e pesquisa científica	12
1.2 Amplificador Lock-In.....	15
1.3 Objetivos e motivação da tese.	16
2. Fundamentos do Amplificador Lock-In.	18
2.1 Funcionalidade	18
2.2 Componentes principais de um amplificador Lock-in.	19
2.2.1 Canal de entrada.	19
2.2.2 Canal de Referência.....	20
2.2.3 Detector sensível em fase.	20
2.2.4 Filtro Passa Baixo e amplificadores de saída.	22
2.2.5 Saída.	22
2.2.6 Oscilador interno.	23
2.3 Detector Sensível de Fase.....	23
3. Altera Stratix® II EP2S60 DSP	29
3.1 Características da placa.	29
3.2 Descrições Gerais.	32
3.3 Usando o kit Stratix II EP2S60 DSP	34
3.3.1 Fonte de alimentação	34
3.3.2 Configurações não voláteis.....	34
3.4 Descrição Funcional	35
3.5 Clocks	35
3.6 Componentes da Placa.....	36
3.6.1 Dispositivo Stratix II (U18).....	36
3.6.2 Conversores A/D	37
3.6.3 Conversores D/A	38
3.7 Considerações Gerais	38
4. Circuito de Desacoplamento.	40
4.1 Circuito Eletrônico	40
4.2 Análises no Domínio da Frequência.....	42
4.3 Análises do Atraso em Função da Frequência.....	42

4.4 Análises do Ruído do Sistema.....	43
4.5 Análises de Distorção do Sinal.....	44
4.6 Considerações Gerais	46
5. Implementação do Lock-In com DSP	48
5.1 Simulação.....	48
5.2 Resultados das Simulações.....	52
5.3 Medidas Utilizando o kit Altera EP2S60	63
5.3.1 Diagrama da medida realizada	63
5.3.2 Programa do Sistema de Detecção Síncrona	63
5.3.3 QuartusII.....	68
5.4 Resultados das Medidas.....	73
5.5 Considerações Finais	77
6. Conclusões.....	78
7. Referências.....	80

Lista de Figuras

Figura 1- Protótipo de cabo supercondutor desenvolvido em laboratório.	13
Figura 2 - Sistema experimental comum para determinação de resistividade AC em uma amostra padrão de teste.....	14
Figura 3 - Configuração básica de um amplificador Lock-in.....	19
Figura 4 - Parte superior mostra o sinal de entrada. Parte inferior mostra o sinal de saída V_{psd} após a multiplicação por V_{ref} em fase com o sinal de entrada.	26
Figura 5 - Parte superior mostra os sinais de entrada (azul) e a referência (vermelho) com defasagem de 90° . Parte inferior mostra o sinal de saída após a multiplicação do sinal de entrada por V_{ref}	27
Figura 6 - Layout dos componentes e interfaces do kit Altera Stratix II EP2S60 DSP. 32	
Figura 7 - Diagrama de blocos do kit de desenvolvimento Stratix II EP2S60.....	35
Figura 8 - Diagrama da distribuição do sinal de Clock no kit Stratix II EP2S60.....	36
Figura 9 – Filtro passa baixa após conversor D/A do kit EP2S60.	38
Figura 10 – (a) Mostra o gerador ligado diretamente a amostra e o terra comum no sistema de medição a 4 fios. (b) Mostra o circuito desacoplando o terra da fonte com a amostra a 4 fios.....	41
Figura 11 - Circuito de desacoplamento. O projeto dividiu o circuito em três estágios: Estágio de amplificação diferencial com dois amplificadores operacionais LM318, um estágio de ajuste de ganho e um filtro passa-altas. Este circuito foi construído duas vezes sendo um utilizado para o sinal de medido e outro para o sinal de referência... 41	
Figura 12 - Comparação de resposta de frequência do circuito de desacoplamento(a) e datasheet do amplificador operacional LM318 do fabricante.	42
Figura 13 - Análise do atraso do sistema em função da variação de frequência.....	43
Figura 14 - Osciloscópio desconectado do circuito de desacoplamento e do gerador de sinais. Ele captura apenas o ruído advindo do laboratório.	44
Figura 15- Gráfico que mostra a distorção em função da tensão de entrada.....	46
Figura 16 - Simulação do ruído.	59
Figura 17 - Histograma da simulação do sinal medido mostrando a distribuição gaussiana do ruído.	59
Figura 18 - Comportamento do desvio padrão do ruído da medida em função do tempo de integração. Simulação com Ruído=0.0005 Vp e fref = 0.5MHz.....	60
Figura 19 - Comportamento do desvio padrão do ruído da medida em função do tempo de integração. Simulação com Ruído=0.0005 Vp e fref = 1 MHz.....	61
Figura 20 - Comportamento do desvio padrão do ruído da medida em função do tempo de integração. Simulação com Ruído=0.0005 Vp e fref = 2 MHz.....	61
Figura 21 - diagrama de blocos do experimento para medir a magnitude (MAGOUT) e a fase FASEOUT de sinais reais	63

Figura 22 - Biblioteca da Altera para uso de diversos DSPs, inclusive do EP2S60, instalada a partir do DSPBuilder e funções do MegaCore.	64
Figura 23 - Principais blocos utilizados na programação do kit EP2S60.....	65
Figura 24 - Programa básico de demonstração de como utilizar os blocos de programação do kit de desenvolvimento. O sinal entra no conversor A2D de 12 bits, passando pelo “node” de leitura de sinal do SignalTap e retorna para a saída pelo conversor D2A de 14 bits.	66
Figura 25 - Esquemático mostrando o posicionamento de um “node” dentro do design feito no Simulink.	67
Figura 26 - Janela do SignalCompiler dentro do Simulink, mostrando a opção de escolha da quantidade de amostras a serem capturadas pelos “nodes”.	68
Figura 27 - Carregando o arquivo .sof dentro do Quartus II.	69
Figura 28 - Janela de seqüência de compilação dentro do Quartus II.....	69
Figura 29 - Janela dentro do Quartus II, mostrando os “nodes” com os bits sem agrupamento.	70
Figura 30 - Janela dentro do Quartus II, mostrando os “nodes” agrupados.	70
Figura 31 - Signal Tap List File criado a partir do agrupamento dos bits dos “nodes”. A primeira coluna representa o numero da amostra. A segunda e terceira colunas representam o valor de cada amostra para o node 0 e node 1 respectivamente.	71
Figura 32 - Circuito PSD (Sistema de Detecção Sensível a Fase) do Lock-In utilizando o Simulink e as bibliotecas da Altera.	73
Figura 33 - Atrasos utilizados nas medidas reais	73
Figura 34 - Comportamento do desvio padrão da medida em função do tempo de integração. Medida com $f_{ref} = 0.5\text{MHz}$	76
Figura 35 - Comportamento do desvio padrão da medida em função do tempo de integração. Medida com $f_{ref} = 1\text{MHz}$	76

Lista de Tabelas

Tabela 1 - Interfaces e Componentes do kit de Desenvolvimento Stratix II EP2S60 DSP.....	34
Tabela 2 - Características e funcionalidades do EP2S60.	37
Tabela 3- Mostra a distorção do sinal em função da frequência f_0 do circuito de desacoplamento e em diversas amplitudes. As amplitudes mostradas têm o valor medido de pico a pico.	45
Tabela 4 - Sinal de entrada V_{in-pp} máximo para a frequência f_0 do circuito de desacoplamento.	46
Tabela 5 - Definição das variáveis	49
Tabela 6 - Programa principal para simulação de um Amplificador Lock-In (main). ...	50
Tabela 7 - Geração do sinal de referência.	50
Tabela 8 - Simulação do sistema físico	51
Tabela 9 - Algoritmo de detecção do amplificador Lock-In.	52
Tabela 10 - Resultado da simulação de medida de magnitude em função do tempo de integração e do ruído do sistema de medida ($f_{ref} = 0.5\text{MHz}$).....	52
Tabela 11 - Resultado da simulação de medida de fase em função do tempo de integração e do ruído do sistema de medida ($f_{ref} = 0.5\text{MHz}$).....	53
Tabela 12 - Resultado da simulação de medida de magnitude em função do tempo de integração e do ruído do sistema de medida ($f_{ref} = 1\text{MHz}$).....	53
Tabela 13 - Resultado da simulação de medida de fase em função do tempo de integração e do ruído do sistema de medida ($f_{ref} = 1\text{MHz}$).....	53
Tabela 14 - Resultado da simulação de medida de magnitude em função do tempo de integração e do ruído do sistema de medida ($f_{ref} = 2\text{MHz}$).....	54
Tabela 15 - Resultado da simulação de medida de fase em função do tempo de integração e do ruído do sistema de medida ($f_{ref} = 2\text{MHz}$).....	54
Tabela 16 - Estudo da precisão da medida de magnitude = 0.2 Vpp em função da amostragem	55
Tabela 17 - Estudo da precisão da medida de fase = 30° em função da amostragem...	55
Tabela 18 - Estudo da precisão da medida de magnitude = 0.2 Vpp em função da amostragem	56
Tabela 19 - Estudo da precisão da medida de fase = 30° em função da amostragem...	56

Tabela 20 - Estudo da precisão da medida de magnitude = 0.2 Vpp em função da amostragem	57
Tabela 21 - Estudo da precisão da medida de fase = 30° em função da amostragem...	57
Tabela 22 - Número de amostras por ciclo do sinal de referência (amostragem = 100MHz para o kit EP2S60) para representar os sinais de referências e sinal medido em função da amostragem e da fref.	58
Tabela 23 - Valores de α ajustados pela equação 4.1	62
Tabela 24 - Ruído do Sistema (Vp) / α	62
Tabela 25 - Fase - α	62
Tabela 26 - Fase - Ruído do Sistema (Vp) / α	62
Tabela 27 - Resultados das medidas de magnitude e fase em função do tempo de integração (fref = 0.5MHz).....	74
Tabela 28 - Resultados das medidas de magnitude e fase em função do tempo de integração (fref = 1MHz).....	74
Tabela 29 - Resultados das medidas de magnitude e fase em função do tempo de integração (fref = 2 MHz).....	75
Tabela 30 - valores da constante de proporcionalidade α obtido usando como função de ajuste a equação 4.1	77

1. Introdução

1.1 Instrumentação e pesquisa científica

As pesquisas científicas são parte essencial para o desenvolvimento tecnológico de um país associando-se a isso o fato de estudos e pesquisas representar o início para a elaboração de projetos tecnológicos de grande escala. Por sua vez, estes projetos tecnológicos formam parte importante de políticas industriais nacionais desenvolvidas em diferentes setores da sociedade e as quais representam a espinha dorsal do desenvolvimento tecnológico de qualquer país.

Como exemplo podemos citar os projetos científicos e tecnológicos relacionados ao aumento da eficiência energética do sistema elétrico nacional. O consumo de energia elétrica representa um dos pontos essenciais para o desenvolvimento sustentável de um país e conforme estudos da *MCM Consultores Associados* existem uma relação direta entre demanda (consumo) de energia elétrica e PIB (Produto Interno Bruto). Em particular, no Brasil para cada ponto porcentual de crescimento (redução) da economia brasileira há um aumento (diminuição) de 1,4 ponto porcentual na demanda por energia elétrica [1]. Fica claro então que a consolidação do sistema elétrico nacional como um todo é essencial para garantir o desenvolvimento sustentável do país e neste sentido as pesquisas científicas feitas em laboratório sobre materiais avançados para a transmissão eficiente de energia elétrica representam um dos pontos primários, de acordo com a figura 1.



Figura 1- Protótipo de cabo supercondutor desenvolvido em laboratório.

As pesquisas têm motivado o surgimento de vários grupos os quais atuam em diferentes áreas do conhecimento humano, sendo que, por exemplo, no Centro Brasileiro de Pesquisas Físicas existem diferentes laboratórios relacionados ao estudo de materiais avançados com potenciais tecnológicos, como os supercondutores de alta temperatura crítica, materiais magnéticos e manganitas, etc. e estão dirigidos ao estudo das propriedades físicas destes compostos com vistas a introduzir os mesmos na indústria conforme as suas possibilidades tecnológicas.

A caracterização experimental de amostras pertencentes aos compostos estudados em laboratório se dá através de medidas experimentais de diferentes grandezas físicas. Dentre estas grandezas podemos citar a suscetibilidade magnética, a resistividade elétrica, condutividade térmica dentre outras. Um exemplo de um sistema experimental para a caracterização da resistividade AC de uma amostra de teste de um determinado composto pode ser visto na figura 2.

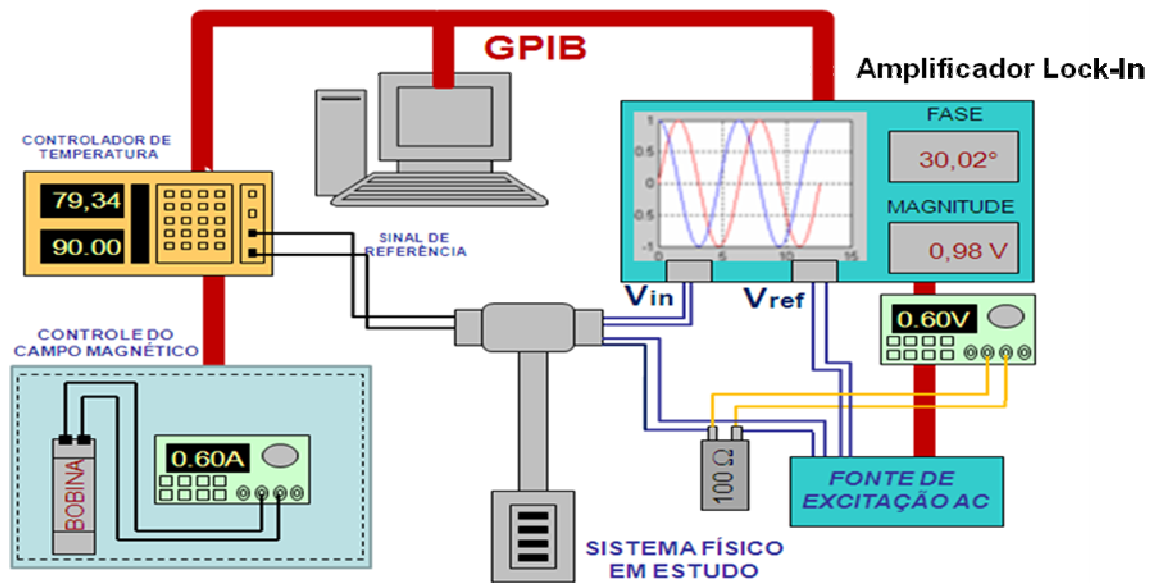


Figura 2 - Sistema experimental comum para determinação de resistividade AC em uma amostra padrão de teste.

O trabalho científico em laboratório tem demandado o desenvolvimento do setor de instrumentação científica. Cabe salientar que muitos sistemas experimentais (como o mostrado na figura 2) detectam uma voltagem após a amostra de teste ter sido excitada com um sinal (chamado sinal de excitação). Por exemplo, no sistema mostrado na figura 2 a amostra é excitada com uma corrente AC e então uma voltagem alternada entre dois contatos elétricos é obtida como resposta na amostra. Detectar esta voltagem, eliminando o ruído subjacente, advindo da amostra, é um passo essencial em qualquer sistema experimental. Deve ser destacado que esta resposta em geral pode estar defasada com relação ao sinal de excitação, sendo que esta defasagem contém informações relevantes ao sistema acima estudado. Logo, medir as componentes e detectar a defasagem se torna essencial no estudo experimental de muitos sistemas físicos.

Finalmente destacamos que muitos estudos atuais abrangem materiais complexos onde os próprios experimentos são realizados em condições bem extremas como altas pressões, baixas temperaturas e elevados campos magnéticos. Esta tese de mestrado em instrumentação se insere dentro desta questão e tem como objetivo central o desenvolvimento e construção de um protótipo de Amplificador Lock-In operando em altas frequências.

1.2 Amplificador Lock-In

O Amplificador Lock-In é um dos instrumentos mais importante em um laboratório de física experimental dado que freqüentemente os experimentos em laboratórios de física detectam pequenos sinais AC (da ordem de centenas de nano volts) que muitas vezes não podem ser medidos com multímetros convencionais. O Lock-In funciona como um voltímetro capaz de medir a amplitude e fase relativa de um sinal AC com relação a um sinal de referência (ver figura 1). Esse dispositivo atua como um filtro de banda centrado na freqüência do sinal de referência. Se um sinal de entrada $V_{in} = V_0 \sin(2\pi f_0 t) + r(t)$, onde r é um ruído branco inerente ao processo de medida, é fornecido a entrada do Lock-In, esse consegue obter o valor de V_0 , para valores da $E^*[r]^2 \gg 0$, além de permitir a medida do atraso de fase do sinal em relação à freqüência de referência f_0 . O sinal passa por um detector sensível de fase (PSD) que realiza a retificação e a conversão AC/DC. O PSD é chamado de coração do Lock-In, pois todas as operações realizam-se dentro dele. A defasagem entre excitação e resposta do sistema é muito importante para a análise do sistema estudado e este fato mostra a extrema importância do Amplificador Lock-In nos laboratórios de pesquisas científicas. Uma breve introdução ao funcionamento do instrumento que é objeto desta tese assim como a suas potencialidades pode ser visto nas referências 2 e 3.

Todos os fatores mencionados nos parágrafos acima sugerem que este instrumento é amplamente usado em diferentes áreas de pesquisas científicas. O Amplificador Lock-In é um instrumento de dupla potencialidade. Ele pode detectar sinais na presença de ruídos e também é eficiente para fazer medidas de alta resolução de sinais relativamente limpos em diversas ordens de magnitude e freqüência. Atualmente um Amplificador Lock-In desempenha mais funções tais como: instrumento medidor de fase, uma unidade medidora de ruído, um analisador de espectro entre outras funções. As aplicações deste instrumento abrangem os mais diversos ramos do conhecimento e na física em particular, as aplicações do Amplificador em questão vão desde a física moderna de partículas, passando pelo estudo de propriedades ópticas em materiais, até as técnicas comuns de caracterização de materiais magnéticos, supercondutores, além de muitos outros.

1.3 Objetivos e motivação da tese.

Só por citar alguns exemplos destacamos os seus usos como: um método de contagem de pulsos em espectroscopia de massa modulada [4], em medidas ópticas como um redutor do ruído devido a flutuações na intensidade da fonte de luz [5], em experimentos de espectroscopia Raman [6], medidas de efeito termo-elétrico (*Termofem*) [7], além de outras aplicações comumente usadas para medir propriedades magnéticas de sistemas sólidos [8-10]. Deve ser sinalizado que os exemplos anteriores representam só uma parcela ínfima das varias aplicações deste instrumento nas atividades de pesquisa científicas, sendo que atualmente diferentes sistemas experimentais são aprimorados mediante o uso do Lock-In.

A resposta física dos sistemas estudados depende em geral da frequência de excitação usada. Novamente esta dependência fornece informação importante sobre os mecanismos físicos associados com o sistema estudado. Por exemplo, quando um campo magnético é aplicado a um supercondutor de alta temperatura crítica o mesmo penetra formando uma rede de vórtices, conhecida como *rede de Abrikosov*. Do ponto de vista físico o movimento destes vórtices provoca dissipação (vontagem) nestes supercondutores [11] e se dá por ativação térmica o que provoca um decaimento de determinadas grandezas físicas nestes materiais com o tempo. Isso faz com que a resposta do sistema dependa da escala de tempo usada no experimento ou o equivalente da frequência. Neste sentido, estudos de suscetibilidade - AC em função da frequência fornecem parâmetros importantes do ponto de vista físico nestes materiais [12].

Frequências cada vez mais elevadas têm sido usadas em diferentes experiências e podemos citar como exemplos os estudos realizados em *junções Josephson* feitas de nano tubos de carbono e operadas com corrente de excitações a frequências elevadas [13], estudos feitos com microscópios de tunelamento a altas frequências que permitem um aumento da resolução temporal do equipamento [14], o estudo da resposta magnética a frequências elevadas de sistemas físicos complexos como os supercondutores de alta T_c [15], medidas do coeficiente de atenuação do som em sólidos complexos [16], o comportamento dispersivo de partículas físicas na faixa de terahertz [17], só por citar alguns exemplos bem recentes.

Como conseqüência algumas tentativas têm sido realizadas para desenvolver Amplificadores Lock-In que operem satisfatoriamente a altas frequências. O desenvolvimento de Lock-In operando a altas frequências demanda um esforço integrado onde diferentes questões eletrônicas (e outras) necessitam ser levadas em consideração. No entanto algumas poucas tentativas têm sido feitas as quais podem ser detalhadas nas referências 18-21.

De acordo com os fatores expostos anteriormente o fato de que no CBPF não existe um Amplificador Lock-In que permita o estudo de sistemas físicos a frequências elevadas serviu de principal motivação para o desenvolvimento desta tese de mestrado em instrumentação científica. Conseqüentemente o objetivo central deste trabalho é projetar e construir um Amplificador Lock-In que seja capaz de analisar sinais na faixa de frequência de 500 KHz até 2 MHz. O Lock-In deve ter uma boa relação sinal ruído, resolver medidas em fase e amplitude, além de ser capaz de ser incorporado em diferentes sistemas experimentais usados em laboratórios de caracterização física.

2. Fundamentos do Amplificador Lock-In.

2.1 Funcionalidade

Conforme destacado no capítulo inicial, um número grande de pesquisas científicas realizadas em escala de laboratório têm amplificadores Lock-In como parte essencial dos diferentes sistemas experimentais. O *amplificador* Lock-In fornece um sinal DC de saída proporcional ao sinal AC de entrada. A detecção ou amplificação do sinal de entrada é realizada em relação a um sinal de referência. Isso permite a leitura do sinal de interesse somente, enquanto suprime os efeitos de ruídos e outros sinais interferentes. Como consequência, o sistema pode fornecer também as componentes em fase e quadratura do sinal de entrada com relação à referência fornecida. Isto é muito relevante já que as diferentes componentes (fase e quadratura) fornecem informações importantes sobre parâmetros físicos dos sistemas estudados. As informações mencionadas acima, além de outras propriedades não destacadas aqui, fazem do Lock-In um instrumento muito versátil capaz de realizar diferentes funções num laboratório de pesquisas científicas. Dentre estas funções podemos destacar:

- Instrumento recuperador de sinais AC;
- Medidor de fases e amplitudes com relação a sinais de referência;
- Medidor de ruído;
- Simples voltímetro;
- Analisador de espectro

Sendo que o *amplificador Lock-In* representa o instrumento essencial a esta tese e dado que o mesmo é versátil e com alto grau de complexidade destinamos este

capítulo ao estudo das características e partes principais que configuram este instrumento.

2.2 Componentes principais de um amplificador Lock-in.

O diagrama de blocos de um *amplificador Lock-In* típico pode ser visto na figura 1. Nesta figura são mostrados os componentes principais que acreditamos desempenham as funções mais importantes dentro do sistema experimental. A figura abaixo mostra o diagrama de blocos do funcionamento de um Lock-In:

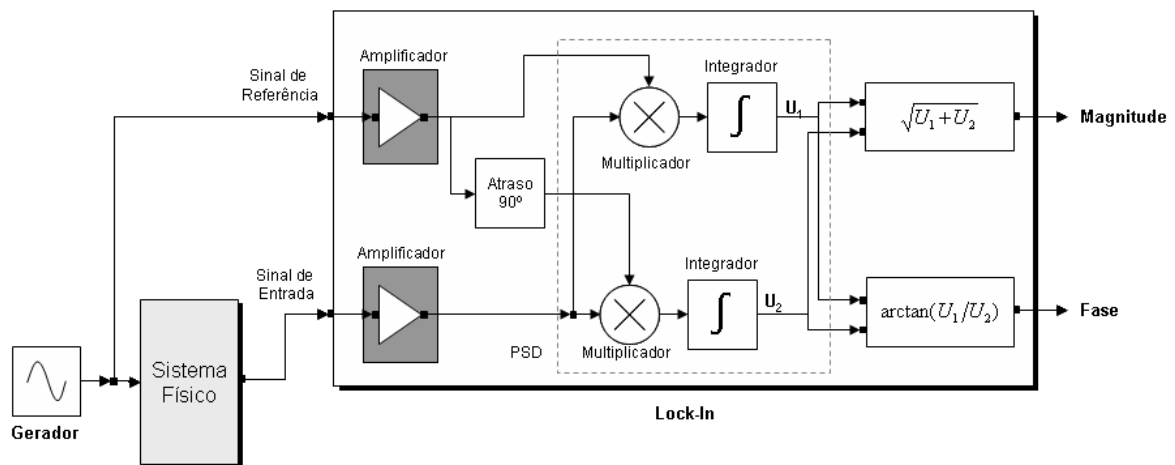


Figura 3 - Configuração básica de um amplificador Lock-in

2.2.1 Canal de entrada.

O canal de entrada é a componente de Lock-In que recebe o sinal de entrada o qual será medido ou estudado. Este sinal de entrada em geral vem acrescido de um ruído e o mesmo é amplificado através de um amplificador AC com ganho ajustável acoplado. O objetivo disto é acoplar otimamente a amplitude do sinal de entrada à escala de entrada do detector sensível de fase (PSD). Isto visa evitar a saturação na entrada do PSD garantindo o seu ótimo funcionamento. O anterior é conseguido passando o sinal através de um filtro que pode ser, por exemplo, um simples *rejeita banda* e que está centrado na frequência da linha de potencia.

2.2.2 Canal de Referência.

Um sinal de referência com grande precisão é necessário para a operação de multiplicação que é realizada dentro do PSD conforme destacado na seção 2.1. Em situações onde a referência disponível está longe de ser perfeita ou simétrica um circuito como canal de referência se torna indispensável. Estes circuitos freqüentemente têm uma proporção significativa em relação ao preço total do instrumento. No caso da referência gerada internamente, a mesma passa através de um deslocador de fase, que é usado para compensar as variações de fase introduzidas entre o sinal de entrada e a própria referência.

2.2.3 Detector sensível em fase.

A parte mais importante de um *amplificador Lock-In* é o detector sensível de fase (PSD). Este dispositivo é o encarregado de separar o sinal de interesse dos outros sinais como ruídos e interferências e que estão presentes na leitura. Este ponto é o que diferencia este instrumento de voltímetros comuns onde todos os sinais (inclusive os ruídos) são retificados produzindo erros na leitura de saída do instrumento. Já no caso do *Amplificador Lock-In* o ruído não é retificado e aparece na saída como uma flutuação AC. Isto significa que o sinal de entrada de interesse, uma vez convertido em nível DC, pode ser separado do ruído por meio do uso de um filtro *passa baixa* simples. Com isso a leitura na saída no instrumento não é afetada pela presença do ruído no sinal de entrada. Todo este processo de detecção e amplificação do sinal é realizado através do detector em sensível de fase ou PSD, de aí a importância do mesmo.

Para funcionar de forma correta o detector pode ser “*programado*” para recuperar o sinal de referencia. Este sinal de referencia é fornecido ao amplificador como uma tensão na mesma freqüência do sinal analisado, além de que o mesmo deve ter uma fase fixa com relação ao sinal de estudo. Isto é geralmente conseguido a partir da obtenção do sinal de referencia e do sinal de entrada como derivados de uma mesma fonte. O uso de tal referência assegura que o instrumento trave alguma mudança na freqüência do sinal de interesse caso exista alguma perturbação no sistema estudado. Existem três métodos para a implementação do detector sensível de fase (PSD), usando

um multiplicador analógico, uma chave digital ou um multiplicador digital. Nos parágrafos seguintes analisaremos estes métodos.

a) Multiplicador analógico.

Neste caso o PSD compreende de um circuito eletrônico que multiplica o sinal de entrada com uma onda senoidal da mesma frequência. A deficiência deste método reside em que embora a técnica seja muito simples, é bem complicado confeccionar um circuito multiplicador capaz de operar linearmente na presença de ruídos grandes e outras formas de interferência. Operações não lineares resultam em rejeições de ruídos pobres (ruins) limitando a capacidade de reconstrução de sinal do instrumento.

b) Multiplicador digital.

Neste tipo de multiplicação o sinal de entrada é amplificado e imediatamente digitalizado. Este sinal digitalizado é então multiplicado por um sinal de referência também digitalizado usando-se um processador de sinal digital (DSP). Decorrente deste processo multiplicativo não há uma tensão analógica, mas sim uma série de valores digitais. A técnica oferece a vantagem de uma multiplicação perfeita onde não há erros inerentes ao processo, diminuindo o acoplamento eletrônico DC necessário em outras técnicas. Este método pode ser usado em aplicações de análise de espectro de frequências durante um grande tempo.

Há, entretanto, um número maior de problemas neste método quando aplicamos o mesmo à recuperação de um sinal acrescido de ruído. O mais importante neste caso é a escala dinâmica. Considere o caso de um sinal de entrada estar acrescido de 100 dB de ruído. Se o sinal é digitalizado com uma exatidão de “ n ” bits então a entrada convertida tem uma escala dinâmica de $2^n \cdot 100,000$ para acomodar inteiramente a amplitude do sinal e do ruído. Com um valor típico para $n = 15$ a escala de $3.2 \cdot 10^9:1$, corresponde a 32 bits. Um conversor analógico digital (ADC) pode ser construído com tal exatidão, mas poderia ser extremamente caro e completamente incapaz de fazer a amostragem de um sinal de frequência da ordem de 100 kHz em um *amplificador Lock-In*.

Na prática um *amplificador Lock-In* usa conversores de 16 ou 18 bits. Conseqüentemente, na presença de sinais com interferências muito grandes, o sinal requerido somente pode ser mudado nos bits menos significativos não produzindo então mudança significativa na saída do conversor AD. Tudo isto mostra que a resolução na saída correspondente a uma amostra individual não seja de boa qualidade.

2.2.4 Filtro Passa Baixo e amplificadores de saída.

O filtro de saída tem como função eliminar a componente AC. Estes filtros podem ser implementados como circuitos analógicos ou como processadores de sinais digitais. Muitas das vezes são usados para esta finalidade filtros RC com a relação de *6 dB por oitava*.

O amplificador de saída tem como função fazer o acoplamento DC com o circuito analógico ou o multiplicador digital. Amplificadores de saída podem ser circuitos analógicos com acoplamento DC ou multiplicadores digitais. Este amplificador conjuntamente com o amplificador de entrada permite que o sistema possa trabalhar com um intervalo expressivo de amplitudes de entrada. As operações de ambos os amplificadores (entrada e saída) dependem da relação sinal-ruído na entrada do *Lock-In*.

2.2.5 Saída.

Tradicionalmente a saída de um amplificador *Lock-In* corresponde a uma tensão DC mostrada em um painel de um medidor analógico. Nos *amplificadores Lock-In* mais modernos o resultado da saída é mostrado em um display digital, sendo que os equipamentos mais novos oferecem também a oportunidade de acompanhar mais de um parâmetro durante a medida através da presença de dois displays digitais. Nesta configuração, por exemplo, o usuário pode acompanhar a medida em fase com a referência num display, enquanto no outro é mostrada o sinal em quadratura com a referência, a qual em muitos experimentos de laboratório está relacionada às perdas de energia do sistema físico estudado.

- a) Configurações Fase simples e Fase dupla.

A discussão anterior baseia-se no conceito de instrumento de fase simples. Outro conceito se refere ao equipamento de fase dupla. Nesta última configuração usa-se outro PSD e um deslocador de fase de 90° . Esse segundo detector é acompanhado de um segundo filtro de saída e de outro amplificador de saída. O sinal de saída deste segundo amplificador de saída é chamado de Y e a saída inicial sem defasagem é chamado de X. A vantagem desta configuração é que se a fase do sinal muda (porém a amplitude fica constante) a magnitude do sinal $R = \sqrt{X^2 + Y^2}$ se mantém constante.

2.2.6 Oscilador interno.

Muitos *amplificadores Lock-In* usam um oscilador interno o qual pode ser usado para gerar sinais destinados a excitar o sistema físico estudado. Estes sistemas permitem controlar a amplitude e frequência da excitação durante as medidas. Neste caso a referencia pode ser obtida internamente do instrumento.

2.3 Detector Sensível a Fase.

Conforme destacado na seção 2 a parte mais importante do *amplificador Lock-In* é o detector sensível de fase (PSD). Este dispositivo isola o sinal de interesse de outras interferências, as quais aparecem como flutuações AC. O processo de detecção dentro do PSD é realizado através da multiplicação do sinal de entrada por dois sinais (fase e quadratura) obtidos a partir do sinal de referencia. Este processo e a correspondente demodulação para obter o sinal de entrada serão explicados nos parágrafos seguintes.

Suponhamos primeiramente que um sistema *Lock-In* detecta um sinal de entrada $V_{in} = B \cos(\omega t + \theta)$ no canal de entrada enquanto que um sinal de referência V_{ref} é fornecido (ou gerado internamente) ao canal de referência. Como primeiro ponto focalizamos na multiplicação de V_{in} por $V_{ref_0} = A \cos(\omega t)$. Destacamos que os dois sinais, V_{in} e V_{ref} , têm a mesma frequência ($\omega = 2\pi f_0$) e que a defasagem entre eles é θ . O resultado da multiplicação, chamado de V_{psd} , pode ser obtido como:

$$\begin{aligned}
V_{psd} &= A \cos(\omega t) B \cos(\omega t + \theta) \\
&= AB \cos(\omega t) (\cos(\omega t) \cos \theta - \sin(\omega t) \sin \theta) \\
&= AB (\cos^2(\omega t) \cos \theta - \cos(\omega t) \sin(\omega t) \sin \theta) \\
\cos^2(\omega t) &= (\cos(2\omega t) + 1) / 2 \\
\cos(\omega t) \sin(\omega t) &= \sin(2\omega t) / 2 \\
&\textit{substituindo} \\
&= \frac{1}{2} AB \cos \theta + \frac{1}{2} AB \cos(2\omega t + \theta)
\end{aligned}$$

Seja U_1 o valor médio de V_{psd} , temos então:

$$\begin{aligned}
U_1 &= \frac{1}{T} \int_0^T V_{psd} dt \\
U_1 &= \frac{1}{T} \int_0^T \frac{AB}{2} \cos \theta dt + \frac{1}{T} \int_0^T \frac{AB}{2} \cos(2\omega t + \theta) dt \\
\cos(2\omega t + \theta) &= \cos(2\omega t) \cos \theta - \sin(2\omega t) \sin \theta \\
U_1 &= \frac{1}{T} \int_0^T \frac{AB}{2} \cos \theta dt + \frac{1}{T} \int_0^T \frac{AB}{2} \cos(2\omega t) \cos \theta dt - \frac{1}{T} \int_0^T \frac{AB}{2} \sin(2\omega t) \sin \theta dt
\end{aligned}$$

Pode-se observar que o segundo e terceiro termos da integral tem a frequência multiplicada por dois. Como $2\omega T$ é igual $4\pi n$ e $\sin(2n\pi)$ para qualquer valor de n é igual a zero, então $\sin(2\omega T)$ é igual a zero. Portanto o segundo termo se reduz a zero. No terceiro termo devido ao $\cos(2\omega T)$ o resultado da integral varia entre -1 e 1, logo o terceiro termo também se reduz a zero. O resultado então fica dependente apenas do primeiro termo da expressão, tendo como resultado:

$$U_1 = \frac{AB}{2} \cos \theta$$

O sinal de entrada V_{in} pode ser multiplicado por V_{ref90} , onde V_{ref90} corresponde ao sinal de referência defasado 90 graus. Seguindo a metodologia anterior obtemos, porém com a componente em quadratura da referência temos:

$$V_{psd} = A \sin(\omega t) b \cos(\omega t + \theta)$$

$$= AB \sin(\omega t) (\cos(\omega t) \cos \theta - \sin(\omega t) \sin \theta)$$

$$= AB (\cos(\omega t) \sin(\omega t) \cos \theta - \sin^2(\omega t) \sin \theta)$$

$$\sin^2(\omega t) = (\cos(2\omega t) - 1) / 2$$

$$\cos(\omega t) \sin(\omega t) = \sin(2\omega t) / 2$$

substituindo

$$= \frac{1}{2} AB \sin \theta + \frac{1}{2} AB \sin(2\omega t - \theta)$$

Chamaremos U_2 o valor médio de V_{psd} , temos então:

$$U_2 = \frac{1}{T} \int_0^T V_{psd} dt$$

$$U_2 = \frac{1}{T} \int_0^T \frac{AB}{2} \sin \theta dt + \frac{1}{T} \int_0^T \frac{AB}{2} \sin(2\omega t - \theta) dt$$

$$\sin(2\omega t - \theta) = \sin(2\omega t) \cos \theta - \cos(2\omega t) \sin \theta$$

$$U_2 = \frac{1}{T} \int_0^T \frac{AB}{2} \sin \theta dt + \frac{1}{T} \int_0^T \frac{AB}{2} \sin(2\omega t) \cos \theta dt - \frac{1}{T} \int_0^T \frac{AB}{2} \cos(2\omega t) \sin \theta dt$$

Na resolução das integrais para a determinação de U_2 temos o mesmo procedimento que ocorreu com o segundo e terceiro termos para a determinação de U_1 .

Logo:

$$U_2 = \frac{AB}{2} \sin \theta$$

Alguns pontos merecem ser destacados nos resultados anteriores. Por exemplo, se a defasagem entre os sinais de entrada e de referência é zero ($\theta = 0$) temos então que $U_1 = AB/2$ enquanto que $U_2 = 0$. O sinal V_{psd} neste caso tem uma frequência igual ao dobro do sinal de entrada, porém com um valor médio positivo conforme é mostrado na figura 2.

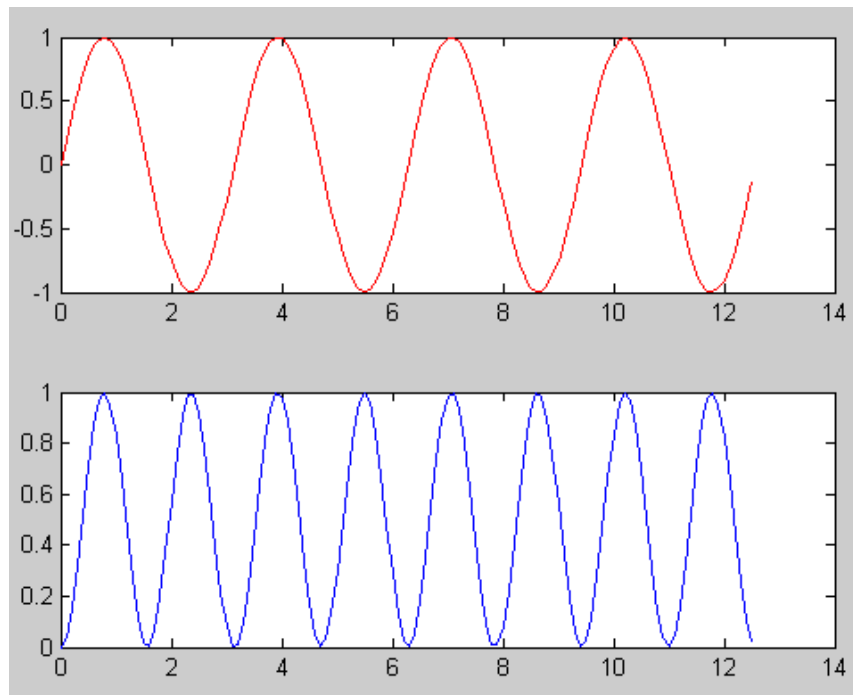


Figura 4 - Parte superior mostra o sinal de entrada. Parte inferior mostra o sinal de saída V_{psd} após a multiplicação por V_{ref} em fase com o sinal de entrada.

Já no caso de $\theta = \pi/2$, $U_1 = 0$ enquanto que U_2 vale $AB/2$. Neste caso em particular o processo de multiplicação do sinal de entrada com o sinal de referência defasado em 90° (V_{ref90}) produz um sinal de saída com frequência igual ao dobro da frequência do sinal de referencia, mas com um valor médio igual a zero. A figura 3 mostra esta última situação.

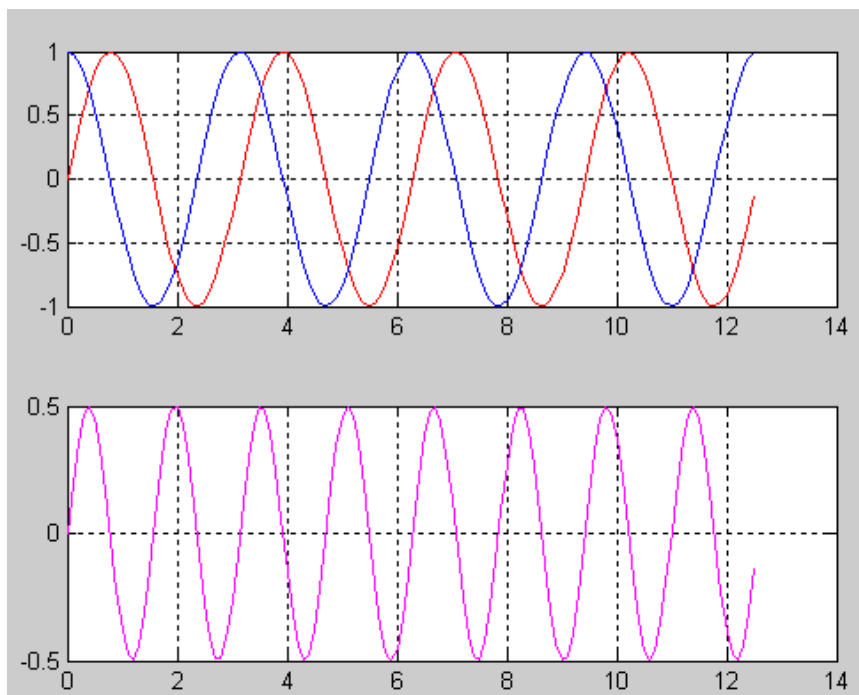


Figura 5 - Parte superior mostra os sinais de entrada (azul) e a referência (vermelho) com defasagem de 90° . Parte inferior mostra o sinal de saída após a multiplicação do sinal de entrada por V_{ref} .

De todo o anterior pode ser constatado que o nível médio do sinal de saída não só está determinado pelas amplitudes dos sinais de entrada e de referência, além depender também da defasagem entre ambos os sinais. A partir do processo anterior, a amplitude do sinal de entrada pode ser determinada indiretamente a partir da medida do nível médio do sinal demodulado (sinal multiplicado), tomando-se o sinal de referência com um valor fixo e ajustado para assegurar um deslocamento de fase zero com relação ao sinal de entrada. Este nível médio (componente DC) pode ser isolado a través do uso de um filtro passa baixa e é medido usando-se uma técnica convencional de medição DC.

Cabe destacar que a discussão acima é baseada no caso de um sinal de entrada livre de ruídos. Em aplicações reais o sinal de entrada pode ser acompanhado de um ruído o qual não tem uma frequência fixa ou deslocamento de fase fixa relacionada com a referência. É importante destacar que neste caso a multiplicação do sinal de entrada pelo sinal de referência no demodulador não causa mudança no nível DC do sinal de saída. As componentes do ruído para frequências muito próximas à frequência do sinal de referência resultam em saídas do demodulador em frequências muito baixas. Neste

caso um ajuste do filtro passa baixo para uma frequência de corte inferior pode eliminar estas componentes. Resumindo, a combinação de um demodulador e de um filtro baixo da saída da passagem permite que sinais sejam medidos mesmo acompanhados de ruídos significativos.

3. Altera Stratix® II EP2S60 DSP

Com o avanço da microeletrônica e dos microprocessadores, fabricantes de instrumentos de medidas vêm colocando em seus produtos funcionalidades para atrair cada vez mais o interesse de seus clientes. Como exemplo, pode-se citar voltímetros que são conectados à Internet; osciloscópios que permitem alterar a escala de medida remotamente, além de conexão a computadores e impressoras e equipamentos com controle “inteligente”, etc. Tais equipamentos apresentam arquiteturas e limitações (capacidade de processamento e armazenamento, fonte de alimentação, etc.) diferentes de um computador. Diante disso, torna-se necessário o desenvolvimento de *software* e/ou *hardware* específico para esse tipo de equipamento. Surge então, o conceito de sistema embutido (embarcado), que é a combinação de *hardware* e *software*, e algumas vezes peças mecânicas, desenvolvidos para realizar uma função específica. Através da implementação em *hardware*, é possível alcançar uma maior eficiência e rapidez na execução de determinadas tarefas e, a partir do *software*, pode-se reduzir o tempo de desenvolvimento e aumentar a flexibilidade do sistema. Neste capítulo apresento os principais conceitos relacionados ao *hardware* utilizado nessa tese, o kit de desenvolvimento da empresa Altera, o Stratix® II EP2S60 DSP.

3.1 Características da placa.

O Stratix® II EP2S60 DSP é um kit de desenvolvimento que inclui um processador de sinal digital (DSP). Essa plataforma foi projetada para o desenvolvimento de aplicações de hardware que necessitam de alto desempenho, sendo apropriado para o desenvolvimento de sistemas baseados em DSPs e dispositivos da família Stratix II da Altera.

Combinado com as funções de Propriedade Intelectual (*IP – Intellectual Property*) para DSPs e as “Mega-funções” desenvolvidas em programas de parceria com empresas (Altera Megafunction Partners Program - AMPPSM), pode-se desenvolver rapidamente poderosos sistemas baseados em DSP. O kit inclui também um compilador, o DSP Builder, com a biblioteca para o Stratix II EP2S60 DSP que permite o desenvolvimento de algoritmos, simulação, e verificação do código, por meio do MATLAB e do Simulink.

Os componentes do kit Stratix ® II EP2S60 DSP são:

➤ Componentes

■ Conversores Analógicos de ESO

- Dois conversores A/D 12-bit 125-MHz;
- Dois conversores DA 14-bit 165-MHz;
- Três conversores D/A de 8-bit para saída VGA (180 megapixels/s);
- Um codificador/decodificador de 96-KHz stéreo para saída de áudio;

■ Sistema de memória

- 1 MByte de SRAM (10-ns) assíncrona com barramento de 32-bit;
- 16 MBytes de memória flash com barramento de 8-bit;
- 32 MBytes de memória SDRAM com barramento de a 64-bit;
- Conector CompactFlash suportando modos de acesso ATA e IDE

■ Configurações

- Configuração on-board usando 16 MBytes de memória flash (dispositivo Altera® EPM7256 MAX®);
- Configuração por download dos dados usando USB

■ Entrada e saída diferencial acessada via a Mictorconnector;

■ Display duplo de sete segmentos;

■ Quatro interruptores que podem ter suas funções definidas pelo usuário;

■ Uma entrada RS-232 (conector fêmea de 9-pin);

■ Interface Ethernet 10/100 Mbps;

■ Oito LEDs que podem ser definidos pelo usuário;

- Oscilador 100-MHz (em soquete);
 - Fonte única de 16-V DC
 - Sistema de ventilação ativo
- Sistemas de “Debugging”
- Um conector Mictor-type para analisadores lógicos Agilent e Tektronix/
- Sistema de Expansão
- Dois conectores para placa filha com Conversores A/D
 - Conectores para placa filha com Módulo de Desenvolvimento da Texas Instruments (TI-EVM)
 - Dois conectores de expansão e prototipagem.

A Figura 2.1 apresenta uma fotografia do kit de desenvolvimento Stratix[®] II EP2S60 DSP.

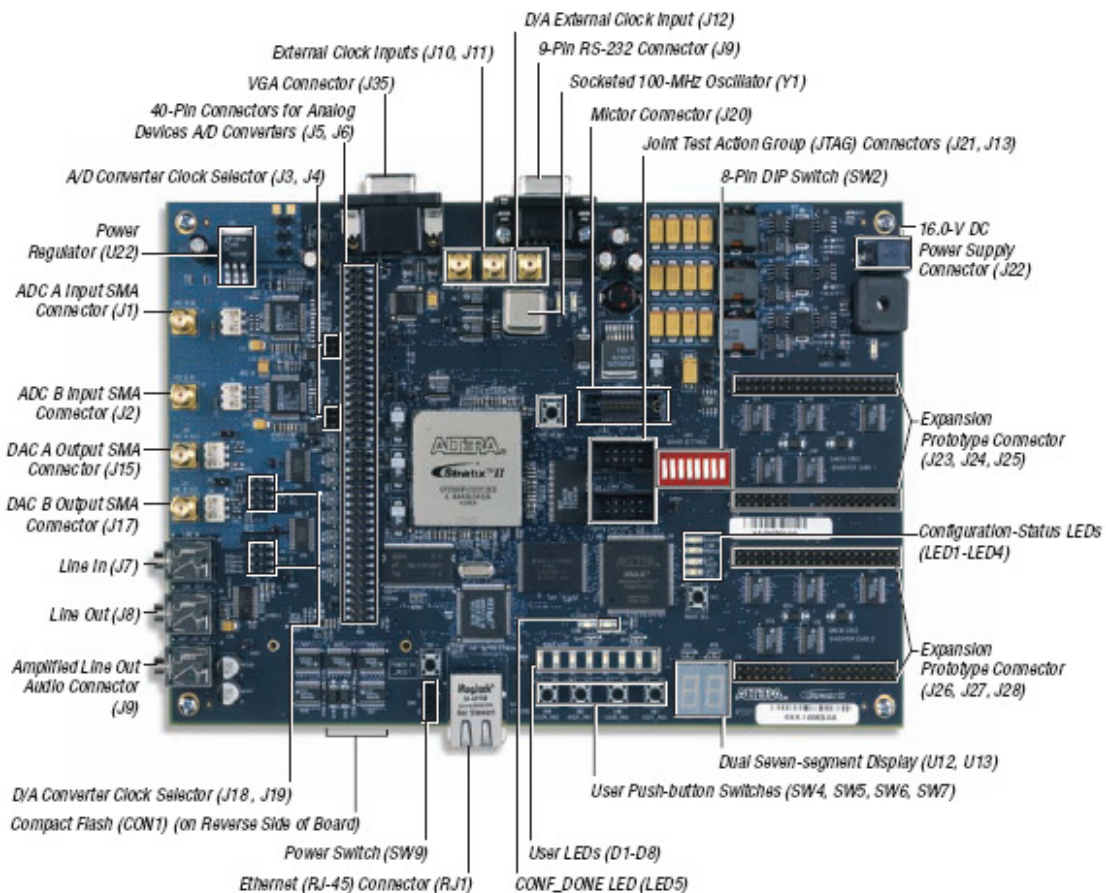


Figura 6 - Layout dos componentes e interfaces do kit Altera Stratix II EP2S60 DSP.

3.2 Descrições Gerais.

O hardware do kit de desenvolvimento EP2S60 tem uma série de interfaces e componentes adaptados ao desenvolvimento de aplicações com Processadores de Sinais Digitais. Essas interfaces e componentes são apresentados na Tabela 1.

Interfaces e Componentes do kit de Desenvolvimento Stratix II EP2S60 DSP			
Componente/Interface	Tipo	Designação	Descrição
Componentes			
Stratix II	FPGA	U18	EP2S60 StratixII.
Dispositivo MAX	PLD	U10	EPM7256ETC144.
Conversores A/D	E/S	U1 e U2	Conversores 12bits 125MHz.
Conversores D/A	E/S	U14 e U15	Conversores 14bits 165MHz.
01 MByte SRAM	Memória	U43 e U44	01 MByte, 10ns, SRAM assíncrona (32 bit).
16 MByte Memória Flash	Memória	U17	16 MBytes de memória flash (8 bit).
32 MBytes SDRAM	Memória	U39 e U40	32 MBytes de memória SDRAM (64 bit).
Conectores SMA (Clock)	Entrada	J10, J11 e 12	Conectores SMA para entrada de clock externo com terminadores de 50 Ω.
Display de sete segmentos	Display	U12 e U13	Display duplo de sete segmentos.
Interruptores	E/S	SW4, SW5, SW6 e SW7.	Quatro interruptores que podem ser definidos como lógica de entrada pelo usuário.
LEDs	Display	D1 – D8	Oito LEDs que podem ter suas funções definidas pelo usuário.
Power On - LED	Display	LED7	Aceso quando o kit está alimentado.
LED de configuração	Display	LED5	Aceso quando a configuração foi carregada com sucesso no dispositivo

			StratixII.
Conector RS232	E/S	J29	Conector DB9, configurado como uma porta serial DTE. As voltagens da interface são convertidas para sinais de 3.3V para o dispositivo Stratix II que deve ser configurado para receber e enviar dados seriais.
Oscilador 100MHz	Clock	Y1	Oscilador em soquete na placa.
Fonte de Alimentação 16VDC	Entrada	J22 (adaptador)	Adaptador de 110-240VAC para 16VDC.
StratixII - Conector JTAG (Joint Test Action Goup)	E/S	J21	Conector JTAG usado para configurar o dispositivo Stratix II diretamente.
Configuração do controlador do JTAG	E/S	J13	Conector JTAG usado para configurar o controlador de configuração.
Conversor D/A VGA	E/S	U45	Saída do conversor D/A de 8 bits, (180 megapixels/s) para VGA.
Áudio CODEC	E/S	U5	CODEC de áudio 96 KHz estéreo.
Conector CompactFlash	E/S	CON1	Conector para cartão CompactFlash.
Interface de Debug			
Conector Mictor	E/S	J20	Conector Mictor para 33 pins no dispositivo Stratix II (32 dados de sinais e um sinal de clock) para uso como um analisador lógico externo.
Interfaces de Expansão			
Conector Analog Devices	Expansão	J20	Conector Mictor para 33 pins no dispositivo Stratix II (32 dados de sinais e um sinal de clock) para uso como um analisador lógico externo.
Conector TI-EVM	Expansão	J31, J33	Interface ao TI-EVM (no sentido reverso a placa do circuito)
Conectores de prototipagem	Expansão	J23-J25, J26-J28	O kit tem duas interfaces para a placa filha com conectores de 74-pin (Estes pinos são usados para I/O genérico). Estes conectores são denominados

			como “Santa Cruz Daughter Card 1“ e “Santa Cruz Daughter Card 2”
--	--	--	---

Tabela 1 - Interfaces e Componentes do kit de Desenvolvimento Stratix II EP2S60 DSP

3.3 Usando o kit Stratix II EP2S60 DSP

Ao alimentarmos o kit e colocarmos a chave SW9 na posição “ON”, o dispositivo MAX (U10) programa o Stratix II (U18) a partir das informações de configurações armazenadas na memória flash. Se a inicialização for realizada com sucesso o LED5 é aceso.

3.3.1 Fonte de alimentação

A fonte de alimentação fornece 16V DC ao conector J22. Todos os componentes obtêm as tensões de 3.3 V, 1.2V e 5V necessárias para o funcionamento do kit a partir desta única fonte de alimentação. Os Conversores A/D e D/A dissipam muito calor e conseqüentemente esquentam muito quando a placa está em funcionamento.

3.3.2 Configurações não voláteis

Todas as vezes que o kit Stratix II EP2S60 DSP for religado ele deve ser re-configurado. Para aplicações onde é necessário que uma configuração especial seja carregada imediatamente quando o kit é ligado, devem-se utilizar as configurações por memória não-voláteis. Para isso devem ser utilizados o controlador de configurações U10 (EPM7256 PLD) e a memória flash. Este controlador não perde seus dados de configuração quando a placa não está alimentada e programa o dispositivo Stratix II (U18) com dados da memória flash (U17) quando o sistema é iniciado. O software Quartus II pode produzir arquivos hexadecimais para serem armazenados na memória flash como arquivos de configuração. O usuário pode gerenciar quatro arquivos de configurações diferentes armazenados na memória flash: três gerados pelo usuário e uma configuração de fábrica. O usuário pode selecionar qual programa será carregado no Stratix II definindo os DIP switches de SW2.

3.4 Descrição Funcional

Esta seção descreve os elementos da Stratix II EP2S60. A Figura 2.2 mostra o diagrama de blocos da placa:

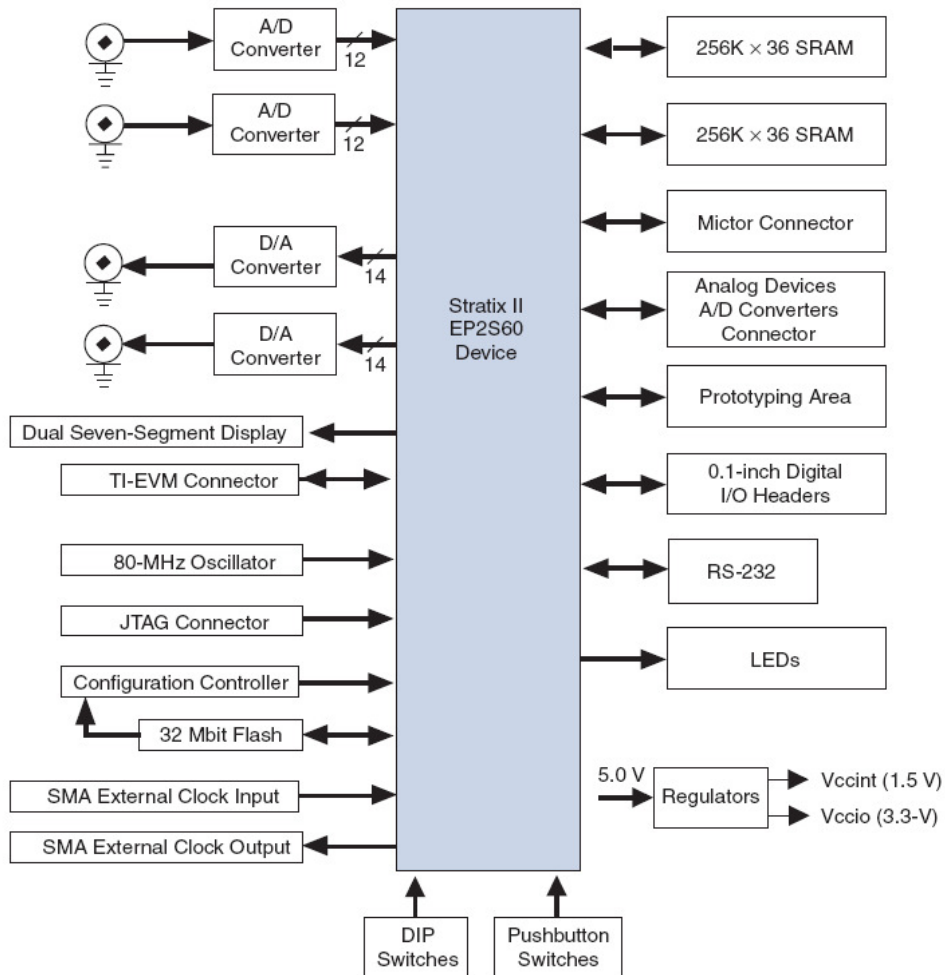


Figura 7 - Diagrama de blocos do kit de desenvolvimento Stratix II EP2S60

3.5 Clocks

O kit EP2S60 obtém o sinal de clock do oscilador interno ou por meio de um sinal externo (conector SMA). A placa pode fornecer sinais independentes de clocks de ambos os PLLs para os conversores A/D e D/A e outros componentes que requerem clocks estabilizados. O sinal de clock pode ser obtido no oscilador Y1 ou externamente usando o conector J10. Para usar um sinal de clock externo o cristal oscilador deve ser removido do soquete.

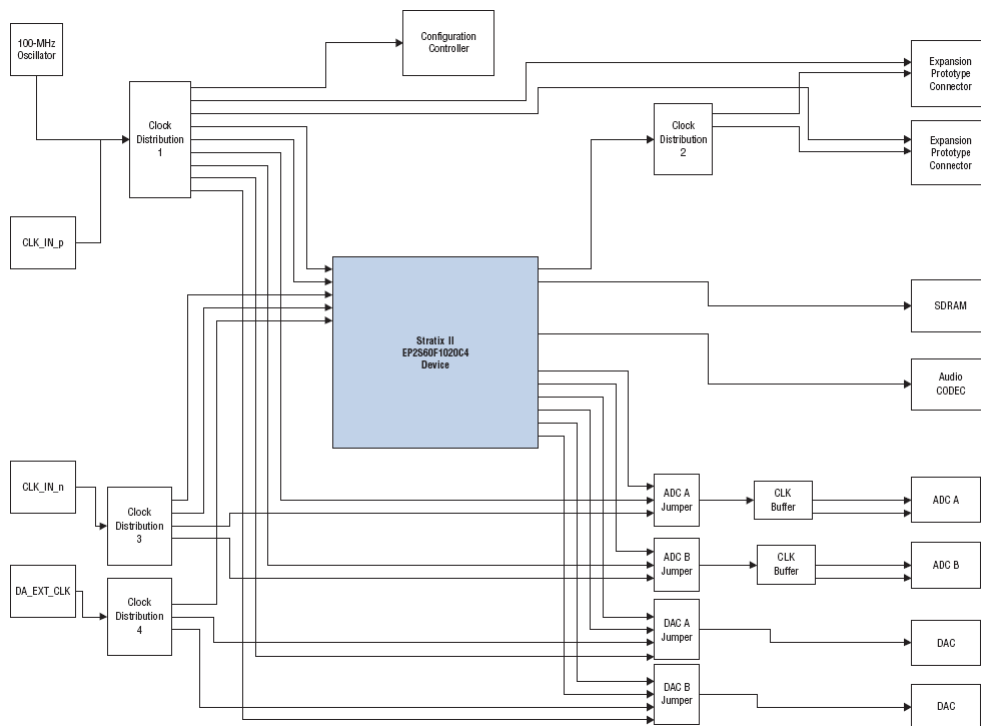


Figura 8 - Diagrama da distribuição do sinal de Clock no kit Stratix II EP2S60

3.6 Componentes da Placa

3.6.1 Dispositivo Stratix II (U18)

O Dispositivo Stratix II do kit EP2S60 tem 24.176 módulos de lógicas adaptáveis (*Adaptive Logic Modules – ALMs*) em uma grade de 1020 pinos (*FineLine BGA*). Esse dispositivo tem 2.544.192 bits de RAM. Para informações mais detalhadas sobre os dispositivos Stratix II veja [Stratix II Device Handbook].

Feature	EP2S60F1020
ALMs	24,176
Adaptive look-up tables (ALUTs)	48,352
M512 RAM Blocks (32 × 18 bits)	329
M4K RAM Blocks (128 × 36 bits)	255
M-RAM Blocks	2
Total RAM bits	2,544,192
DSP Blocks	36
Embedded multipliers (based on 18 × 18 mode of operation)	144
Enhanced PLLs	4
Fast PLLs	8
Maximum user I/O pins	717
Package type	1020-pin FineLine BGA
Board reference	U18
Voltage	1.2 V (internal), 3.3 V (I/O)

Tabela 2 - Características e funcionalidades do EP2S60.

3.6.2 Conversores A/D

O kit de desenvolvimento tem dois conversores A/D de 12 bits que podem chegar até 125 milhões de amostras por segundos (MSPS). O sistema A/D tem as seguintes características:

- Formato dos dados de saída de cada conversor A/D utiliza a representação em complemento a dois;
- Circuito de banda larga, acoplamento AC e entradas diferenciais que são úteis para amostragem de frequências intermediárias.

Circuito de entrada do conversor A/D utiliza um transformador de acoplamento com frequência de corte inferior em 3-dB de aproximadamente 1 MHz. O sinal de clock que alimenta o conversor A/D pode ser interno ou externo. Este sinal pode ser fornecido pelo dispositivo Stratix II, ou por meio do conector de entrada de clock externo, ou pelo clock de referência de 100MHz.

3.6.3 Conversores D/A

O kit Stratix II EP2S60 DSP tem dois conversores D/A, com as seguintes características:

- Amostragem de 14-bits com frequência máxima de 165 milhões de amostras por segundos (MSPS);
- A saída analógica de cada conversor D/A é limitada e os dados são codificados no formato *unsigned integer*. O sinal de clock do conversor D/A é obtido direto do dispositivo Stratix II.

A Figura 2.4 apresenta o circuito após o conversor D/A. O chip DAC904, consiste de uma fonte de corrente com valor máximo de 20 mA. A saída do conversor é aterrada por meio de um resistor de 51- Ω , criando um modelo de Thevenin para uma fonte de tensão de 1 V. Quando a carga é balanceada externamente com um terminador de 50- Ω , a saída é reduzida para 0.5 Vpp. Além disso, encontramos um capacitor de 27-pF em paralelo com o resistor de saída resultando em um filtro passa baixa, de pólo único, com frequência de corte superior de 230MHz. A saída é obtida no conector SMA.

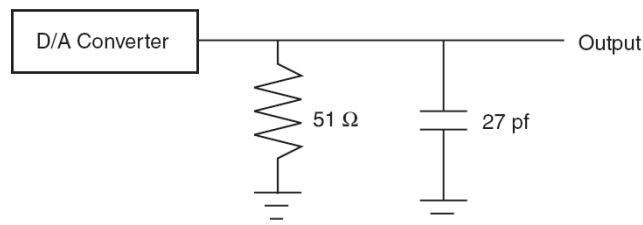


Figura 9 – Filtro passa baixa após conversor D/A do kit EP2S60.

3.7 Considerações Gerais

Desenvolver sistemas embutidos envolve conceitos pouco explorados pela computação de propósito geral. Questões como mobilidade, limite de consumo de potência, a baixa disponibilidade de memória, a necessidade de segurança e confiabilidade, a possibilidade de funcionamento em uma rede de comunicação e o curto tempo de projeto tornam o desenvolvimento de tais sistemas embutidos uma área muito dinâmica e de constante modificação.

Com a automação do projeto de hardware caminhando na direção do reuso de plataformas e de componentes integráveis como o EP2S60 e os IP Cores, a automação do projeto de software e sua integração com o projeto de hardware se torna o principal objetivo a ser alcançado para a diminuição do tempo total de projeto.

O projeto de um sistema embarcado de grande complexidade é bastante caro para uma empresa, envolvendo equipes multidisciplinares (hardware digital, hardware analógico, software, teste) e a utilização de ferramentas computacionais de custo elevado. São especialmente elevados os custos de fabricação de sistemas integrados numa pastilha, o que obriga as empresas a investir apenas em projeto de componentes que tenham garantidamente volume muito alto de produção, de forma a amortizar os custos de fabricação.

Atualmente muitos instrumentos científicos, comumente utilizados nos laboratórios de física experimental, são desenvolvidos usando-se DSPs em sistemas embutidos.

4. Circuito de Desacoplamento.

Este capítulo apresenta o circuito de desacoplamento para o amplificador Lock-In. Esse circuito foi projetado para que o instrumento realize medidas usando o método de quatro pontos, muito utilizado em laboratórios de física experimental. Nas seções seguintes será apresentada uma descrição do circuito eletrônico, uma análise do comportamento do circuito no domínio da frequência, uma análise do atraso que esse circuito introduz no sinal, uma análise do ruído e por fim uma análise da distorção do sinal causado pelo circuito eletrônico.

4.1 Circuito Eletrônico

O método de medida a quatro pontos consiste da aplicação de uma fonte de corrente e uma resistência de referência conhecida em série com a amostra a ser medida. O problema encontrado para a medição utilizando esse método com o kit Altera EP2S60 é a colocação do terceiro e quarto pontos em curto-circuito por meio de um aterramento da entrada do conversor A/D e do gerador, conforme apresentado na Figura 10 (a). Para resolver este problema foi projetado o circuito de desacoplamento separando o circuito de medida e o kit EP2S60 (c.f. Figura 10-b).

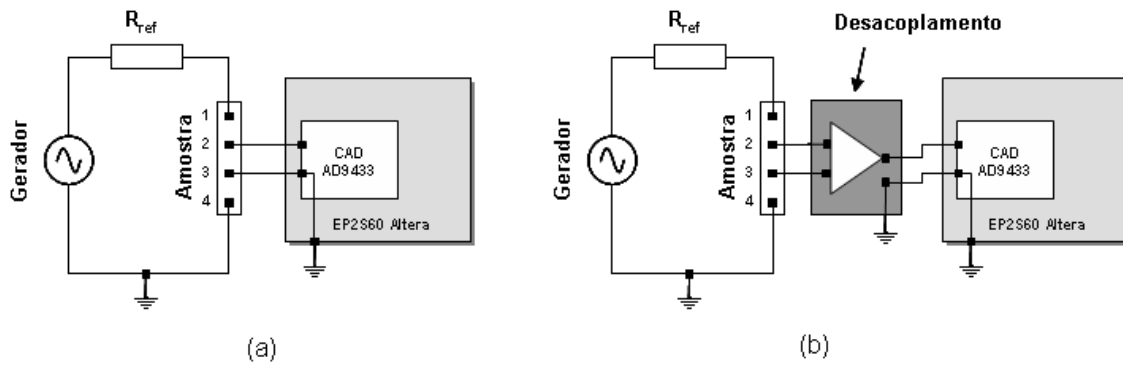


Figura 10 – (a) Mostra o gerador ligado diretamente a amostra e o terra comum no sistema de medição a 4 fios. (b) Mostra o circuito desacoplando o terra da fonte com a amostra a 4 fios.

Dois circuitos foram construídos, um para o sinal da amostra e o outro para o sinal de referência do gerador. A figura 11 mostra o circuito de desacoplamento projetado, composto de: i) dois amplificadores para o estágio diferencial; ii) um amplificador para o ajuste de ganho e offset; iii) um filtro passa-alta na saída com frequência de corte de 50KHz. O amplificador LM318 [26] foi escolhido por ser de fácil aquisição no mercado brasileiro. Outros amplificadores poderiam ser utilizados como, por exemplo, o INA 217 [27] por terem um melhor slew rate e operarem melhor em frequências mais elevadas, porém não estavam disponíveis no mercado brasileiro com a rapidez que o projeto necessitava.

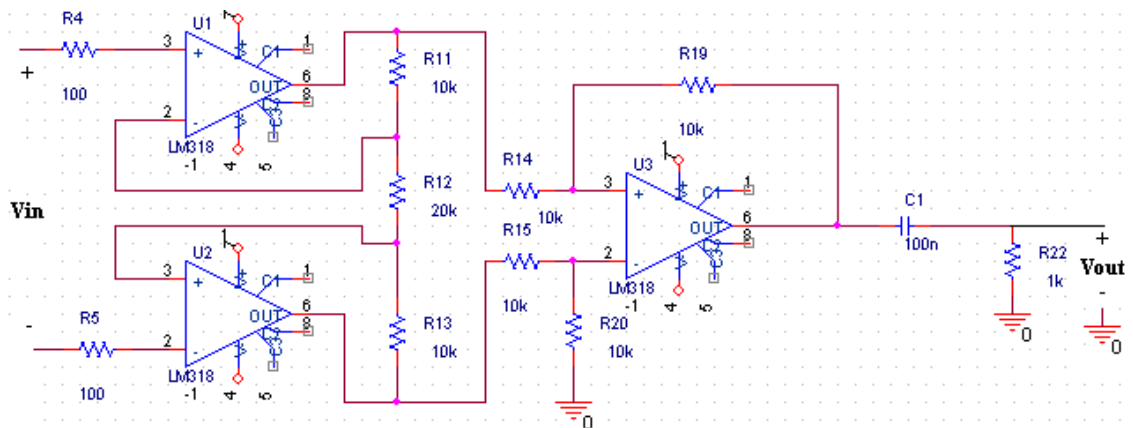


Figura 11 - Circuito de desacoplamento. O projeto dividiu o circuito em três estágios: Estágio de amplificação diferencial com dois amplificadores operacionais LM318, um estágio de ajuste de ganho e um filtro passa-altas. Este circuito foi construído duas vezes sendo um utilizado para o sinal de medido e outro para o sinal de referência.

4.2 Análises no Domínio da Freqüência

A análise no domínio freqüencial tem por objetivo a validação do circuito de desacoplamento demonstrando que este trabalha na banda de freqüência do conversor A/D do Kit EP2S60. Para essa comprovação fixamos a amplitude do sinal de entrada e verificamos a amplificação na saída e em seguida calculamos o ganho em dB. A Figura 12 (a) e (b) relaciona o ganho encontrado com o fornecido pelo fabricante do amplificador operacional [26].

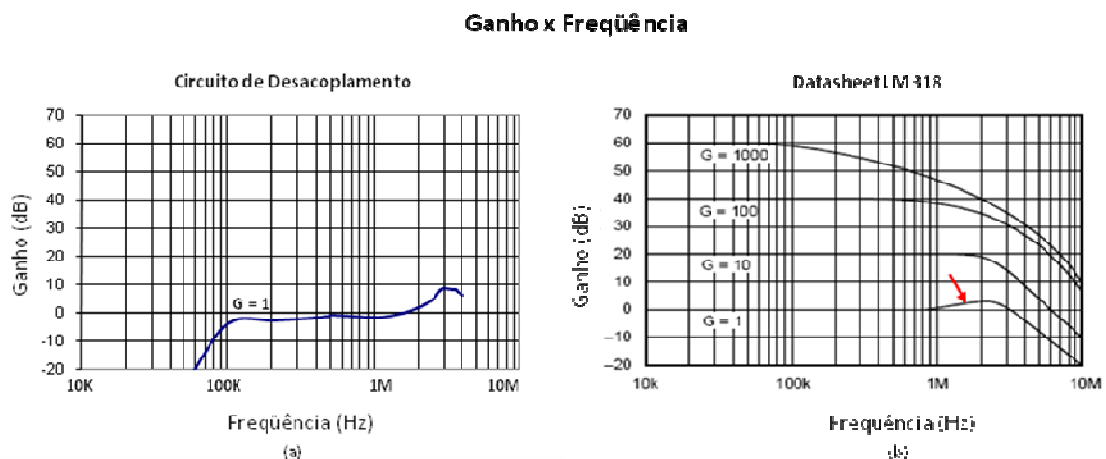


Figura 12 - Comparação de resposta de freqüência do circuito de desacoplamento(a) e datasheet do amplificador operacional LM318 do fabricante.

O gráfico da figura 12 (a) mostra o desempenho do circuito entre as freqüências de 0.5 a 2 MHz. O aumento do ganho acima de 2 MHz era esperado conforme podemos observar no *datasheet* do fabricante [26], (Figura 12(b)).

4.3 Análises do Atraso em Função da Freqüência.

Esta seção apresenta um estudo do atraso do sinal introduzido pelo circuito de desacoplamento em função da freqüência. Esse estudo é muito importante, pois uma das principais funções do Amplificador Lock-In é a medida da defasagem do sinal da amostra em relação ao sinal de referência. Para esse estudo realizamos o seguinte experimento: introduzimos um sinal $V_{in} = \cos(2\pi f_o t)$ na entrada do circuito de desacoplamento e medimos o diferença de fase do sinal V_{out} em relação a V_{in} para vários valores de f_o . O gráfico da Figura 13 apresenta os resultados obtidos. Podemos observar

que o atraso do sinal, introduzido pelo circuito de desacoplamento, é maior quanto maior f_o , tendo o comportamento descrito pela Equação Eq. 4.1.

$$\theta = e^{f_o / 1000} \rightarrow f_o \text{ em KHz} \quad (\text{Eq. 4.1})$$

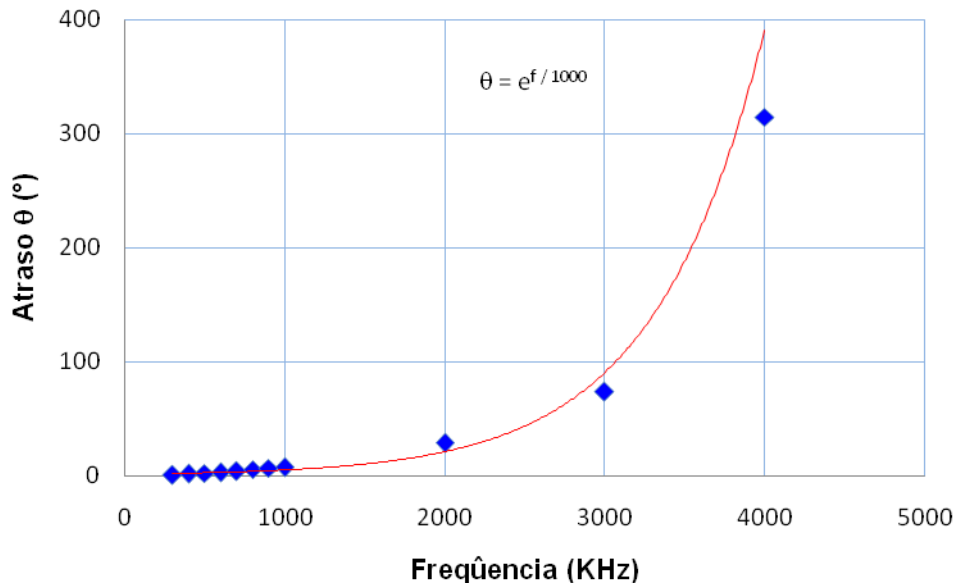


Figura 13 - Análise do atraso do sistema em função da variação de frequência.

O amplificador utilizado pode introduzir atrasos nos sinais em função da frequência. O LM318 tem limitações em frequências que são apresentadas no *datasheet* do fabricante.

4.4 Análises do Ruído do Sistema

Esta seção apresenta o estudo do ruído no Laboratório de Eletrônica do CBPF e seu efeito no circuito de desacoplamento. Inicialmente estimamos o ruído ambiente encontrado no laboratório por meio da captura de 2500 amostras do Canal 1 (CH1) do osciloscópio em aberto. O desvio padrão calculado para esse ruído foi de 0.57 mV. Após conectarmos os cabos do gerador, da amostra e resistência padrão e ligarmos a

fonte de alimentação (12 V_{DC}), repetimos a medida do ruído (Figura 14) pelo osciloscópio e o desvio padrão obtido continuou o mesmo.

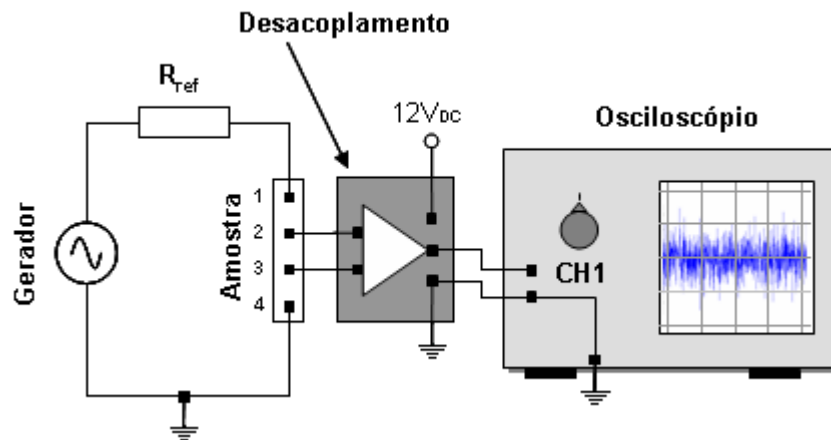


Figura 14 - Osciloscópio desconectado do circuito de desacoplamento e do gerador de sinais. Ele captura apenas o ruído advindo do laboratório.

4.5 Análises de Distorção do Sinal

Esta seção apresenta uma análise da distorção do sinal causada pelo circuito de desacoplamento em função da frequência. Quando trabalhamos com frequências elevadas é muito comum que os circuitos amplificadores distorçam os sinais. Como o circuito de desacoplamento foi projetado para trabalhar com frequências na faixa de 0.5 a 2 MHz esse estudo se fez necessário.

Para esse estudo realizamos o seguinte procedimento: variamos o valor de f_o (frequência de referência do gerador) na faixa de 0.5 a 2 MHz em passos de 0.5 MHz e calculamos a distorção do sinal $Dist$ por meio da equação Eq. 2.

$$Dist = \frac{|V_{out-pp} - G * V_{in-pp}| * 100 \%}{V_{out-pp}} \quad \text{Eq. 4.2}$$

Onde: V_{out-pp} é o sinal de pico na saída do circuito de desacoplamento, G é o ganho do circuito de amplificação na frequência f_o , V_{in-pp} é sinal de pico na entrada do circuito de desacoplamento. Os resultados dos experimentos são apresentados na Tabela 3, abaixo:

	Frequência f_o (MHz) / Ganho											
	0,5 / 1,78			1,0 / 1,8			1,5 / 1,9			2,0 / 2,5		
V_{in-pp} (mV)	V_{out} (mV)	<i>Dist</i>	%	V_{out} (mV)	<i>Dist</i>	%	V_{out} (mV)	<i>Dist</i>	%	V_{out} (mV)	<i>Dist</i>	%
1	1,8	0,0	0,0%	1,8	0,0	0,0%	1,9	0,0	0,0%	2,5	0,0	0,0%
10	17,8	0,0	0,0%	18,0	0,0	0,0%	19,0	0,0	0,1%	25,0	0,0	0,0%
50	89,0	0,0	0,0%	90,1	0,1	0,1%	94,8	0,2	0,2%	125,1	0,1	0,1%
60	107,0	0,2	0,2%	108,4	0,4	0,4%	113,6	0,4	0,4%	150,3	0,3	0,2%
70	124,8	0,2	0,2%	126,9	0,9	0,7%	131,9	1,1	0,8%	177,5	2,5	1,4%
80	143,2	0,8	0,6%	145,3	1,3	0,9%	150,2	1,8	1,2%	204,4	4,4	2,2%
90	161,7	1,5	0,9%	164,5	2,5	1,5%	174,8	3,8	2,2%	233,1	8,1	3,6%
100	180,2	2,2	1,2%	183,3	3,3	1,8%	195,6	5,6	2,9%	262,2	12,2	4,9%
150	269,4	2,4	0,9%	278,4	8,4	3,1%	295,3	10,3	3,6%	396,9	21,9	5,8%
200	359,9	3,9	1,1%	370,1	10,1	2,8%	366,9	13,1	3,4%	524,4	24,4	4,9%

Tabela 3- Mostra a distorção do sinal em função da frequência f_o do circuito de desacoplamento e em diversas amplitudes. As amplitudes mostradas têm o valor medido de pico a pico.

A Tabela 3 mostra que para frequências mais elevadas a distorção é maior. Isso pode ser explicado pela velocidade de resposta do amplificador LM318 a variação de tensão na entrada, i.e. o *slew rate*, que deveria ser infinito, porém na prática não acontece. O *slew rate* do LM318 é de 50V/ μ s (Volts/microsegundos) de acordo com o *datasheet*, apresentando acentuada queda de ganho e distorção do sinal para frequências mais elevadas [26].

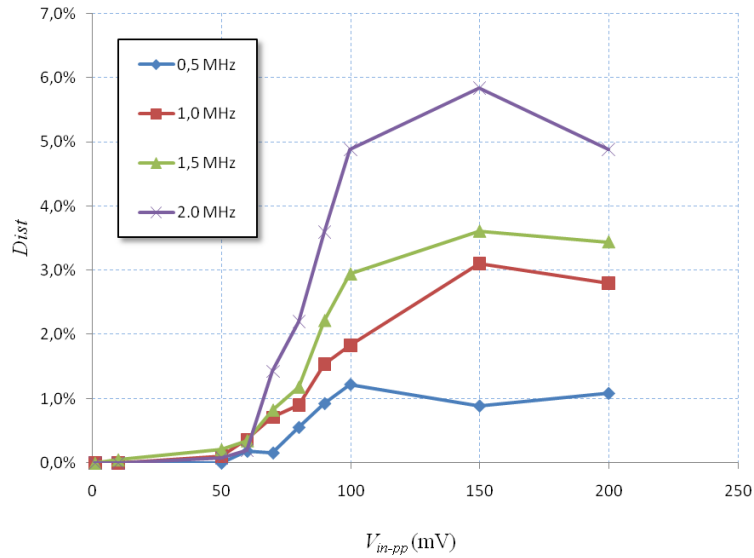


Figura 15- Gráfico que mostra a distorção em função da tensão de entrada.

O Gráfico $V_{in_x_Distorção}$ mostra que para todas as faixas de frequência $Dist$ cresce rapidamente para sinais com $V_{in-pp} > 50\text{mV}$. Entretanto, podemos considerar aceitáveis sinais com $Dist \leq 5\%$. Isso nos permite a utilização do circuito de desacoplamento nas frequências f_0 com V_{in-pp} conforme Tabela 4.

Frequência f_0 (MHz)	V_{in-pp} (mV)
0.5	≤ 200
1.0	≤ 200
1.5	≤ 200
2.0	≤ 100

Tabela 4 - Sinal de entrada V_{in-pp} máximo para a frequência f_0 do circuito de desacoplamento.

4.6 Considerações Gerais

Este capítulo apresentou o projeto de um circuito de desacoplamento do Amplificador Lock-In que permite a realização de medidas usando o método de quatro fios. Esse circuito foi dividido em três partes: i) dois amplificadores para o estágio

diferencial; ii) um amplificador para o ajuste de ganho e offset; iii) um filtro passa-altas na saída.

As características técnicas do circuito são:

1) Faixa de frequência de operação: $0.5 \leq f_0 \leq 2.0$ MHz

➤ Para $0.5 \leq f_0 \leq 1.5$ MHz

- Sinal de entrada: 0 a 200 mVpp

- Sinal de saída: 0 a 380 mVpp

- Distorção máxima = 3.6%

➤ Para $f_0 = 2.0$ MHz

- Sinal de entrada: 0 a 100 mVpp

- Sinal de saída: 0 a 270 mVpp

- Distorção máxima = 4.9 %

2) Atraso do sinal: $\theta = \exp(f_0/1000)$ → f_0 em KHz

3) Amplificadores operacionais utilizados: LM318 – National Semiconductors.

5. Implementação do Lock-In com DSP

Este capítulo apresenta os programas desenvolvidos para detectar sinais simulados e reais por meio da técnica de detecção síncrona utilizada por um Amplificador Lock-In. A Simulação foi realizada em MATLAB como a finalidade de estimar a magnitude e fase de sinais conhecidos em função da intensidade de um ruído branco e do tempo de integração. As medidas com sinais reais foram feitas no Laboratório de Eletrônica da Coordenação de Atividades Técnicas do CBPF com programas desenvolvidos em MATLAB e Simulink para o kit Altera EP2S60 com o objetivo de comparar os resultados com aqueles obtidos nas simulações. As medidas simuladas e de sinais reais utilizaram as frequências de referência de 0.5MHz, 1MHz e 2MHz.

5.1 Simulação

Inicialmente desenvolvemos um programa em MATLAB para determinar a magnitude e fase de sinais simulados para as frequências de referência de 0.5MHz, 1MHz e 2MHz. Essa simulação tem como objetivo a estimação do sinal em função da intensidade do ruído e do tempo de integração (Constante de Tempo).

O programa principal (*main*) foi dividido em cinco partes:

- 1) Definição das variáveis
- 2) Geração do sinal de referencia (*MATLAB function*)
- 3) Simulação do sinal de medida (*MATLAB function*)
- 4) Medida da magnitude e fase pela detecção síncrona (*MATLAB function*)
- 5) Visualização dos resultados

As Tabela 5-9 apresentam as definições das variáveis, o “Programa principal”, as funções de “Geração do sinal de referencia”, de “Simulação do sinal de medida” e de “Medida da magnitude e fase por meio da detecção síncrona” respectivamente.

Definição das Variáveis	
f_{ref}	Frequência do sinal de referência (0.5MHz, 1MHz e 2MHz).
Δ_{ref}	$1/f_{ref}$
$f_{amostragem}$	Frequência de amostragem do sinal de 100MHz, conforme utilizado pelo kit EP2S60 como clock de referência do conversor analógico digital (CAD).
$\Delta_{amostragem}$	$1/f_{amostragem}$
a	Amplitude do sinal simulado que será medido.
b	Amplitude do sinal simulado que será usado como referência.
Φ_{Sinal}	Fase do sinal de medida simulado em relação ao sinal de referência.
Ruído	Desvio padrão do ruído gaussiano simulado.
CT	Constante de Tempo - número de períodos de integração do sinal de medida.
PSD	Digital ou Analógico – se a simulação for ‘digital’ o programa irá quantizar os sinais de referencia e sinais medidos em função do passo de quantização Δ_q .
Δ_q	Passo de quantização é igual a 2Vpp (faixa dinâmica faixa de tensão a entrada) / 4096 (2^{12} – 12 bits de resolução do conversor A/D)

Tabela 5 - Definição das variáveis

```

clear all; close all; clc;
warning off;
% -----
% Cabecalho
fprintf('\nSimulação do Amplificador LockIn - (Versao 8.09221131)');
fprintf('\nCentro Brasileiro de Pesquisas Fisicas - CBPF/MCT');
fprintf('\nMestrado Profissional em Instrumentação Científica - CFC/CBPF');
fprintf('\nTodos os direitos reservados para CBPF/NIT-Rio, © Setembro 2008');
fprintf('\n');

% -----
% Definição das variáveis globais
FlagPrint=0; % Mostra resultados parciais das funções (subrotinas) do programa
FlagAnalogicoDigital='Analogico'; % Calculos do PSD em modo analógico ou digital
FreqAmostragem = 100000000; % Frequencia de amostragem do conversor analógico digital do kit EP2S60
PeriodoAmostragem = 1/FreqAmostragem; %
FreqReferencia=500000; % Frequencia do sinal de referencia do Lock-In
PeriodoReferencia = 1/FreqReferencia; %
a=0.01; % Amplitude do sinal simulado que será medido
b=0.05; % Amplitude do sinal simulado que será usado como referência
FaseSinalMedido = 30; % Fase do sinal simulado que será medido
RuidoSistema = 0.0000; % Desvio padrão do ruído de geração e medida
NumPeriodo = 1; % Numero de períodos de integracao do sinal (CT - Constante de Tempo)

fprintf('\n-----');
fprintf('\nFrequência de referência do Lock-In : %10.2f (MHz)', FreqReferencia/1000000);

```

```

fprintf('\nPeríodo de referência do Lock-In          : %10.6f (microsegundos)', PeríodoReferencia*1000000);
fprintf('\nNúmero de pontos por período de referência : %10.1f (Amostras)', PeríodoReferencia/PeríodoAmostragem);
fprintf('\nNúmero de períodos                          : %10.0f (Períodos)', NumPeríodo);
fprintf('\nTempo de integração (CT)                     : %10.6f
(microsegundos)', NumPeríodo*PeríodoReferencia*1000000);
fprintf('\nDesvio padrão do ruído do sistema              : %10.6f (Vp)', RuídoSistema);
fprintf('\nEP2S60: frequência de amostragem               : %10.6f (MHz)', FreqAmostragem/1000000);
fprintf('\nEP2S60: período de amostragem                 : %10.6f (microsegundos)', PeríodoAmostragem*1000000);
fprintf('\nAmplitude do sinal de detecção (b)             : %10.6f (Vp)', b);
fprintf('\n');
fprintf('\nSinais simulados');
fprintf('\n\tAmplitude do sinal de medida (a)           : %10.5f (Vpp) ou %10.5f (Vp)', 2*a, a);
fprintf('\n\tFase do sinal de medida                     : %10.6f (°)', FaseSinalMedido);
fprintf('\n-----');

EixoTempo=0:PeríodoAmostragem:NumPeríodo*PeríodoReferencia;

% -----
% Geração do Sinal de Referência
[SinalReferencia, SinalReferencia90] = LockInGeraSinalReferencia(b, FreqReferencia, EixoTempo, RuídoSistema,
FlagPrint);

% -----
% Simulação do Sinal de Medida
SinalMedido = LockInSistemaFisico(a, FreqReferencia, EixoTempo, FaseSinalMedido, RuídoSistema, FlagPrint);

% Medida da Magnitude e Fase pela detecção síncrona (Amplificador Lock-In)
NumPtsIntegracao = NumPeríodo * PeríodoReferencia/PeríodoAmostragem;
[Mag, Fase] = LockInMedida(SinalMedido, SinalReferencia, SinalReferencia90, b, NumPtsIntegracao,
FlagAnalogicoDigital, FlagPrint);

% -----
% Visualização dos resultados
fprintf('\n-----');
fprintf('\nResultado da detecção síncrona ...');
fprintf('\n\tMag = (%7.6f Vpp)', Mag);
fprintf('\n\tFase = (%7.6f °) ', Fase/pi*180);
fprintf('\n-----');
fprintf('\n');

```

Tabela 6 - Programa principal para simulação de um Amplificador Lock-In (main).

```

function [SinalReferencia, SinalReferencia90] = LockInGeraSinalReferencia(b, FreqReferencia, EixoTempo,
RuídoSistema, FlagPrint)
if (FlagPrint==1)
    fprintf('\n-----');
    fprintf('\nLockInGeraSinalReferencia iniciado...');
    fprintf('\n\tAmplitude do sinal de referência : %7.5f (Vp)', b);
    fprintf('\n\tFrequência do sinal de referência : %7.2f (MHz)', FreqReferencia/1000000);
    fprintf('\n\tDesvio padrao ruído do sistema : %7.5f (Vp)', RuídoSistema);
end

[lixo NumPtsEixoTempo]=size(EixoTempo);
randn('state', sum(100*clock));
SinalReferencia = b * sin(2*pi*FreqReferencia*EixoTempo)+ RuídoSistema.*randn(1,NumPtsEixoTempo);
SinalReferencia90 = b * cos(2*pi*FreqReferencia*EixoTempo)+ RuídoSistema.*randn(1,NumPtsEixoTempo);

if (FlagPrint==1)
    fprintf('\nLockInGeraSinalReferencia fim!');
    fprintf('\n-----');
end

```

Tabela 7 - Geração do sinal de referência.

```

function [SinalMedido] = LockInSistemaFisico(a, FreqReferencia, EixoTempo, FaseSinalMedido, RuidoSistema, FlagPrint)

if (FlagPrint==1)
    fprintf('\n-----');
    fprintf('\nLockInSistemaFisico iniciado...');
    fprintf('\n\tAmplitude do sinal medido : %7.5f (Vp) ' , a);
    fprintf('\n\tFrequencia de referencia : %7.5f (MHz)', FreqReferencia/1000000);
    fprintf('\n\tFase de medida : %7.6f (°) ' , FaseSinalMedido);
    fprintf('\n\tRuido do sistema físico : %7.6f (Vp) ' , RuidoSistema);
end

[lixo NumPtsEixoTempo]=size(EixoTempo);
SinalMedido = a * sin(2*pi*FreqReferencia*EixoTempo + FaseSinalMedido/180*pi)+
RuidoSistema.*randn(1,NumPtsEixoTempo);

if (FlagPrint==1)
    fprintf('\nLockInSistemaFisico fim!');
    fprintf('\n-----');
end

```

Tabela 8 - Simulação do sistema físico

```

function [Mag, Fase] = LockInMedida(SinalMedido, SinalReferencia, SinalReferencia90, b, NumPtsIntegracao,
FlagAnalogicoDigital, FlagPrint)
if (FlagPrint==1)
    fprintf('\n-----');
    fprintf('\nLockIn Medida iniciado...');
    fprintf('\n\tAnalogico ou Digital : %s' , FlagAnalogicoDigital);
    fprintf('\n\tAmplitude do sinal de referencia : %7.5f (Vp) ' , b);
end

switch lower(FlagAnalogicoDigital)
case 'analogico'
    % LockIn Analógico
    if (FlagPrint==1) fprintf('\n\tmedindo analógico...'); end
    % Cálculo PSD
    U1=2*sum(SinalMedido.*SinalReferencia)/(NumPtsIntegracao);
    U2=2*sum(SinalMedido.*SinalReferencia90)/(NumPtsIntegracao);
    % Cálculo Magnitude e Fase
    Fase=atan(U2/U1);
    Mag=2*sqrt(U1^2+U2^2)/b;

case 'digital'
    % LockIn Digital
    if (FlagPrint==1) fprintf('\n\tmedindo digital...'); end
    nbitsCAD=12; % 4096 (212 - 12 bits de resolução do conversor A/D)
    FaixaDeTensaoCAD = 2; % Faixa dinâmica de tensão de entrada do CAD do kit EP2S60 (2Vpp)
    Deltaq=FaixaDeTensaoCAD/(2^nbitsCAD); % Passo de quantização

    SinalMedidoDig = SinalMedido/Deltaq;
    SinalReferenciaDig = SinalReferencia/Deltaq;
    SinalReferencia90Dig = SinalReferencia90/Deltaq;
    % Cálculo PSD
    U1dig=2*sum(SinalMedidoDig.*SinalReferenciaDig)/(NumPtsIntegracao);
    U2dig=2*sum(SinalMedidoDig.*SinalReferencia90Dig)/(NumPtsIntegracao);
    % Cálculo Magnitude e Fase
    Fase=atan(U2/U1);
    Mag=2*Deltaq^2/b*sqrt(U1dig^2+U2dig^2);

```

```

end
if (FlagPrint==1)
    fprintf('\n\tMag=(%7.4f Vpp), Fase=(%7.4f °)', Mag, Fase/pi*180);
    fprintf('\nLockIn Medida fim!');
    fprintf('\n-----');
end

```

Tabela 9 - Algoritmo de detecção do amplificador Lock-In.

5.2 Resultados das Simulações

O Lock-In foi simulado para realizar as medidas com frequências de referências de 0.5MHz, 1MHz e 2MHz e amplitude de referência (*b*) igual 50mVpp. O sistema físico simulou um sinal de medida com amplitude (*a*) de 200mVpp e fase de 30° em relação ao sinal de referencia. A simulação utilizou a intensidade do ruído de [0; 0.0005; 0.005; 0.05; 0.1] Vp e Constantes de Tempo de [1; 2; 4; 8; 16; 32; 64; 128] ciclos do sinal de referência.

As Tabelas 10-15 apresentam os resultados das medidas simuladas para as frequências de referência. Foram realizadas 30 medidas da magnitude e fase (em modo 'Digital') para as três frequências de referência e oito constantes de tempo (CT) a fim de calcular o valor médio e desvio padrão das medidas.

➤ Medidas para $f_{ref} = 0.5 \text{ MHz}$

Magnitude

CT (Período)	Ruído do Sistema (Vp)				
	0	0.0005	0.005	0.05	0.1
1	0.200502 (±0)	0.2005 (±0.0001)	0.2007 (±0.0009)	0.20 (±0.01)	0.20 (±0.02)
2	0.200250 (±0)	0.20026 (±0.00008)	0.2003 (±0.0009)	0.199 (±0.006)	0.20 (±0.01)
4	0.200167 (±0)	0.20017 (±0.00006)	0.2002 (±0.0005)	0.199 (±0.006)	0.198 (±0.009)
8	0.200063 (±0)	0.20007 (±0.00003)	0.1999 (±0.0003)	0.199 (±0.003)	0.197 (±0.006)
16	0.200031 (±0)	0.20003 (±0.00003)	0.2000 (±0.0002)	0.200 (±0.003)	0.201 (±0.004)
32	0.200016 (±0)	0.20001 (±0.00002)	0.2000 (±0.0002)	0.199 (±0.002)	0.200 (±0.004)
64	0.200008 (±0)	0.200010 (±0.000009)	0.1999 (±0.0001)	0.199 (±0.001)	0.200 (±0.003)
128	0.200004 (±0)	0.200005 (±0.000007)	0.2000 (±0.0001)	0.2000 (±0.0009)	0.200 (±0.002)

Tabela 10 - Resultado da simulação de medida de magnitude em função do tempo de integração e do ruído do sistema de medida (fref = 0.5MHz)

Fase

CT (Período)	Ruído do Sistema (Vp)				
	0	0.0005	0.005	0.05	0.1
1	30.247478 (±0)	30.25 (±0.03)	30.2 (±0.3)	30 (±2)	32 (±7)
2	30.123894 (±0)	30.12 (±0.02)	30.1 (±0.2)	30 (±2)	30 (±3)
4	30.082630 (±0)	30.07 (±0.02)	30.1 (±0.1)	30 (±2)	29 (±3)
8	30.031003 (±0)	30.034 (±0.008)	30.0 (±0.1)	30 (±1)	30 (±2)
16	30.015504 (±0)	30.015 (±0.008)	30.02 (±0.07)	30.2 (±0.7)	30 (±2)
32	30.007752 (±0)	30.008 (±0.005)	30.02 (±0.05)	29.9 (±0.6)	29 (±1)
64	30.003876 (±0)	30.004 (±0.004)	30.01 (±0.03)	30.0 (±0.5)	30.1 (±0.7)
128	30.001938 (±0)	30.001 (±0.003)	30.00 (±0.02)	30.0 (±0.3)	30.0 (±0.5)

Tabela 11 - Resultado da simulação de medida de fase em função do tempo de integração e do ruído do sistema de medida (fref = 0.5MHz)

➤ Medidas para $f_{ref} = 1$ MHz

Magnitude

CT (Período)	Ruído do Sistema (Vp)				
	0	0.0005	0.005	0.05	0.1
1	0.201007 (±0)	0.2010 (±0.0001)	0.201 (±0.001)	0.20 (±0.02)	0.20 (±0.02)
2	0.200502 (±0)	0.2005 (±0.0001)	0.200 (±0.001)	0.201 (±0.009)	0.20 (±0.02)
4	0.200334 (±0)	0.20030 (±0.00008)	0.2002 (±0.0009)	0.200 (±0.008)	0.20 (±0.02)
8	0.200125 (±0)	0.20012 (±0.00004)	0.2001 (±0.0006)	0.202 (±0.004)	0.20 (±0.01)
16	0.200063 (±0)	0.20005 (±0.00003)	0.2000 (±0.0004)	0.200 (±0.004)	0.201 (±0.007)
32	0.200031 (±0)	0.20003 (±0.00003)	0.2000 (±0.0003)	0.200 (±0.003)	0.199 (±0.005)
64	0.200016 (±0)	0.20001 (±0.00002)	0.2000 (±0.0002)	0.200 (±0.002)	0.200 (±0.003)
128	0.200008 (±0)	0.20000 (±0.00001)	0.2000 (±0.0001)	0.2003 (±0.0009)	0.200 (±0.002)

Tabela 12 - Resultado da simulação de medida de magnitude em função do tempo de integração e do ruído do sistema de medida (fref = 1 MHz)

Fase

CT (Período)	Ruído do Sistema (Vp)				
	0	0.0005	0.005	0.05	0.1
1	30.493715 (±0)	30.49 (±0.04)	30.4 (±0.3)	30 (±4)	28 (±9)
2	30.247478 (±0)	30.26 (±0.02)	30.2 (±0.2)	30 (±3)	29 (±6)
4	30.165123 (±0)	30.17 (±0.02)	30.2 (±0.2)	29 (±2)	30 (±5)
8	30.061986 (±0)	30.06 (±0.01)	30.0 (±0.2)	29 (±2)	29 (±3)
16	30.031003 (±0)	30.03 (±0.01)	30.0 (±0.1)	30 (±1)	29 (±2)
32	30.015504 (±0)	30.015 (±0.006)	30.01 (±0.07)	29.9 (±0.7)	30 (±2)
64	30.007752 (±0)	30.007 (±0.004)	30.00 (±0.05)	30.2 (±0.6)	30 (±1)
128	30.003876 (±0)	30.007 (±0.003)	29.99 (±0.03)	30.0 (±0.3)	30 (±1)

Tabela 13 - Resultado da simulação de medida de fase em função do tempo de integração e do ruído do sistema de medida (fref = 1MHz)

➤ **Medidas para $f_{ref} = 2$ MHz**

Magnitude

CT (Período)	Ruído do Sistema (Vp)				
	0	0.0005	0.005	0.05	0.1
1	0.202030 (±0)	0.2020 (±0.0002)	0.201 (±0.002)	0.20 (±0.02)	0.20 (±0.03)
2	0.201007 (±0)	0.2010 (±0.0002)	0.201 (±0.001)	0.21 (±0.01)	0.21 (±0.02)
4	0.200670 (±0)	0.2007 (±0.0001)	0.201 (±0.001)	0.204 (±0.009)	0.20 (±0.02)
8	0.200250 (±0)	0.20025 (±0.00008)	0.2003 (±0.0008)	0.203 (±0.009)	0.20 (±0.01)
16	0.200125 (±0)	0.20013 (±0.00006)	0.2000 (±0.0005)	0.200 (±0.005)	0.203 (±0.009)
32	0.200063 (±0)	0.20006 (±0.00003)	0.2001 (±0.0004)	0.200 (±0.004)	0.199 (±0.008)
64	0.200031 (±0)	0.20002 (±0.00003)	0.1999 (±0.0003)	0.200 (±0.003)	0.199 (±0.006)
128	0.200016 (±0)	0.20001 (±0.00002)	0.2000 (±0.0002)	0.200 (±0.002)	0.200 (±0.004)

Tabela 14 - Resultado da simulação de medida de magnitude em função do tempo de integração e do ruído do sistema de medida ($f_{ref} = 2$ MHz)

Fase

CT (Período)	Ruído do Sistema (Vp)				
	0	0.0005	0.005	0.05	0.1
1	30.982470 (±0)	30.99 (±0.06)	30.9 (±0.6)	31 (±6)	32 (±13)
2	30.493715 (±0)	30.48 (±0.05)	30.4 (±0.3)	30 (±3)	30 (±6)
4	30.329695 (±0)	30.34 (±0.03)	30.3 (±0.3)	30 (±3)	30 (±6)
8	30.123894 (±0)	30.13 (±0.02)	30.1 (±0.3)	31 (±2)	29 (±4)
16	30.061986 (±0)	30.07 (±0.01)	30.0 (±0.2)	30 (±1)	31 (±3)
32	30.031003 (±0)	30.032 (±0.009)	30.0 (±0.1)	30 (±1)	31 (±2)
64	30.015504 (±0)	30.015 (±0.007)	30.03 (±0.07)	30.2 (±0.6)	30 (±1)
128	30.007752 (±0)	30.008 (±0.005)	30.01 (±0.06)	30.0 (±0.5)	30 (±1)

Tabela 15 - Resultado da simulação de medida de fase em função do tempo de integração e do ruído do sistema de medida ($f_{ref} = 2$ MHz)

Os resultados das simulações apresentados nas Tabelas anteriores nos permitem as seguintes conclusões.

1. Para sinais simulados com ruído igual a zero o Lock-In apresenta um erro sistemático na estimação da fase e da magnitude. Isso pode ser explicado pela discretização dos sinais no tempo ($\Delta_{amostragem}$ do Conversor Analógico Digital). A fim de compreender a dependência da amostragem no erro sistemático realizamos um estudo da magnitude e fase em função da frequência de amostragem, conforme apresentado nas Tabelas 16-21.

➤ **Medidas para $f_{ref} = 0.5$ MHz**

Magnitude

CT (Período)	Frequência de Amostragem $f_{amostragem}$				
	5 MHz	10 MHz	100 MHz	1 GHz	10 GHz
1	0.210713	0.205183	0.200502	0.200050	0.200005
2	0.205183	0.202546	0.200250	0.200025	0.200003
4	0.203415	0.201687	0.200167	0.200017	0.200002
8	0.201262	0.200628	0.200063	0.200006	0.200001
16	0.200628	0.200313	0.200031	0.200003	0.200000
32	0.200313	0.200156	0.200016	0.200002	0.200000
64	0.200156	0.200078	0.200008	0.200001	0.200000
128	0.200078	0.200039	0.200004	0.200000	0.200000

Tabela 16 - Estudo da precisão da medida de magnitude = 0.2 Vpp em função da amostragem

Fase

CT (Período)	Frequência de Amostragem $f_{amostragem}$				
	5 MHz	10 MHz	100 MHz	1 GHz	10 GHz
1	34.715004	32.419030	30.247478	30.024804	30.002481
2	32.419030	31.224989	30.123894	30.012403	30.001240
4	31.626435	30.820103	30.082630	30.008269	30.000827
8	30.616369	30.309153	30.031003	30.003101	30.000310
16	30.309153	30.154819	30.015504	30.001551	30.000155
32	30.154819	30.077470	30.007752	30.000775	30.000078
64	30.077470	30.038750	30.003876	30.000388	30.000039
128	30.038750	30.019379	30.001938	30.000194	30.000019

Tabela 17 - Estudo da precisão da medida de fase = 30° em função da amostragem

➤ **Medidas para $f_{ref} = 1$ MHz**

Magnitude

CT (Período)	Frequência de Amostragem $f_{amostragem}$				
	5 MHz	10 MHz	100 MHz	1 GHz	10 GHz
1	0.222711	0.210713	0.201007	0.200100	0.200010
2	0.210713	0.205183	0.200502	0.200050	0.200005
4	0.206989	0.203415	0.200334	0.200033	0.200003
8	0.202546	0.201262	0.200125	0.200013	0.200001
16	0.201262	0.200628	0.200063	0.200006	0.200001
32	0.200628	0.200313	0.200031	0.200003	0.200000
64	0.200313	0.200156	0.200016	0.200002	0.200000
128	0.200156	0.200078	0.200008	0.200001	0.200000

Tabela 18 - Estudo da precisão da medida de magnitude = 0.2 Vpp em função da amostragem

Fase

CT (Período)	Frequência de Amostragem $f_{amostragem}$				
	5 MHz	10 MHz	100 MHz	1 GHz	10 GHz
1	38.948276	34.715004	30.493715	30.049595	30.004962
2	34.715004	32.419030	30.247478	30.024804	30.002481
4	33.197940	31.626435	30.165123	30.016537	30.001654
8	31.224989	30.616369	30.061986	30.006202	30.000620
16	30.616369	30.309153	30.031003	30.003101	30.000310
32	30.309153	30.154819	30.015504	30.001551	30.000155
64	30.154819	30.077470	30.007752	30.000775	30.000078
128	30.077470	30.038750	30.003876	30.000388	30.000039

Tabela 19 - Estudo da precisão da medida de fase = 30° em função da amostragem

➤ **Medidas para $f_{ref} = 2$ MHz**

Magnitude

CT (Período)	Frequência de Amostragem $f_{amostragem}$				
	5 MHz	10 MHz	100 MHz	1 GHz	10 GHz
1	0.116536	0.222711	0.202030	0.200200	0.200020
2	0.222711	0.210713	0.201007	0.200100	0.200010
4	0.171364	0.206989	0.200670	0.200067	0.200007
8	0.205183	0.202546	0.200250	0.200025	0.200003
16	0.202546	0.201262	0.200125	0.200013	0.200001
32	0.201262	0.200628	0.200063	0.200006	0.200001
64	0.200628	0.200313	0.200031	0.200003	0.200000
128	0.200313	0.200156	0.200016	0.200002	0.200000

Tabela 20 - Estudo da precisão da medida de magnitude = 0.2 Vpp em função da $f_{amostragem}$

Fase

CT (Período)	Frequência de Amostragem $f_{amostragem}$				
	5 MHz	10 MHz	100 MHz	1 GHz	10 GHz
1	16.647674	38.948276	30.982470	30.099140	30.009923
2	38.948276	34.715004	30.493715	30.049595	30.004962
4	26.999194	33.197940	30.329695	30.033069	30.003308
8	32.419030	31.224989	30.123894	30.012403	30.001240
16	31.224989	30.616369	30.061986	30.006202	30.000620
32	30.616369	30.309153	30.031003	30.003101	30.000310
64	30.309153	30.154819	30.015504	30.001551	30.000155
128	30.154819	30.077470	30.007752	30.000775	30.000078

Tabela 21 - Estudo da precisão da medida de fase = 30° em função da $f_{amostragem}$

Podemos observar que para $f_{amostragem}$ perto da f_{ref} e a Constante de Tempo pequena o erro sistemático é grande. É possível diminuir esse erro aumentando o tempo de integração (i.e. maior valor da Constante de Tempo). Isso também pode ser comprovado nas Tabelas 16-21.

Outra forma de diminuir o erro sistemático é fazendo $f_{amostragem} \gg f_{ref}$, pois dessa forma teremos uma melhor representação do sinal de referência [22]. A Tabela 22 mostra os valores de amostras por ciclo do sinal de referência. As Tabelas 16-21 nos mostram que quanto maior a $f_{amostragem}$ melhor a estimação do sinal.

f_{ref}	Δ_{ref}	Amostras / Ciclo				
		5MHz	10MHz	100MHz	1 GHz	10GHz
0.5 MHz	2 μ s	10	20	200	2000	20000
1 MHz	1 μ s	5	10	100	1000	10000
2 MHz	0.5 μ s	2.5	5	50	500	5000

Tabela 22 - Número de amostras por ciclo do sinal de referência ($f_{amostragem} = 100\text{MHz}$ para o kit EP2S60) para representar os sinais de referências e sinal medido em função da $f_{amostragem}$ e da f_{ref} .

2. Nas medidas com grande intensidade de ruído o sistema de detecção consegue estimar a magnitude com menor erro proporcional que a fase, e.g. Ruído=0.1, $f_{ref} = 0.5\text{MHz}$, CT=1, o desvio padrão/valor da magnitude é igual a 9,75% e desvio padrão/valor da fase é igual a 22,50%. É importante destacar que estes valores diminuem quando aumentamos a CT, e.g. CT=128 o desvio padrão/valor da magnitude é igual a 0,97% e desvio padrão/valor da fase é igual a 1,56%. Isso demonstra que a técnica de detecção síncrona é muito eficiente para estimar sinais de baixa amplitude imersos em ruído branco de grande intensidade. As Figuras 16-17 mostram uma realização do sinal de medida com Ruído=0.1 e $f_{ref} = 0.5\text{MHz}$.

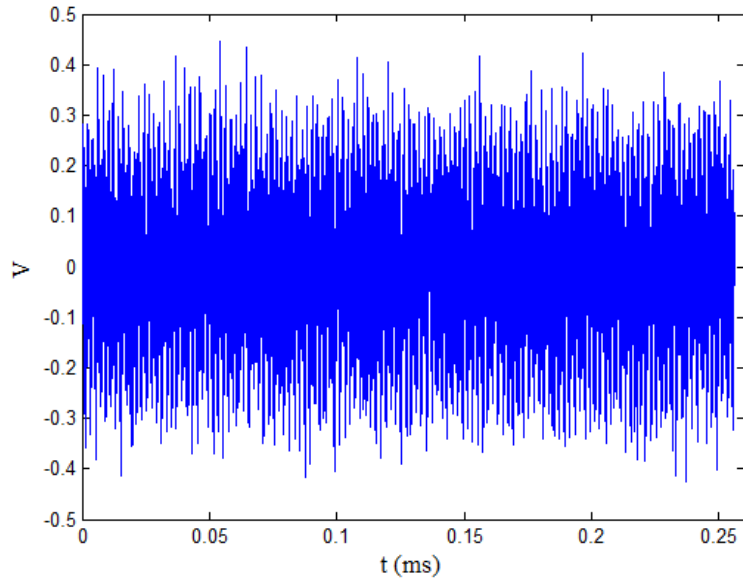


Figura 16 - Simulação do ruído.

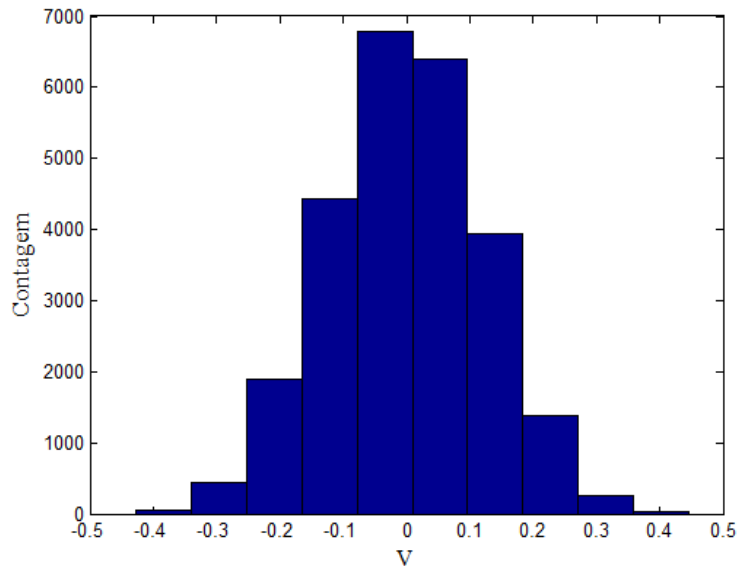


Figura 17 - Histograma da simulação do sinal medido mostrando a distribuição gaussiana do ruído.

3. As barras de erro das medidas de magnitude e de fase decrescem seguindo a equação 5.1

$$\sigma_{medida} = \alpha / \sqrt{CT} \quad [5.1]$$

Onde α , no caso da simulação, esta relacionada ao ruído adicionado ao sinal simulado. É importante notar que aumentando o tempo de integração (CT) aumentamos também a relação sinal ruído, pois em geral, a flutuação do ruído cai pela raiz quadrada do número

de medidas realizadas, e.g. precisamos de quatro medidas, para reduzir a metade o seu desvio padrão. A realização de acumulação e média do sinal tem o poder de reduzir o ruído sem comprometer detalhes do sinal.

A Figura 18 mostra este tipo de comportamento do desvio padrão do ruído da medida de magnitude e fase conforme aumentamos o tempo de integração para uma simulação com Ruído=0.0005 Vp e $f_{ref} = 0.5\text{MHz}$. As figuras 19-20 mostram o mesmo comportamento, nas mesmas condições, para as frequências de 1 MHz e 2 MHz respectivamente.

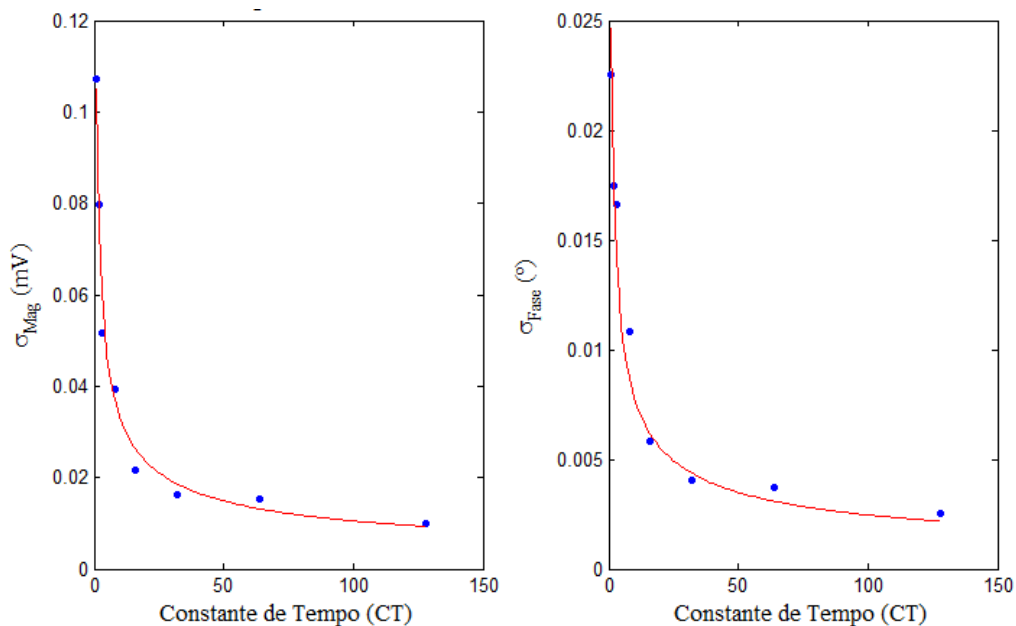


Figura 18 - Comportamento do desvio padrão do ruído da medida em função do tempo de integração. Simulação com Ruído=0.0005 Vp e $f_{ref} = 0.5\text{MHz}$.

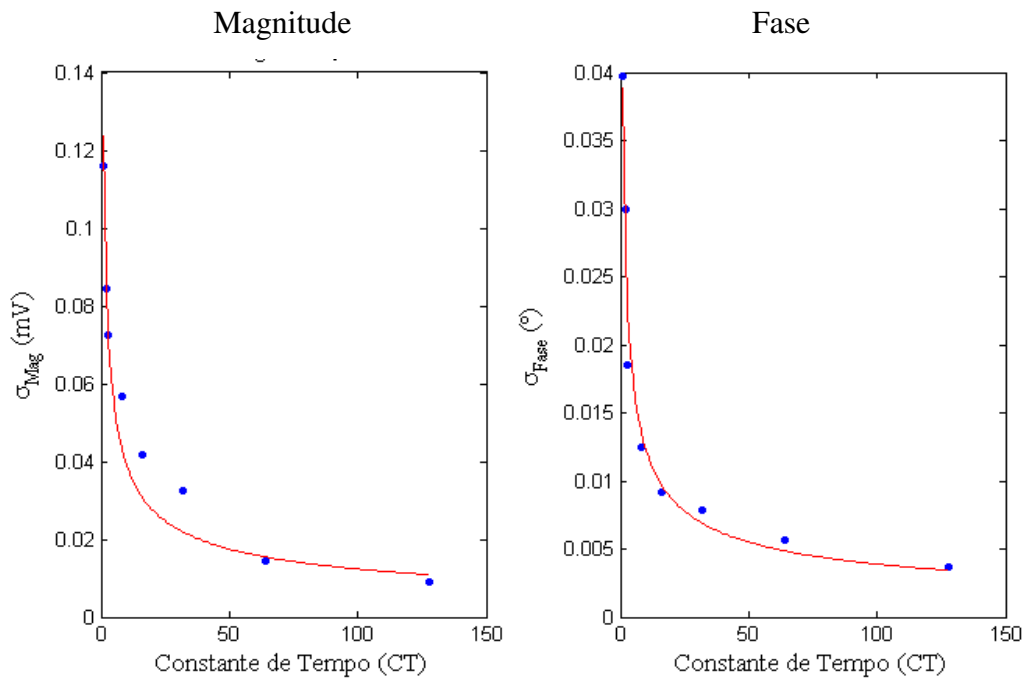


Figura 19 - Comportamento do desvio padrão do ruído da medida em função do tempo de integração. Simulação com Ruído=0.0005 Vp e fref = 1 MHz.

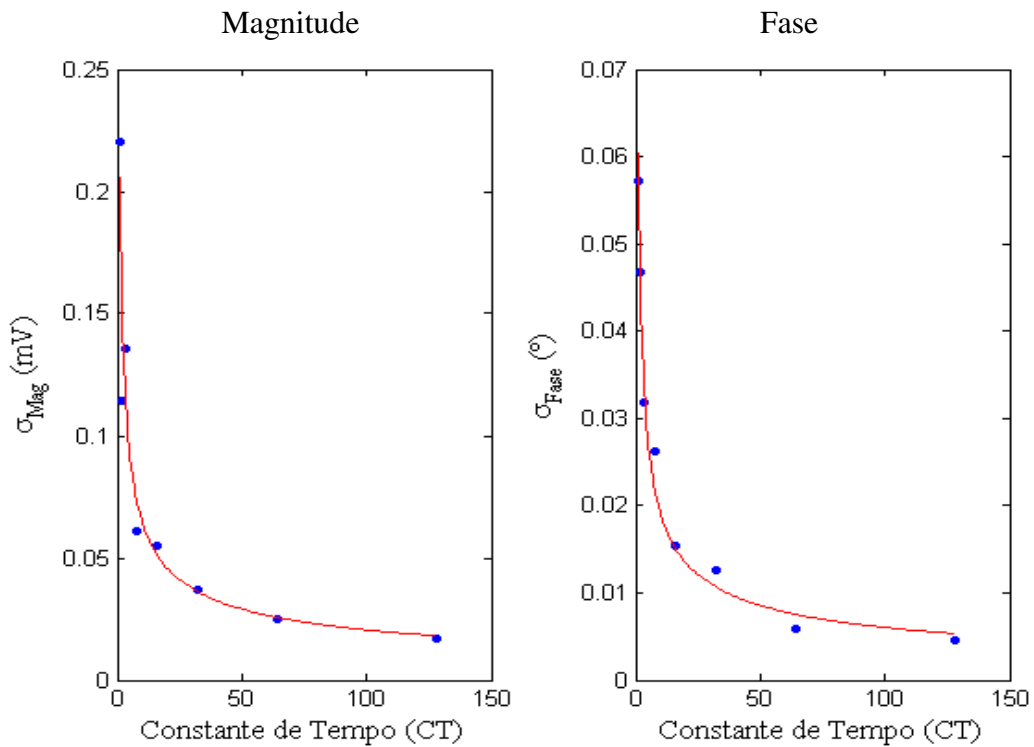


Figura 20 - Comportamento do desvio padrão do ruído da medida em função do tempo de integração. Simulação com Ruído=0.0005 Vp e fref = 2 MHz.

Os valores de α ajustados pela equação 5.1 são apresentados nas Tabelas 23 e 26:

Magnitude - α				
f_{ref} (MHz)	Ruído do Sistema (Vp)			
	0.000500	0.005000	0.050000	0.100000
0.5	0.0001	0.0010	0.0100	0.0189
1	0.0001	0.0016	0.0133	0.0278
2	0.0002	0.0020	0.0192	0.0436

Tabela 23 - Valores de α ajustados pela equação 4.1

Magnitude - Ruído do Sistema (Vp) / α				
f_{ref} (MHz)	Ruído do Sistema (Vp)			
	0.000500	0.005000	0.050000	0.100000
0.5	5.17	4.86	5.02	5.29
1	4.05	3.08	3.76	3.60
2	2.43	2.48	2.60	2.29

Tabela 24 - Ruído do Sistema (Vp) / α

Fase - α				
f_{ref} (MHz)	Ruído do Sistema (Vp)			
	0.000500	0.005000	0.050000	0.100000
0.5	0.0240	0.2715	2.9991	6.6831
1	0.0389	0.3983	4.0410	7.6459
2	0.0604	0.5966	5.0670	12.4503

Tabela 25 - Fase - α

Fase - Ruído do Sistema (Vp) / α				
f_{ref} (MHz)	Ruído do Sistema (Vp)			
	0.000500	0.005000	0.050000	0.100000
0.5	0.0208	0.0184	0.0167	0.0150
1	0.0129	0.0126	0.0124	0.0131
2	0.0083	0.0084	0.0099	0.0080

Tabela 26 - Fase - Ruído do Sistema (Vp) / α

5.3 Medidas Utilizando o kit Altera EP2S60

Para comprovar os resultados das simulações apresentadas acima, desenvolvemos os métodos de detecção do Lock-In utilizando o kit Altera EP2S60. O DSP StratixII foi programado por meio do MATLAB, Simulink e Quartus II para medir a magnitude e fase de sinais reais nas frequências de referência de 0.5MHz, 1MHz e 2MHz geradas externamente por um gerador de sinais senoidais (Keithley 3910 – Function Generator). Para essas medidas utilizamos um sinal real com magnitude e fase conhecidas em função do tempo de integração (Constante de Tempo).

5.3.1 Diagrama da medida realizada

A Figura 21 apresenta o diagrama de blocos do experimento para medir a magnitude (MAG_{OUT}) e a fase $FASE_{OUT}$ de sinais reais. O atraso no sinal de medida foi introduzido por atrasos de φ amostras no sinal discreto, simulando um atraso de um sistema físico hipotético.

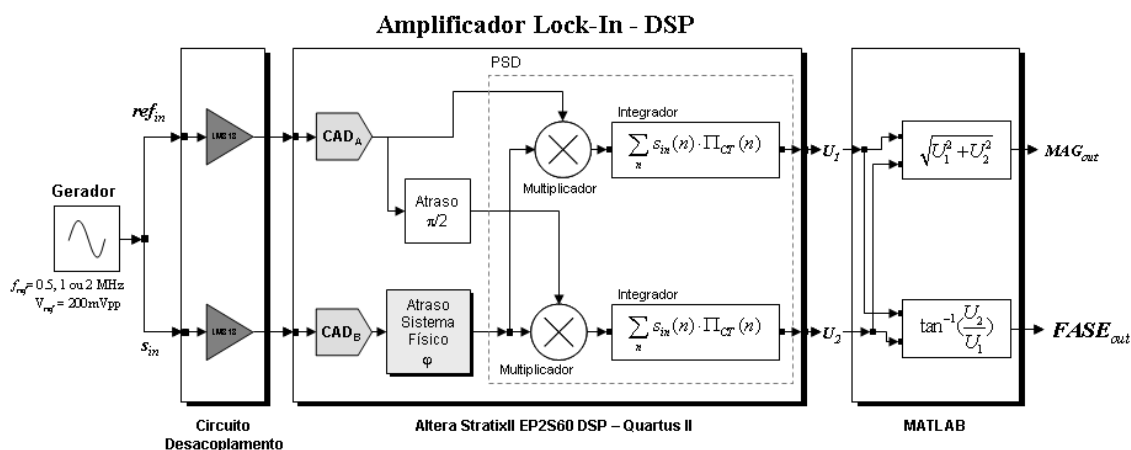


Figura 21 - diagrama de blocos do experimento para medir a magnitude (MAG_{OUT}) e a fase $FASE_{OUT}$ de sinais reais

5.3.2 Programa do Sistema de Detecção Síncrona

A programação para o kit EP2S60 utiliza o MATLAB, Simulink e a biblioteca de funções da Altera para DSPs. Essa biblioteca utilizada para criar modelos no Simulink foi instalada a partir do software DSPBuilder permitindo que um programa

utilize os blocos programáveis compatíveis com o kit EP2S60 por meio de um subgrupo específico para o DSP em questão (Figura 22).

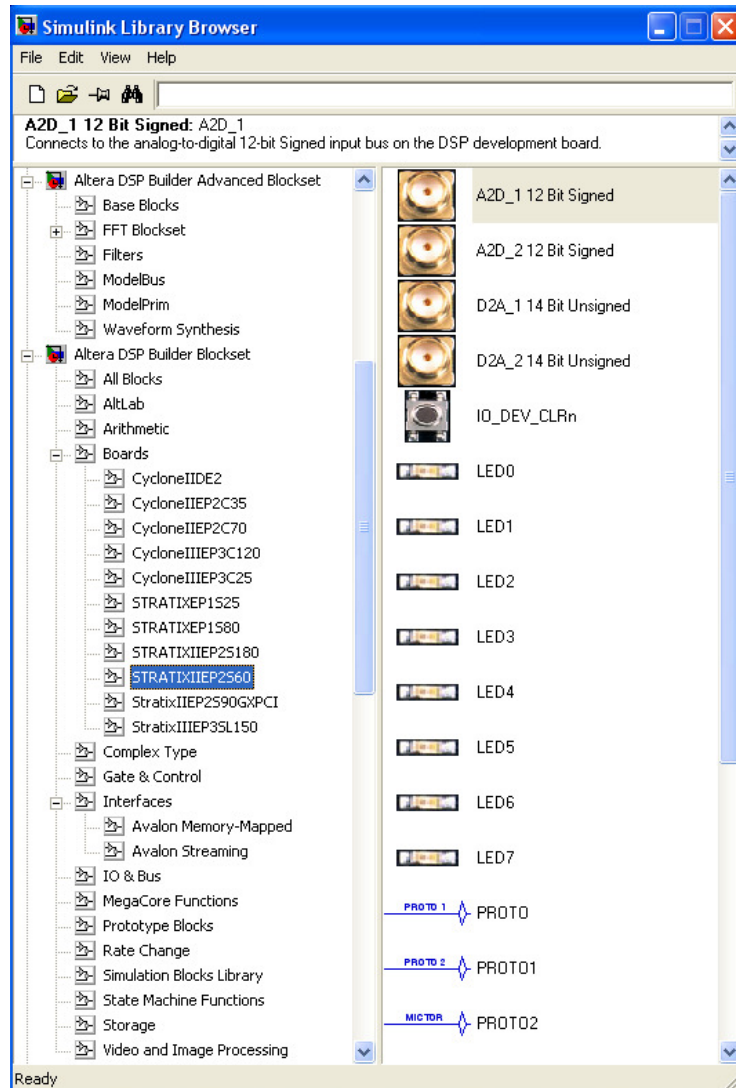


Figura 22 - Biblioteca da Altera para uso de diversos DSPs, inclusive do EP2S60, instalada a partir do DSPBuilder e funções do MegaCore.

Os blocos têm variáveis específicas próprias, não sendo compatíveis com a maioria dos outros blocos do Simulink. Possuindo uma cor azul, se destacam das outras funções disponíveis no MATLAB (Figura 23). Estes blocos trabalham em conjunto com o compilador Quartus II que é apresentado com mais detalhes a seguir.

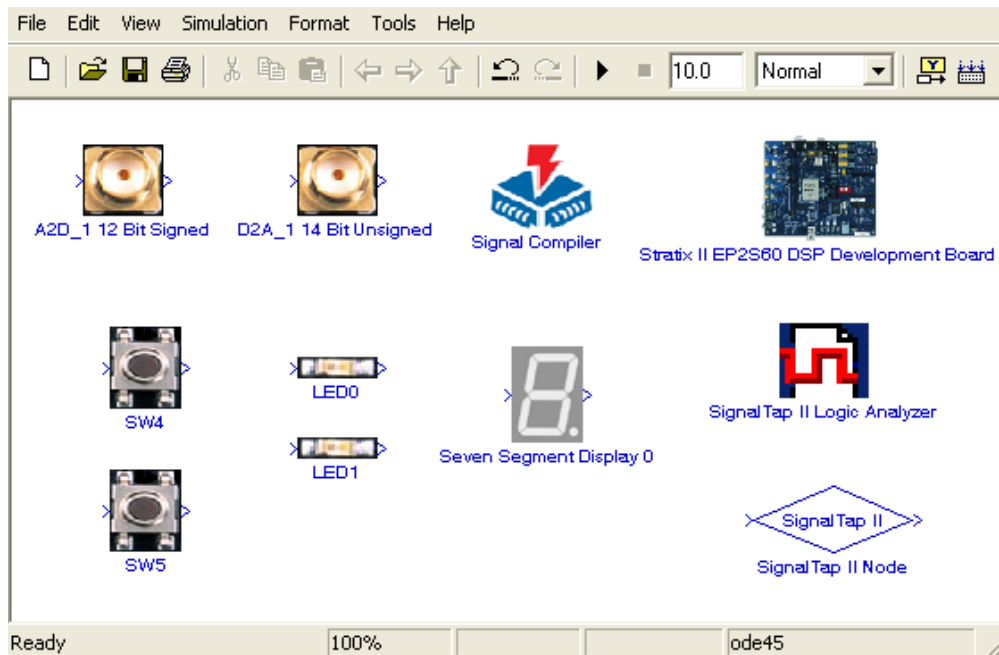


Figura 23 - Principais blocos utilizados na programação do kit EP2S60.

Ao abrir a biblioteca instalada pelo *DSPBuilder*, podemos escolher o modelo de nosso kit e arrastar para dentro do arquivo do *Simulink* os blocos desejados. Desta forma conseguimos montar facilmente algoritmos que se tornam visualmente fáceis de entender, pois dentro desta biblioteca encontram-se as principais funções da placa, como os LEDs, os botões de interrupção e os conectores para os conversores AD e DA.

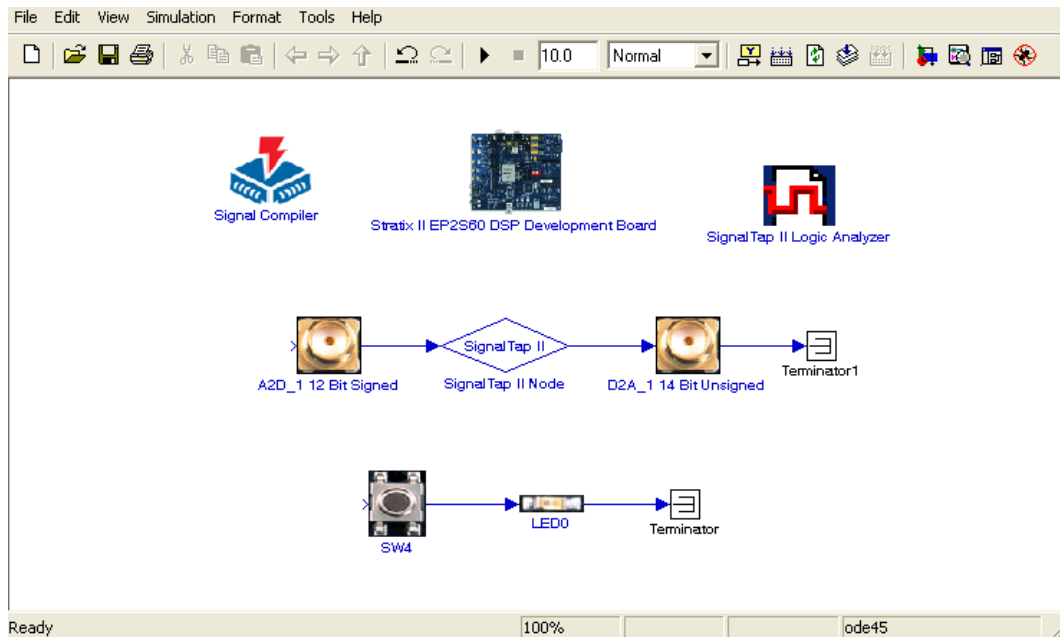


Figura 24 - Programa básico de demonstração de como utilizar os blocos de programação do kit de desenvolvimento. O sinal entra no conversor A2D de 12 bits, passando pelo “node” de leitura de sinal do SignalTap e retorna para a saída pelo conversor D2A de 14 bits.

Um importante função utilizada na programação do DSP EP2S60 dentro do ambiente do *Simulink*, é o *SignalTap*. Esta ferramenta trabalha em conjunto com o compilador *Quartus II* para capturar dados em diversos pontos do modelo trabalhado. O *SignalTap® II Embedded Logic Analyzer* é, como o próprio nome já sugere, um analisador lógico que ajuda a estratificar o design feito na FPGA, capturando sinais e dados internos do modelo feito no *Simulink*, sem que haja a necessidade de equipamentos externos de medição nem a utilização de pinos I/O no circuito do DSP.

Uma das vantagens de se utilizar o *SignalTap* é a possibilidade de se capturar dados a partir de diversos *clocks* diferentes ao mesmo tempo. Ao possuir uma interface rápida e fácil com o *MATLAB/Simulink*, o *SignalTap* se tornou uma importante ferramenta para captura dos sinais neste projeto. Ao adicionarmos um “*node*” dentro do modelo a ser trabalhado, podemos configurá-lo de forma a nos fornecer os dados que passam por aquele nó específico do circuito. Podemos adicionar quantos “*nodes*” forem necessários ao projeto, a fim de obter todos os sinais desejados (Figura 24).

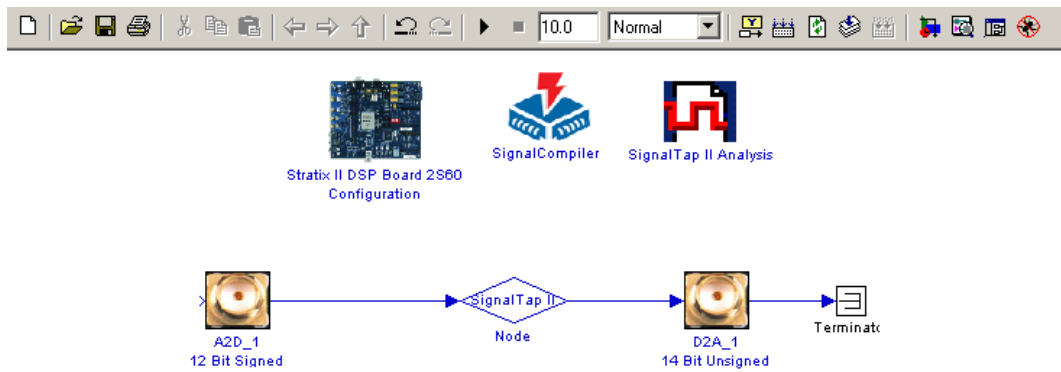


Figura 25 - Esquemático mostrando o posicionamento de um “node” dentro do design feito no Simulink.

O *SignalTap* necessita de um bloco de ativação chamada de *SignalTap Logic Analyzer*, que faz a comunicação de cada node com o *Quartus II*, direcionando e agrupando cada bit do sinal analisado em uma única variável. Uma vez posicionado dentro do design, este “node” agora possui uma seqüência de numeração, de acordo com a ordem o qual foi alocado, conforme Figura 25. Dentro do bloco de compilação do design, o *SignalCompiler*, podemos configurar a quantidade de amostrar que desejamos capturar.

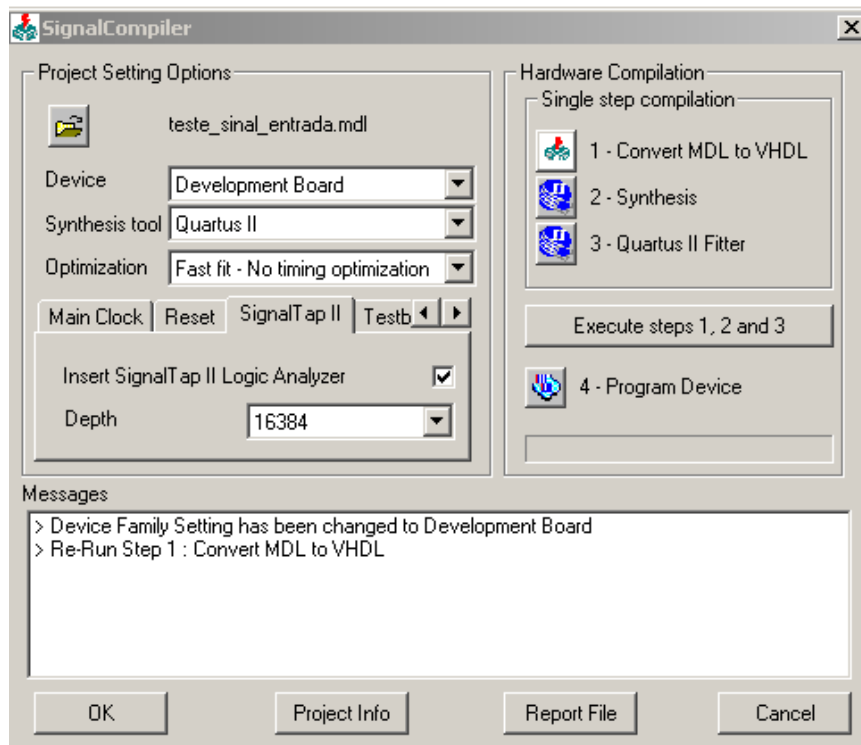


Figura 26 - Janela do SignalCompiler dentro do Simulink, mostrando a opção de escolha da quantidade de amostras a serem capturadas pelos “nodes”.

Detalhes sobre o *SignalCompiler* são mostrados na Figura 26. Uma vez feita a configuração e ativação do *SignalTap*, compilamos o projeto, gerando os arquivos a serem utilizados dentro do *Quartus II* para captura dos sinais.

5.3.3 QuartusII

O Quartus II é um ambiente de desenvolvimento integrado (IDE) feito para trabalhar com os DSPs da Altera. Este compilador é muito poderoso, fornecendo ao usuário a possibilidade de programar cada função dentro da FPGA, pino a pino, posição a posição da memória. Ao iniciar o programa, a primeira etapa a ser feita é abrir o projeto criado através do *SignalCompiler*, dentro do *Simulink*. Selecionamos o arquivo de extensão “.QPF” (*Quartus Project File*). Este arquivo é indexado a todos os arquivos secundários necessários para a programação e captura dos sinais no DSP. Segue a seguir uma lista de todos os arquivos utilizados na programação do kit EP2S60 e sua funcionalidade:

- “.QPF” – arquivo de projeto que indexa todos os arquivos da compilação

- “.STP” – arquivo de dados que direciona o posicionamento dos “nodes” dentro do design, fornecendo ao compilador a indicação da quantidade de bits de cada nó.
- “.SOF” – ponteiro para a interface de comunicação JTAG.

Ao carregarmos o projeto criado pelo SignalCompiler, dentro do Simulink, abre-se automaticamente o arquivo de dados do SignalTap (.STP). Após isso, escolhemos a interface JTAG que iremos utilizar, conforme mostrado na Figura 27, e carregamos o arquivo .SOF correspondente, que também fora gerado anteriormente.

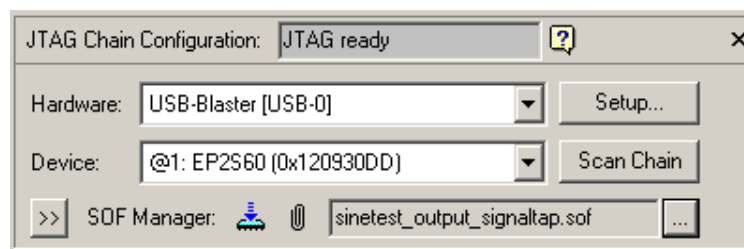


Figura 27 - Carregando o arquivo .sof dentro do Quartus II.

O programa automaticamente reconhece o dispositivo a ser programado e deixa-o previamente preparado para a programação no DSP. Sendo assim, podemos compilar o projeto e carregar o código (agora em formato VHDL) para a FPGA. Detalhes são mostrados na Figura 28.

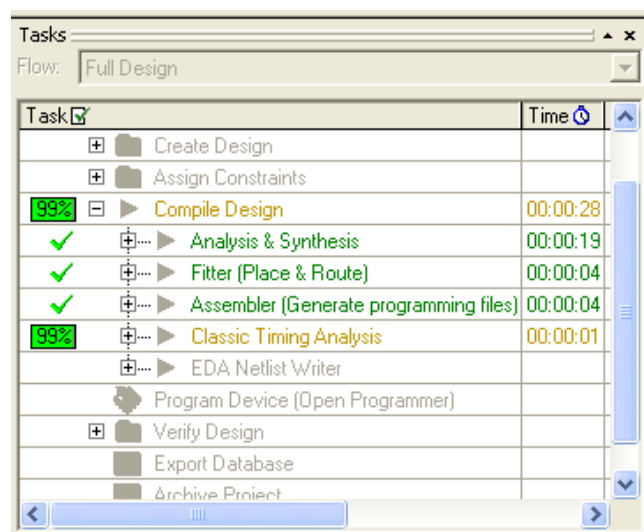


Figura 28 - Janela de seqüência de compilação dentro do Quartus II

Uma vez programado, podemos capturar os sinais correspondentes de cada “node”. Após compilar e programar o kit podemos capturar os sinais de acordo com cada “node” que posicionamos dentro do design. Para isso temos que primeiramente agrupar os bits de cada nó que desejamos fazer a leitura conforme a Figura 29.

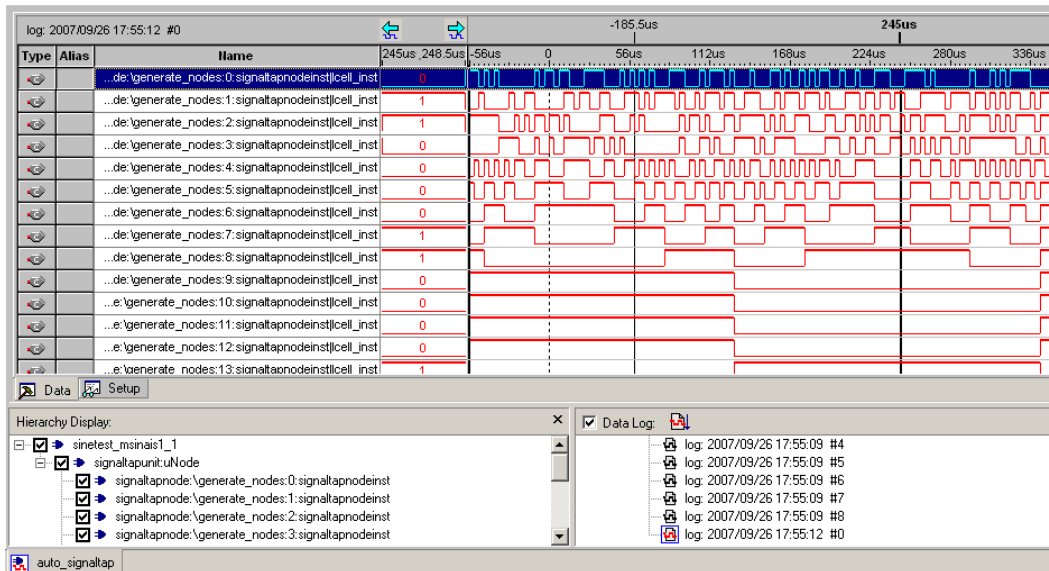


Figura 29 - Janela dentro do Quartus II, mostrando os “nodes” com os bits sem agrupamento.

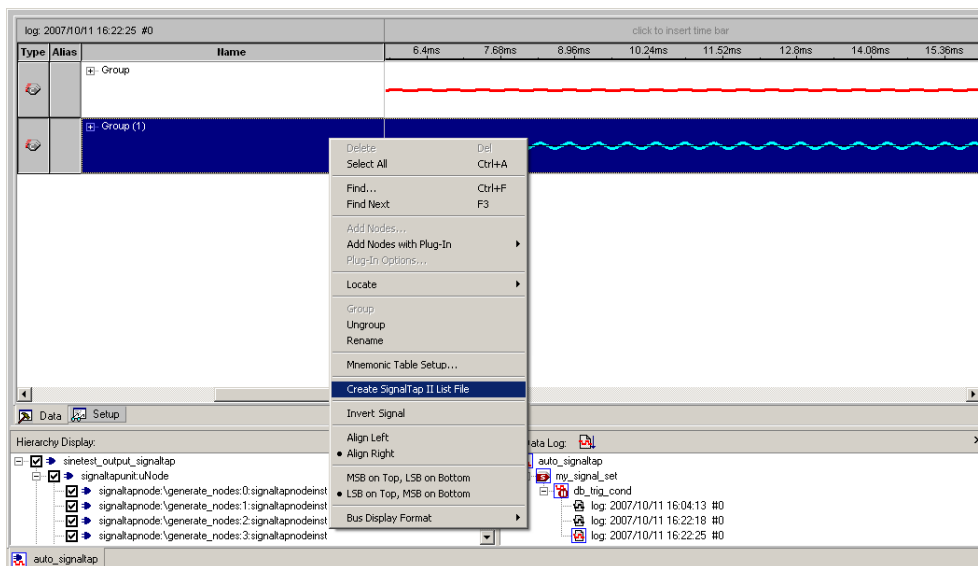
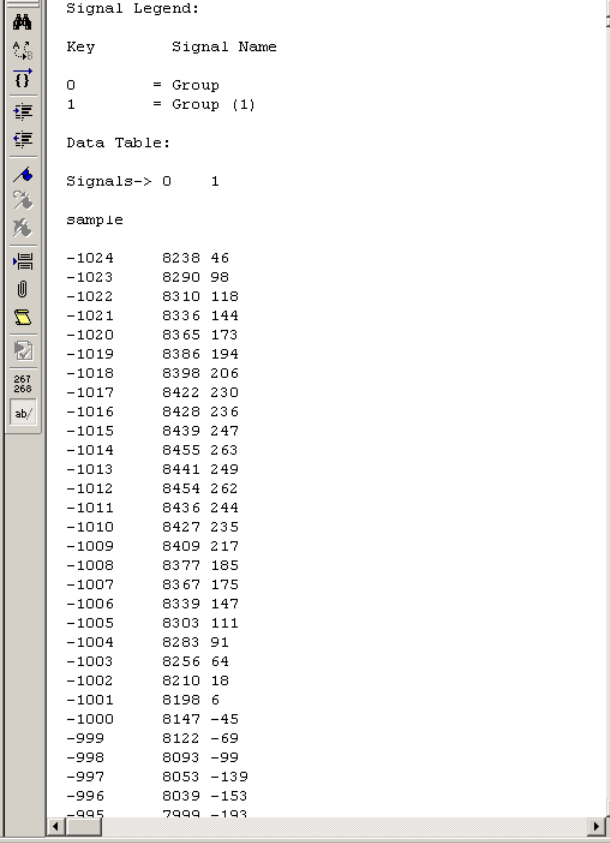


Figura 30 - Janela dentro do Quartus II, mostrando os “nodes” agrupados.

Agrupando todos os bits de cada “node” (Figura 30), criamos uma variável, que pode ser exportada para um arquivo texto, contendo todos os valores já convertidos para

o formato *unsigned integer*. A figura 31 mostra um exemplo de um arquivo texto gerado.



The screenshot shows a window titled "Signal Legend:" with a "Data Table:" section. The table has three columns: "sample", "Signals-> 0", and "1". The data is as follows:

sample	Signals-> 0	1
-1024	8238	46
-1023	8290	98
-1022	8310	118
-1021	8336	144
-1020	8365	173
-1019	8386	194
-1018	8398	206
-1017	8422	230
-1016	8428	236
-1015	8439	247
-1014	8455	263
-1013	8441	249
-1012	8454	262
-1011	8436	244
-1010	8427	235
-1009	8409	217
-1008	8377	185
-1007	8367	175
-1006	8339	147
-1005	8303	111
-1004	8283	91
-1003	8256	64
-1002	8210	18
-1001	8198	6
-1000	8147	-45
-999	8122	-69
-998	8093	-99
-997	8053	-139
-996	8039	-153
-995	7999	-193

Figura 31 - Signal Tap List File criado a partir do agrupamento dos bits dos “nodes”.A primeira coluna representa o numero da amostra. A segunda e terceira colunas representam o valor de cada amostra para o node 0 e node 1 respectivamente.

Com estes valores em mão podemos criar uma variável no Matlab ou em qualquer editor de planilhas, como o Excel, e manipular os dados da forma mais conveniente.

- A MEX-Function

Uma forma de se evitar este trabalho, que pode se tornar demorado, de acordo com a profundidade de cada grupo (podendo conter até 16 mil pontos), existe uma função que pode ser rodada dentro do MATLAB, na Command Window ou em um

arquivo “.m”, que se chama MEX-Function. Esta função é instalada dentro do Matlab e trabalha exclusivamente com o SignalTap e o Quartus II.

Ao compilarmos o programa dentro do DSP, basta agrupar os “nodes” uma única vez. Salvando o arquivo.stp alterado (já com os grupos formados), podemos rodar esta MEX-Function, e “chamar” o arquivo .stp diretamente de dentro do MATLAB, sem precisar criar uma tabela com os valores de cada grupo. A função é descrita a seguir:

```
>> var_signal = alt_signaltap_run('arquivo.stp');
```

A variável criada “var_signal” contém n colunas, onde cada coluna representa um agrupamento de bits de cada “node” utilizado dentro do design, ou seja, se utilizamos 4 “nodes” do SignalTap em nosso design, o arquivo conterà 4 colunas. Esta variável ainda conta com m linhas, onde cada linha representa uma amostra capturada. Ou seja, se escolhermos uma precisão de 16384 pontos, a n-ésima coluna conterà 16384 linhas.

- PSD - Phase Sensitive Detector no kit EP2S60

A Figura 32 apresenta o circuito PSD (Sistema de Detecção Sensível a Fase) do Lock-In utilizando o Simulink e as bibliotecas da Altera.

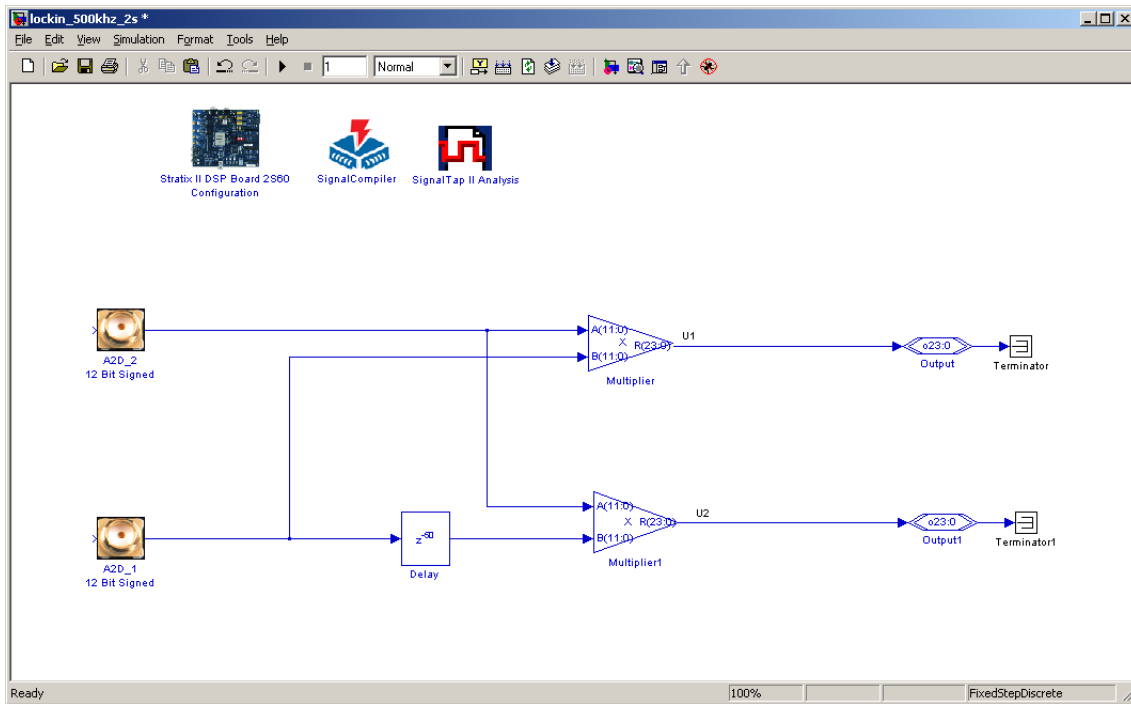


Figura 32 - Circuito PSD (Sistema de Detecção Sensível a Fase) do Lock-In utilizando o Simulink e as bibliotecas da Altera.

Os atrasos utilizados nas medidas reais (Δ_{Amostras}) são apresentados na Tabela 33.

f_{ref}	Δ_{ref}	Amostras / Ciclo	$\Delta_{\text{Amostras}} / ^\circ$	Δ_{Amostras} para $\approx 30^\circ$
0.5 MHz	2 μs	200	1.8	16 = 28.8°
1 MHz	1 μs	100	3.6	8 = 28.8°
2 MHz	0.5 μs	50	7.2	4 = 28.8°

Figura 33 - Atrasos utilizados nas medidas reais

5.4 Resultados das Medidas

O instrumento foi utilizado para medir a magnitude e fase com frequências de referências de 0.5MHz, 1MHz e 2MHz e amplitude de referência de aproximadamente de 200mVpp. O sistema físico simulou um sinal de medida com amplitude aproximadamente de 200mVpp e fase de 28.8° em relação ao sinal de referência. As medidas foram realizadas com Constantes de Tempo de [1; 2; 4; 8; 16; 32; 64] ciclos do sinal de referência. Não foi possível realizar a medida para CT=128, pois o kit Altera

EP2S60 não tem memória RAM suficiente para armazenar a quantidade de dados necessários.

As Tabelas 27-29 apresentam os resultados das medidas em função das frequências de referência para 30 medidas da magnitude e fase em cada frequência e para as sete constantes de tempo (CT) a fim de calcular seus valores médios e desvios padrões.

➤ **Medidas para $f_{ref}=0.5$ MHz**

CT (Período)	Magnitude (Vp)	Fase (°)
1	0.2048 (± 0.0002)	28.84 (± 0.02)
2	0.2047 (± 0.0001)	28.83 (± 0.01)
4	0.2047 (± 0.0001)	28.831 (± 0.006)
8	0.20476 (± 0.00007)	28.830 (± 0.004)
16	0.20476 (± 0.00006)	28.831 (± 0.003)
32	0.20481 (± 0.00004)	28.832 (± 0.002)
64	0.20478 (± 0.00003)	28.832 (± 0.002)

Tabela 27 - Resultados das medidas de magnitude e fase em função do tempo de integração ($f_{ref} = 0.5MHz$)

➤ **Medidas para $f_{ref}=1$ MHz**

CT (Período)	Magnitude (Vp)	Fase (°)
1	0.2035 (± 0.0005)	28.82 (± 0.04)
2	0.2033 (± 0.0004)	28.82 (± 0.02)
4	0.2034 (± 0.0002)	28.82 (± 0.01)
8	0.2035 (± 0.0002)	28.821 (± 0.006)
16	0.2035 (± 0.0001)	28.822 (± 0.003)
32	0.20353 (± 0.00006)	28.821 (± 0.003)
64	0.20350 (± 0.00005)	28.821 (± 0.003)

Tabela 28 - Resultados das medidas de magnitude e fase em função do tempo de integração ($f_{ref} = 1MHz$)

➤ **Medidas para $f_{\text{ref}} = 2.08373 \text{ MHz}$**

CT (Período)	Magnitude (Vp)	Fase (°)
1	0.195 (± 0.004)	30 (± 1)
2	0.197 (± 0.003)	30.0 (± 0.6)
4	0.198 (± 0.002)	30.1 (± 0.4)
8	0.199 (± 0.001)	30.1 (± 0.2)
16	0.1988 (± 0.0008)	30.1 (± 0.2)
32	0.1990 (± 0.0006)	30.1 (± 0.1)
64	0.1990 (± 0.0005)	30.08 (± 0.09)

Tabela 29 - Resultados das medidas de magnitude e fase em função do tempo de integração ($f_{\text{ref}} = 2 \text{ MHz}$)

Os valores das barras de erro das medidas de magnitude e fase nos permitem inferir, baseado nos dados simulados, que a intensidade do ruído do Laboratório de Eletrônica está entre $0.5 \text{ mVp} < \sigma_{\text{ruído}} < 5 \text{ mVp}$. Esta conclusão está de acordo com a análise do ruído do Laboratório de Eletrônica, conforme apresentado na seção 4.4. As medidas nos mostram que os desvios padrão das medidas de magnitude e fase diminuem seguindo o mesmo comportamento que os sinais simulados, i.e. barra de erro das medidas reduzem pela raiz quadrada do número de medidas realizadas, conforme Equação 4.1. Estes resultados podem ser visualizados nos gráficos das figuras 37-39.

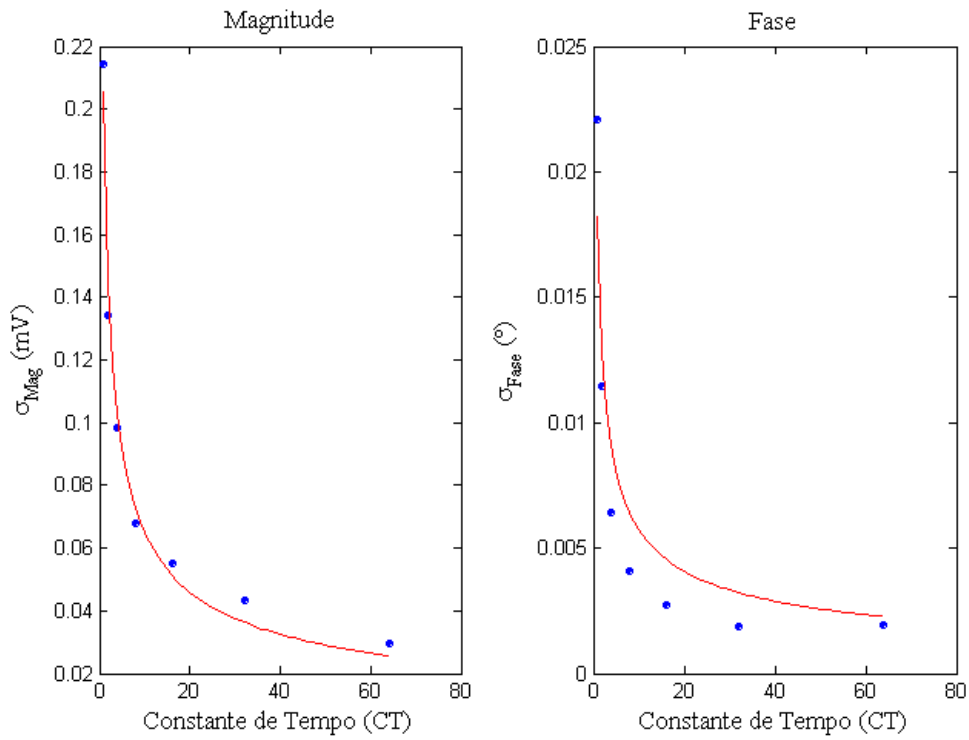


Figura 34 - Comportamento do desvio padrão da medida em função do tempo de integração. Medida com fref = 0.5MHz.

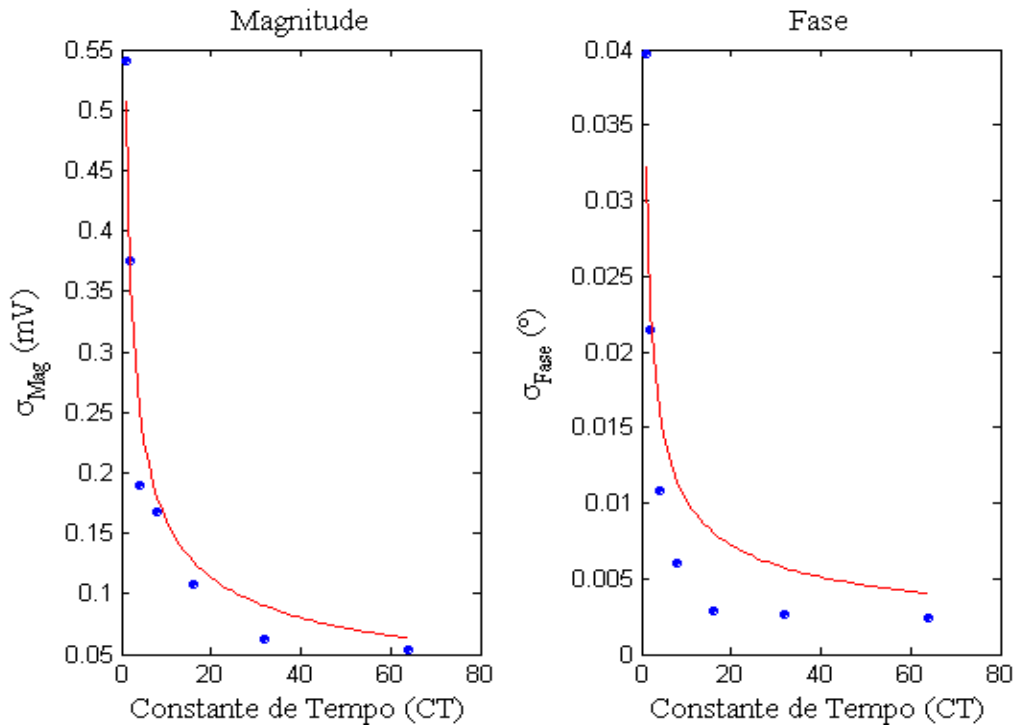


Figura 35 - Comportamento do desvio padrão da medida em função do tempo de integração. Medida com fref = 1MHz.

Os valores da constante de proporcionalidade α obtido usando como função de ajuste a equação 5.1 são apresentados na Tabela 30. Estes valores de α quando comparados com os dados obtidos das simulações (valores de α das Tabelas 23-26) mostra concordância sinalizando que a faixa de intensidade do ruído está $0.5 \text{ mVp} < \sigma_{\text{ruído}} < 5 \text{ mVp}$.

α		
f_{ref} (MHz)	Magnitude	Fase
0.5	0.0002	0.018
1	0.0005	0.032
2	0.004	0.920

Tabela 30 - valores da constante de proporcionalidade α obtido usando como função de ajuste a equação 4.1

5.5 Considerações Finais

O capítulo mostrou como detectar sinais por meio da técnica de detecção de um Amplificador Lock-In. Experimentos simulados e reais foram confrontados a fim de comparar os resultados teóricos com os resultados práticos. O sistema desenvolvido se mostrou capaz de detectar sinais com grande precisão aumentando a relação sinal ruído de sinais imersos em ruídos.

6. Conclusões

Neste trabalho foi desenhado e desenvolvido um protótipo de Amplificador Lock-In operando a frequências bem elevadas e da ordem de megahertz. Os testes finais permitiram validar de forma geral o equipamento projetado. Ao longo deste trabalho foram geradas diferentes conclusões as quais resumimos nos parágrafos seguintes.

1. Os componentes e a essência do funcionamento de um Amplificador Lock-in foram estudados. Esta etapa foi resumida numa nota técnica disponível a qual pode servir de base para a introdução deste equipamento em cursos e futuros projetos no CBPF.
2. Foi adquirido um kit de desenvolvimento da empresa Altera, o Stratix® II EP2S60 DSP. Os componentes e as particularidades, assim como o funcionamento do kit foram estudados aprofundando-se nos detalhes operacionais do sistema. Ao finalizar esta tese todos os detalhes técnicos e possibilidades operacionais do kit foram assimilados e incorporados dentro do grupo de pesquisa.
3. Foram construídos circuitos de desacoplamento para desacoplar o kit Stratix® II EP2S60 DSP dos sistemas de medidas experimentais permitindo realizar medidas experimentais na configuração de quatro pontos. Estes circuitos têm ganhos ajustáveis o que permite a operação do kit em diferentes condições experimentais de frequências e voltagens.
4. Foi projetado um protótipo de Amplificador Lock-in a partir da integração dos pontos 1-3. Em essência, a interconexão dos circuitos de acoplamento, o kit Stratix® II EP2S60 DSP e os programas desenvolvidos em MATLAB e Simulink

para o kit Altera EP2S60, formaram a essência do protótipo de Lock-in desenvolvido.

5. Os valores medidos com o protótipo de Lock-in estiveram em concordância com os valores simulados. Em particular, a partir da comparação dos erros obtidos nas medidas de magnitude e fase com os valores simulados foi possível estimar o ruído entre 0.5 mV_p e 5 mV_p o qual esteve em concordância com medidas de ruído realizadas no laboratório.
6. O erro dos valores medidos (magnitude e fase) diminui conforme o inverso da raiz quadrada da constante de tempo usada na leitura. Os valores da constante de proporcionalidade α estão de acordo com os obtidos numa faixa de intensidade de ruído: $0.5 \text{ mV}_p < \sigma_{\text{ruído}} < 5 \text{ mV}_p$. Este resultado está em concordância com o item 5 destas conclusões mostrando a robustez dos nossos resultados.
7. Finalmente, todos os resultados preliminares mostraram que o nosso projeto de Lock-In foi capaz de medir sinais pequenas, da ordem de milivolts, inseridos num nível de ruído branco.

7. Referências

- [1] MCM Consultores e Associados LTDA. “*MCMNet - Site sobre economia aplicada e análise política*”; <http://www.mcmconsultores.com.br/>; Disponível em 2008.
- [2] J. H. Scofield. American Journal of Physics 62 (1994) p. 129.
- [3] M. Nikolo. American Journal of Physics 63 (1995) p. 57.
- [4] J. M. Calo and A. D. Bailey. Phase-Sensitive Pulse Counting in modulate Beam Mass-Spectrometry. Review of Scientific Instruments (1974) Volume: 45 Pages: 1325-1330.
- [5]. I. Riess. Simple Differential Lock-in Amplifier for optical measurements. Review of Scientific Instruments (1982) Volume: 53 Pages: 1388-1391.
- [6]. M. Vanexter and A. Lagendijk. Converting an AM Radio into a high frequency Lock-in in a stimulated Raman experiment. Review of Scientific Instruments (1986) Volume: 57 Pages: 390-392.
- [7]. W. H. Kettler, et al. Differential AC method of Thermopower measurements. Review of Scientific Instruments (1986) Volume: 57 Pages: 3057-3058.
- [8]. M. Qvarford, K. Heeck, J. G. Lensink, et al. Microtorquemeter for Magnetization measurements on small superconducting samples.. Review of Scientific Instruments (1992) Volume: 63 Pages: 5726-5732.
- [9]. A. Bajpai, and A. Banerjee. An automated susceptometer for the measurement of linear and nonlinear magnetic ac susceptibility. Review of Scientific Instruments (1997) Volume: 68 Pages: 4075-4079.
- [10]. K. Tsukada and T. Kiwa. Magnetic property mapping system for analyzing three-dimensional magnetic components. Review of Scientific Instruments (2006) Volume: 77 No 063703

- [11]. G. Blatter, M. V. Feigel'man, V. B. Geshkenbein, A. I. Larkin, and V. M. Vinokur. Review of Modern Physics, 66 (1994) p. 1125. Vortices in high-temperature superconductors.
- [12]. M. Nikolo, W. Kiehl, H. M. Duan and A. M. Hermman. Flux-Creep activations energies in $Tl_2Ba_2CaCu_2O_x$ single crystals. Physical Review B 45 (1992) p. 5641 – 5644.
- [13]. J. P. Cleuziou, W. Wernsdorfer, et al. Gate-tuned high frequency response of carbon nanotube josephson junctions. Physical Review Letters (2007) Volume: 99 Article Number: 117001.
- [14]. U. Kemiktarak, T. Ndukum, K. C. Schwab et al. Radio-frequency scanning tunnelling microscopy. Nature (2007) Volume: 450 Page 85.
- [15]. O. J. Lipscombe, S. M. Hayden, B. Vignolle et al. Persistence of high-frequency spin fluctuations in overdoped superconducting $La_{2-x}Sr_xCuO_4$ ($x=0.22$). Physical Review Letters (2007) Volume: 99 Article Number: 067002.
- [16]. C. Masciovecchio, G. Baldi, S. Caponi, et al. Evidence for a crossover in the frequency dependence of the acoustic attenuation in vitreous silica, Physical Review Letters (2006) Volume: 97 Article Number: 035501.
- [17]. K. L. Wang and D. M. Mittleman. Dispersion of surface plasmon polaritons on metal wires in the terahertz frequency range. Physical Review Letters (2006) Volume: 96 Issue: 15 Article Number: 157401.
- [18]. M. Moresco, and E. Zilli. Extension of Lock-in operation to VHF frequencies. Review of Scientific Instruments (1975) Volume: 46 Pages: 227-228.
- [19]. J. R. Miller and J. M. Pierce. High-frequency Heterodyne Lock-in Amplifier, , Review of Scientific Instruments (1972) Volume: 43 Pages: 1721-&.
- [20]. M. Vanexter and A. Lagendijk. Converting an AM radio into a High-frequency Lock-in Amplifier in a stimulate Raman experiment. Review of Scientific Instruments (1986) Volume 57, Pages: 390-392
- [21]. S. Maeda and Y. Shindo. Modification of Ithaco Model 391A Lock-in Amplifier for use in the High-Dynamic-Range mode at the frequency-range from 60 to 120 kHz. Review of Scientific Instruments (1989) Volume: 60 Issue: 10 Pages: 3338-3339.
- [22]. J. G. Proakis and D. G. Manolakis. "Digital Signal Processing: Principles, Algorithms, and Applications". 3^a Edição; Prentice-Hall, ISBN 0133737624; 1996;