

CBPF-NT-002/89

CONVERSOR ANALÓGICO DIGITAL DE 12 BITS PARA  
BARRAMENTO PADRÃO S100

por

Gustavo F.P. FIGUEIREDO, GERALDO R.C. CERNICCHIARO,  
Marcelo P. ALBUQUERQUE e Marcio P. ALBUQUERQUE

*RESUMO*

Este trabalho descreve o projeto e a construção de uma placa padrão S100 de um conversor analógico/digital de 12 bits e o seu software de controle. O circuito foi inicialmente desenvolvido como módulo de um sistema de aquisição de dados para uma experiência de RPE (Ressonância Paramagnética Eletrônica). Porém por suas características de padronização, custo e confiabilidade permitem que possa ser utilizado em diversos sistemas que exijam a digitalização de sinais analógicos com tempo de conversão da ordem de microsegundos.

## PALAVRAS CHAVE :

Conversor; Interface; Barramento S100; Tempo de Conversão; Analógico/Digital

## I. INTRODUCAO

Devido a utilização de microcomputadores como dispositivos de controle de experiências que envolvem processos físicos são necessárias interfaces que façam o intercâmbio de informações entre estes dispositivos e o microcomputador . Estas informações podem ser, por exemplo, sinais digitais ( contatos abertos ou fechados, existência ou não de luz ou humidade, etc ), que se traduzem para o computador como pulsos elétricos, ou sinais analógicos ( temperatura, nível, pressão, etc ), os quais devem ser convertidos em sinais elétricos mediante transdutores e posteriormente digitalizados através de interfaces que os compatibilizam com o sistema de controle.

Devido a diversidade de fabricantes e de componentes é difícil manter um mínimo de padronização e compatibilidade entre diferentes grupos de trabalho impedindo que haja um intercâmbio maior de projetos de interfaces e programas aplicativos . Algum tipo de padronização se faz necessária para que um mesmo trabalho não fique restrito a apenas um usuário.

O padrão S100, por nós adotado, consiste de

uma norma de barramento paralelo proposta pelo IEEE (IEEE-696), para comunicação entre módulos de alta velocidade. Esta norma define um sistema de interface de uso fácil e racional que assegure compatibilidade de projetos atuais e futuros, com facilidades de ampliações modulares e de interconexão de dispositivos de fabricantes distintos na construção de sistemas complexos.

## II. DESCRIÇÃO DA INTERFACE

A interface foi inicialmente desenvolvida para o microcomputador MACUNAÍMA II. Este microcomputador consiste em um sistema de aquisição de dados baseado no padrão S-100, possuindo um cartão de CPU (Z80A-4MHz) com 64 Kbytes de memória RAM, um cartão de terminal de vídeo com comunicação via barramento e um cartão controlador de disco de até 4 "drivers" (5 1/4" dupla face-dupla densidade) gerenciado pelo sistema operacional compatível CDOS ( Cromenco Disk Operating System ).

A fig.1 nos mostra o diagrama em blocos da interface, constituída pelos seguintes módulos: conversão, decodificação, sincronização, conexão ao

barramento e amplificação.

O módulo de conversão analógica/digital tem como principal elemento o circuito integrado 7556CB fabricado pela BECKMAN cujas características incluem : baixo custo, 12 bits de resolução, tempo de conversão de 50 $\mu$ s, saídas em terceiro estado (three-state) para conexão direta ao barramento de dados, compatível com a lógica TTL ou CMOS, comparador de alta velocidade, clock interno que pode operar com valor de frequência escolhido pelo projetista ou sincronizado com o clock do sistema.

No módulo de conexão das linhas ao barramento colocamos buffers 74LS244, nos sinais de dados e endereços.

A decodificação dos sinais de controle da placa é feita utilizando o Decodificador 74LS138 que gera os sinais de: início de conversão, leitura do byte menos significativo (LSB), leitura dos quatro bits mais significativos (MSB) e leitura do status de fim de conversão, como indicado na tabela 1.

O conversor utilizado pode trabalhar em dois modos de operação : modo bipolar ou modo unipolar. Em ambos os casos sua faixa de operação é função da tensão de referência ( $V_{ref}$ ) podendo variar de  $-V_{ref}$

até +Vref no modo bipolar e de zero até +Vref no modo unipolar, podendo Vref variar de  $\pm 25$  volts. No nosso caso operamos no modo bipolar (Tabela 2) utilizando a tensão interna de referência de -10 volts que também pode servir de referência a outros sistemas com uma corrente de até 5mA. Para compatibilizar os níveis de sinais de entrada do circuito conversor com os sinais a serem medidos e para não deixá-lo diretamente exposto, existe um módulo de amplificação que consiste em dois amplificadores operacionais LF356 com ajustes de ganho e "offset".

O módulo de sincronização consiste em um circuito lógico para sincronizar a conversão do dado amostrado e a leitura da interface pela CPU. Esta sincronização pode ser observada no diagrama de tempo da fig.3 que nos mostra uma seqüência de conversão.

A fig.4 nos mostra o diagrama de tempo do pulso de início de conversão ( "start" ) e sua relação com o clock interno. Podemos observar que o pulso de início de conversão permanece no nível lógico alto pelo menos 750ns e retorna para nível lógico baixo no mínimo 250ns antes da seguinte transição positiva do pulso de clock com o objetivo

de assegurar que o pulso de início de conversão ocorra durante o primeiro período de clock.

### III. DESCRIÇÃO DO SOFTWARE

A fig.2 descreve o fluxograma do software de controle do conversor analógico digital, que foi inicialmente desenvolvido na linguagem BASIC e ASSEMBLY do Z80, sendo sua última versão implementada na linguagem C.

```

/* PROGRAMA DE CONTROLE DO CONVERSOR A/D */

#define PORT_EOC 0x82 /* Porta de E/S - Fim de Conversão */
#define PORT_LSB 0x83 /* Porta de E/S - D0-D7 */
#define PORT_MSB 0x84 /* Porta de E/S - D8-D11 */
#define PORT_85H 0x85 /* Porta de E/S - Controle */
#define START_BIT 0x20 /* Status de Início de Conversão */
#define EOC_BIT 0x01 /* Status de fim de conversão */

int leitura_ad()
{
    int lsb,msb,sinal;

    while((in(PORT_85H) & START_BIT) != 0);
    while((in(PORT_85H) & START_BIT) == 0);
    while((in(PORT_82H) & EOC_BIT) == 0);
    lsb = in(PORT_LSB);
    msb = in(PORT_MSB) & 0x0F;
    sinal = lsb + msb*256;
    return(sinal);
}

```

No módulo de decodificação foram definidos quatro endereços de controle 82H, 83H, 84H e 85H que são devidamente relacionados com as suas

respectivas funções na tabela 2.

Inicialmente a interface é habilitada para aquisição escrevendo o nível lógico '1' no bit 6 da palavra de controle do endereço 85H; a partir deste momento o circuito espera o sinal de sincronismo do sistema para iniciar a conversão. No seguinte passo o programa fica em um ciclo de espera, verificando se o bit 5 do endereço de status 85H é igual a zero, ou seja se iniciou a conversão. Em seguida, o programa entra em um novo ciclo de espera, verificando se o bit 0 do endereço de status 82H é igual a '1'. A partir deste instante o dado está preparado para ser lido. O byte menos significativo é obtido lendo o endereço 83H, em seguida obtemos os quatro bits mais significativos restantes, lendo o byte no endereço 84H e zerando os quatro bits mais altos através da operação lógica AND, este valor multiplicado por 256 e somado com o byte menos significativo fornece o valor numérico da medida.

#### IV. CONCLUSÃO

O projeto desenvolvido apresentou como principal característica a preocupação com



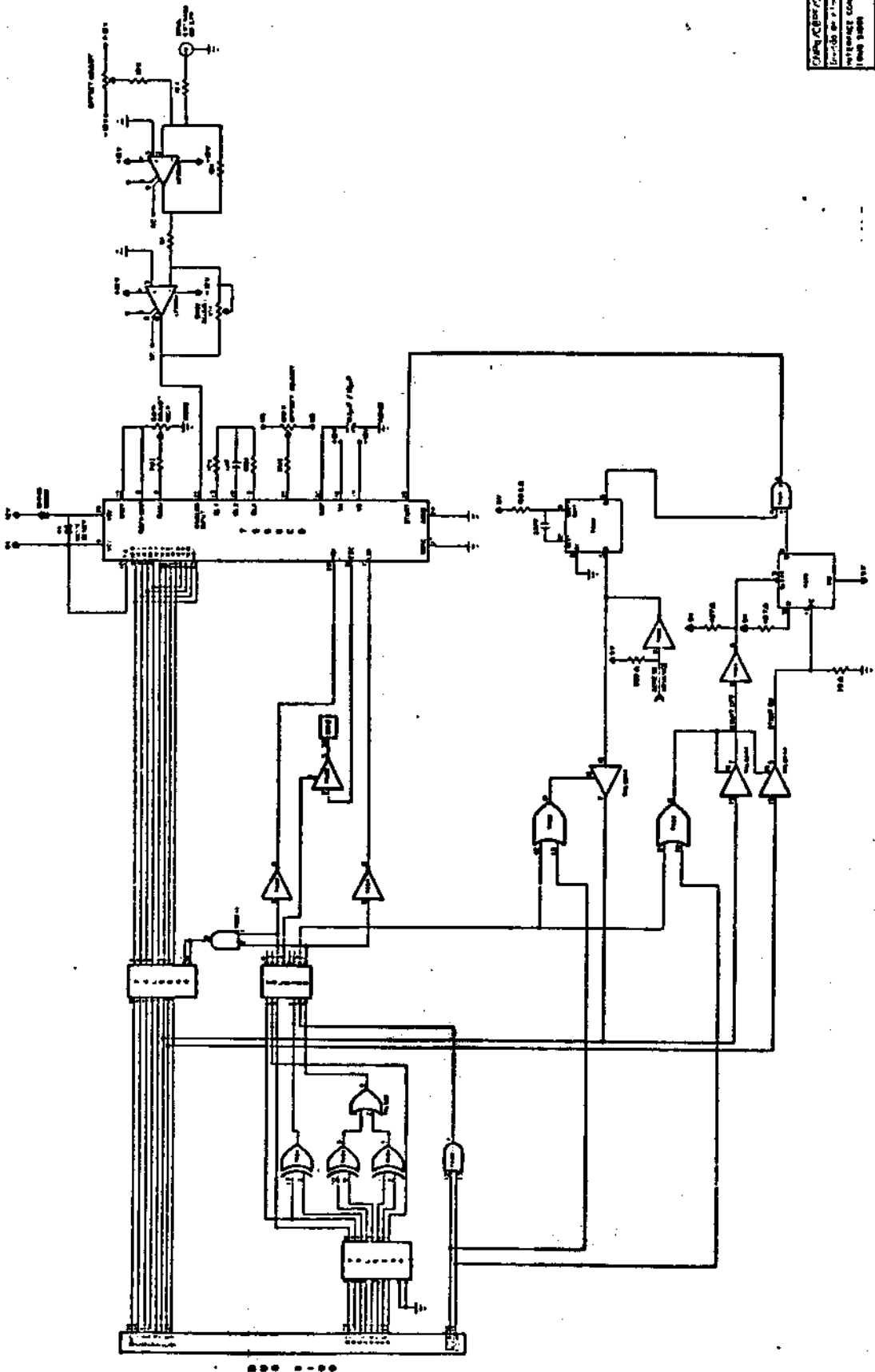
modularidade e padronização , aliados a baixo custo e facilidade de aquisição dos componentes envolvidos. O padrão de barramento S100 mostrou-se muito econômico e prático na implementação de interfaces de controle , em relação a outros padrões como CAMAC ou GPIB , além de ser bem documentado e ter seus elementos elétricos e mecânicos facilmente encontrados no mercado nacional, não dependendo de importações.

O conversor foi implementado em um sistema de aquisição de dados de Ressonância Paramagnética Eletrônica e seu desempenho vem se mostrando completamente compatível com os resultados esperados.

## V. AGRADECIMENTOS

Ao desenhista Paulo Mendo, aos professores George Bemski e Wilson Vanoni e as físicas Eliane Wajnberg e Marília P. Linhares pelo contato proporcionado no Laboratório de Ressonância Paramagnética Eletrônica, aos companheiros da Divisão de Informática e ao chefe da Coordenadoria de Atividades Técnicas prof. Alfredo Marques.

DATA CENTER  
1988-08-27  
REVISION CONTROL SHEET  
1988 1989



PORTA DE E/S	FUNÇÃO
82H	LEITURA DE STATUS DE FIM DE CONVERSÃO
83H	LEITURA DO BYTE MENOS SIGNIFICATIVO
84H	LEITURA DO NIBBLE MAIS SIGNIFICATIVO
85H	INÍCIO DE CONVERSÃO

TABELA 1 - ENDEREÇO DE E/S

ENTRADA ANALÓGICA	CÓDIGO DIGITAL	
	MSB	LSB
+ (FS - 1LSB)	1	1111111111
+ (FS - 2LSB)	1	1111111110
+ (1/2FS)	1	1000000000
+ (1LSB)	1	0000000001
0	1	0000000000
- (1LSB)	0	1111111111
- (1/2FS)	0	1000000000
- (FS - 1LSB)	0	0000000001
- (FS)	0	0000000000

TABELA 2 - OPERAÇÃO BIPOLAR

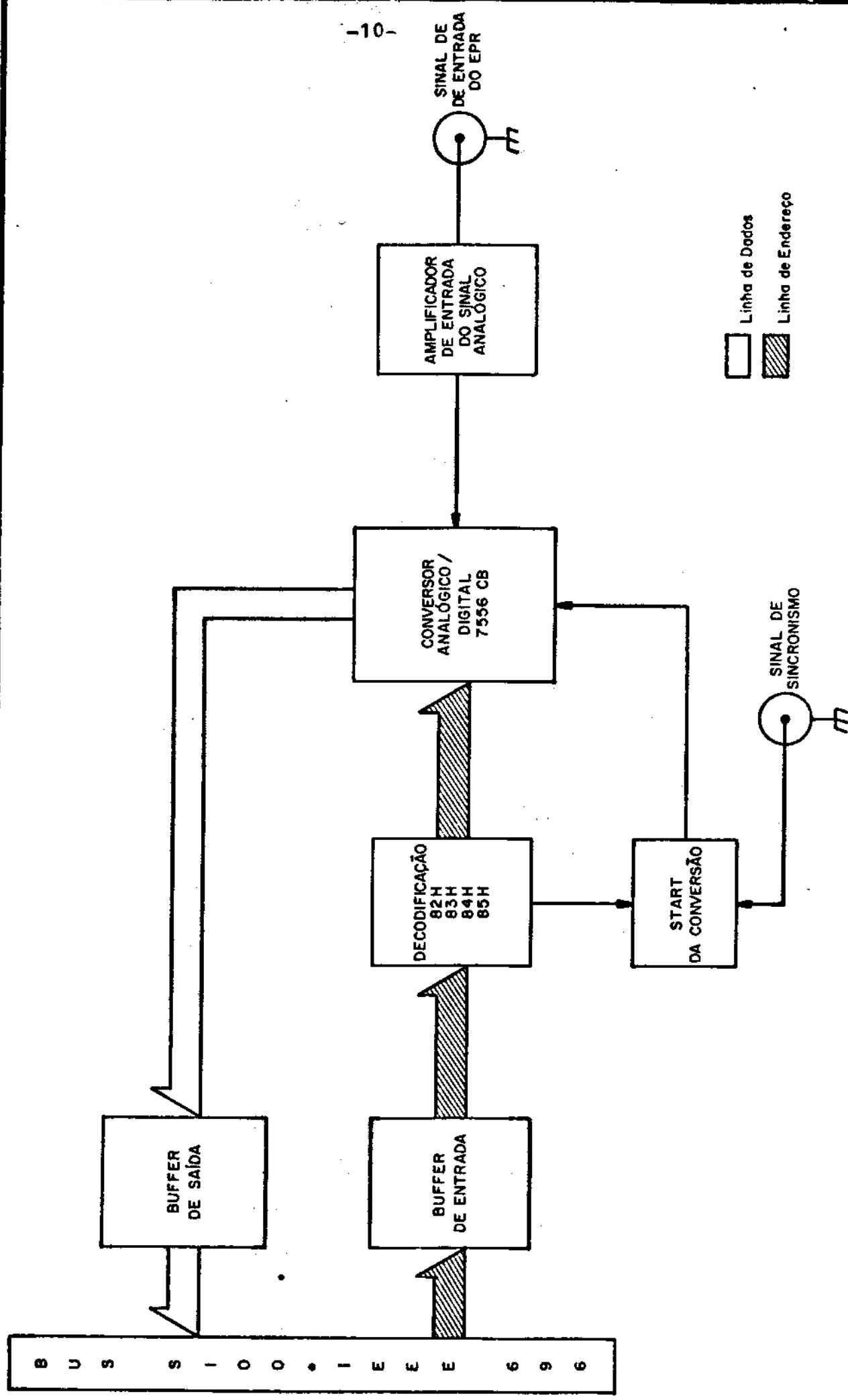


FIG. 1 - DIAGRAMA EM BLOCOS DO CONVERSOR A/D

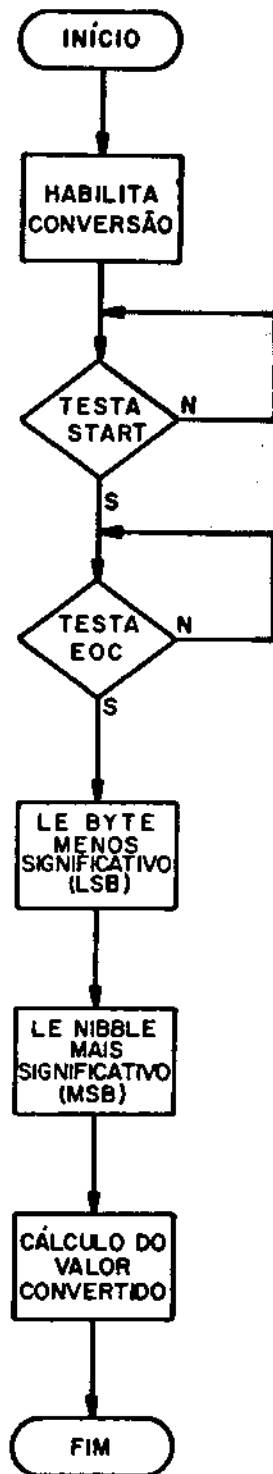


FIG. 2 - FLUXOGRAMA DO PROGRAMA

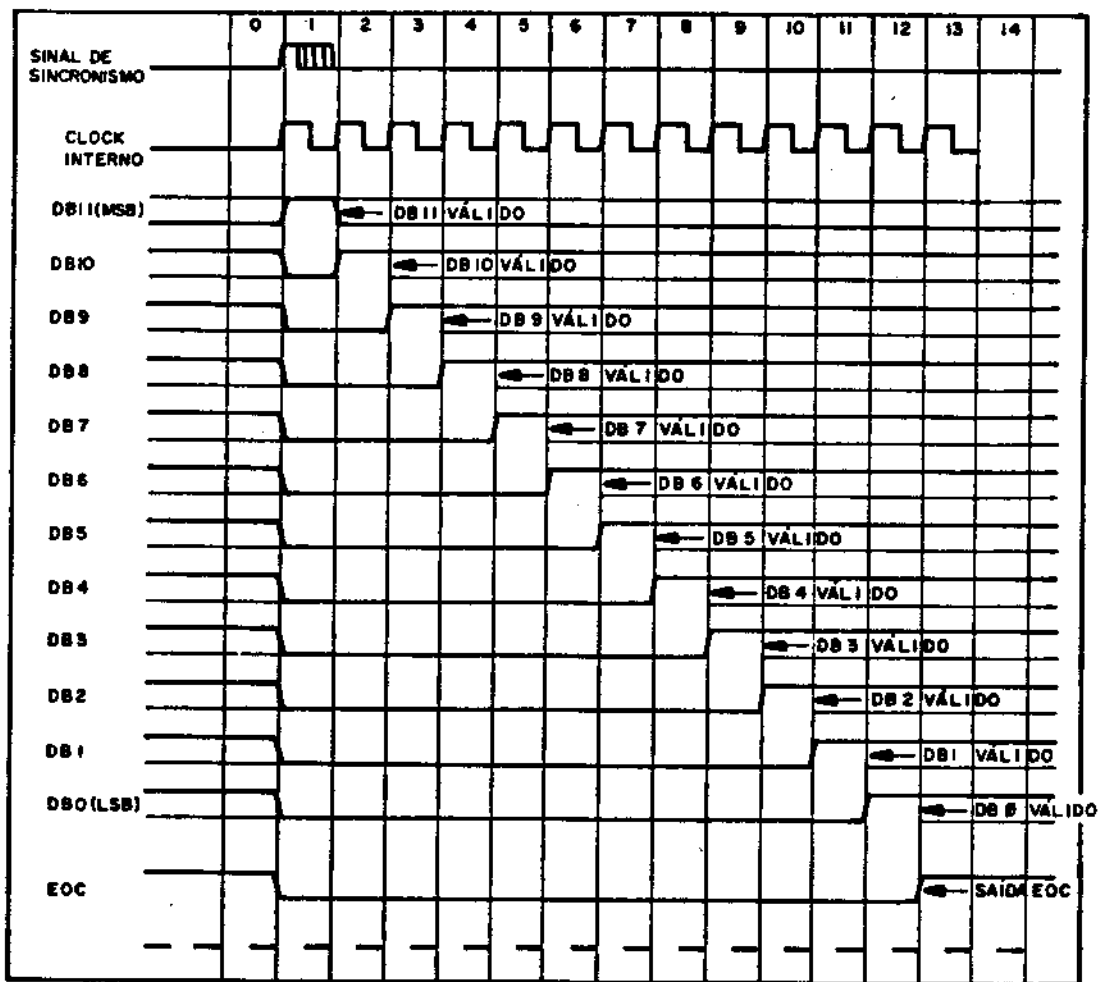


FIG.3- DIAGRAMA DE TEMPO DO SISTEMA

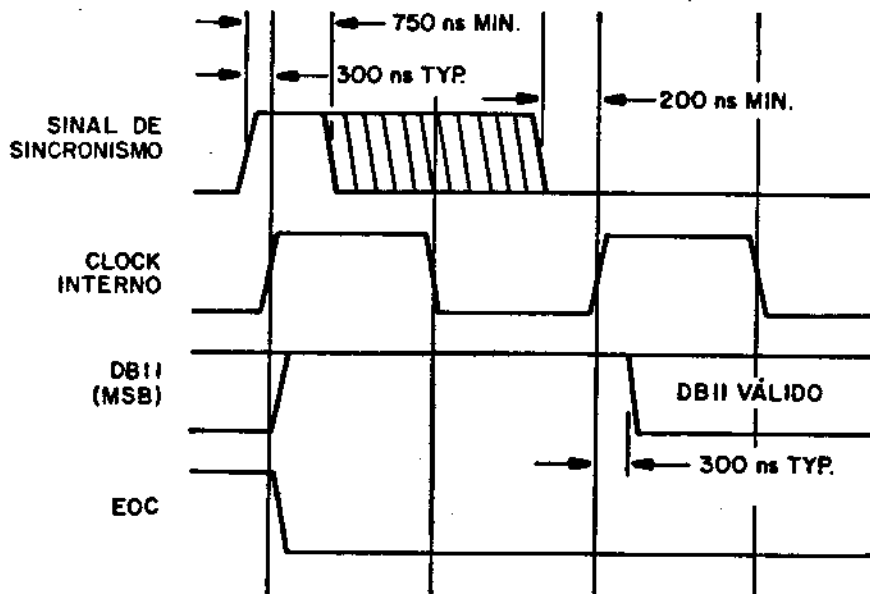


FIG. 4 - DIAGRAMA DE TEMPO DO SINAL DE SINCRONISMO

## VI. REFERENCIAS

1. Costa, A. P. R., Cernicchiaro, G. R. C. e Machado, R. M. C. 1984 .Anais da 36 SBPC : p. 404.
  
2. Cernicchiaro, G. R. C., Figueiredo, G. F. P. Albuquerque , M. P., Albuquerque , Márcio P. e Rodrigues, M. P. 1988 .Anais da 40 SBPC : p. 92.  
02-A.8.1
  
3. Poblet, J. M. 1980 .Interconexión de Periféricos a Microprocessadores : Baixareu Editores.
  
4. Borelli Thomaz Junior, U. 1987 .Desenvolvimento de um Sistema de Aquisição, Análise e Controle para Experimentos em Ressonância Paramagnética Eletrônica, Tese de Doutorado, Instituto de Física e Química de São Carlos, Universidade de São Paulo.
  
5. Libes, S. e Garetz, M. 1981 .Interfacing to S-100/IEEE 696 Microcomputers



## 11. ABSTRACT

This work describes the project and the assembly of a 12 bit analogic/digital converter S100 standard board and its control software. The circuit was firstly developed as a module for EPR (Electron Paramagnetic Resonance) data acquisition system. Owing to its low cost, confiability and padronization characteristics, it allows us to use the board with many systems that demand analogical signal digitalization with conversion time of microseconds.

### KEY WORDS :

Converter; Interface; Bus S100; Conversion Time;  
Analogic/Digital