

Implementação, em lógica programável, de um circuito para configuração e operação de um conversor tempo-digital.

H. A. Maia, H. P. Lima Jr, A. F. Barbosa
Centro Brasileiro de Pesquisas Físicas - CBPF

Abstract

We report the implementation of a digital circuit for the operation of a Time-to-Digital converter (TDC) and its configuration in a Field Programmable Gate Array (FPGA). The firmware also implements the circuit for Universal Serial Bus (USB) controller and First-in-First-Out (FIFO) operation. The general concept and the architecture are described, with particular emphasis on the main devices foreseen to provide physical support to this concept.

1 Introdução

Este documento apresenta o projeto e teste de um circuito, implementado em lógica programável (*FPGA*), para configuração e processamento de dados de um TDC [1]. Inicialmente, descrevemos o funcionamento do módulo eletrônico (SPRO), com o qual foi possível a realização deste trabalho. A Figura 1 e a Figura 2 mostram, respectivamente, uma foto do módulo SPRO e o seu diagrama em blocos.

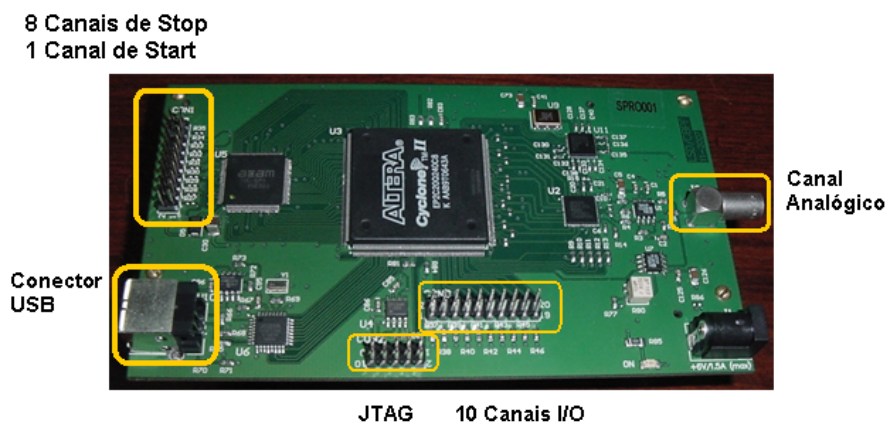


Figura 1: Foto do módulo SPRO.

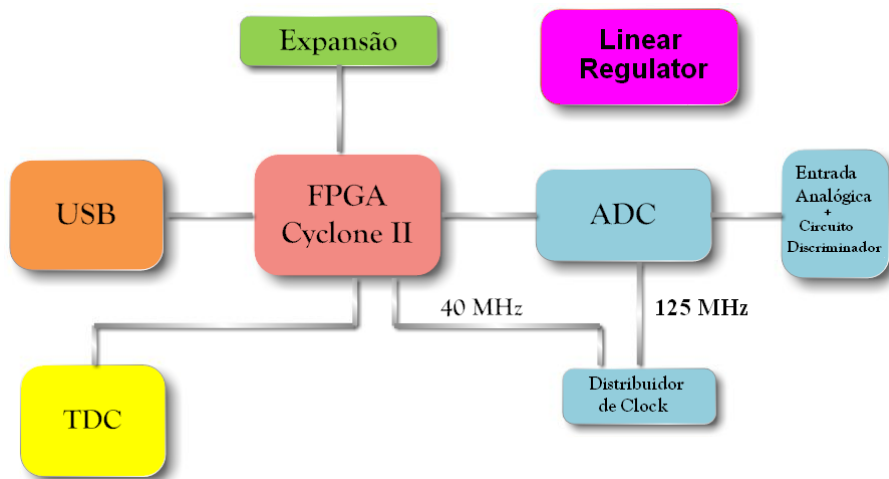


Figura 2: Diagrama em blocos do módulo SPRO.

O circuito apresentado tem as seguintes funcionalidades: Conversão Analógico/Digital, Conversão Tempo Digital, Comunicação *USB*, Porta de Expansão para uso geral.

No circuito de Entrada Analógica, é utilizado como estágio de *front-end* o amplificador operacional AD8138, com saída diferencial. O amplificador AD8138 tem banda passante de 320MHz e

disponibiliza um sinal com baixa distorção harmônica em modo diferencial. Este amplificador tem uma característica de realimentação única, que fornece um ganho de saída balanceado e casamento de fase, suprimindo harmônicos de ordem par. O circuito de realimentação também minimiza qualquer erro de ganho que possa ser associado ao não casamento dos resistores externos de ajuste de ganho. Ainda no circuito de entrada analógica, é empregado o circuito comparador AD8561. Este comparador ultra rápido, com atraso de 7 ns, pode operar com alimentação simétrica de $\pm 5V$ ou única de +5V. A função do comparador é gerar um pulso de disparo a partir da comparação do sinal de entrada com um nível fixo de tensão. Este pulso de disparo pode ser utilizado para que a FPGA capture os dados convertidos pelo conversor analógico-digital (ADC) e os armazene em memória FIFO interna.

No circuito de conversão analógico/digital, é utilizado o conversor AD9230. Este é um conversor analógico/digital monolítico de 12 bits, otimizado para alto desempenho, baixo consumo, e fácil utilização. O componente opera até uma taxa de conversão de 250 MSPS (*Mega-Samples Per Second*) e é otimizado para um alto desempenho dinâmico em sistemas de banda larga. Todas as funções necessárias, incluindo *track-and-hold* (T/H) e tensão de referência, são incluídas no componente para fornecer uma solução de conversão de sinal completa. O ADC requer uma tensão de alimentação de 1,8 V e uma entrada de *clock* diferencial. Suas saídas são compatíveis com LVDS (*Low Voltage Differential Signaling*) [2] e suportam os formatos complemento de dois, binário e código de Gray. Uma saída de *clock* de dados é disponível para sincronização do barramento de saída de dados.

O circuito de temporização fornece um sinal de *clock* de 40 MHz para a FPGA e para o TDC, e um sinal de 125 MHz para o ADC.

O circuito de expansão disponibiliza 10 pinos da FPGA para uso geral. Os pinos do circuito de expansão podem ser configurados como entrada, saída ou bidirecional. No circuito de conversão tempo-digital é empregado o TDC-GPX, fabricado pela empresa ACAM. O TDC-GPX oferece quatro modos de operação: I, G, R e M. Na presente aplicação, o TDC é configurado no modo I. Neste modo, o TDC fornece oito canais com resolução de 81 ps, devendo operar com um *clock* de 40 MHz e nove entradas, padrão LVTTTL (*Low Voltage Transistor-Transistor Logic*), das quais 1 entrada é utilizada para o sinal *start* e oito entradas para os sinais *stop*. No modo I, é possível a medição de intervalos de até 9,8 μs . O intervalo mínimo entre o pulso de *start* e qualquer pulso de *stop* é de 5,5 ns. A taxa de aquisição pode chegar a 10 MHz por canal e o padrão lógico é TTL/LVTTTL. Para comunicação com a USB é empregado o circuito FT245BM, fabricado pela empresa FTDI. A taxa de transferência de dados pode chegar a 1 M Byte por segundo, se forem utilizados os *Drivers D2XX*. O circuito FT245BM é um ASIC que implementa o protocolo USB, operando no padrão USB 1.1 (*full speed*). Com uma FIFO de transmissão de 384 Bytes e de recepção de 128 Bytes, é possível atingir uma taxa de transmissão de dados satisfatória para a presente aplicação.

Os circuitos de controle dos blocos TDC, USB e Expansão foram projetados utilizando a linguagem VHDL [3].

2 Firmware

O *firmware* desenvolvido para essa aplicação pode ser visto de forma simplificada, no fluxograma apresentado na Figura 3. Esse fluxograma tem como objetivo mostrar de maneira simples os processos necessários para a medida e contagem dos intervalos de tempos de chegada dos pulsos. Apesar da sequência serial no fluxograma básico, diversos processos são executados em paralelo pela FPGA. O *firmware* apresentado foi desenvolvido com o objetivo de ser utilizado em um Sistema de Detecção de raios-x. O módulo *Configura TDC I-MODE* faz parte de uma máquina de estados que

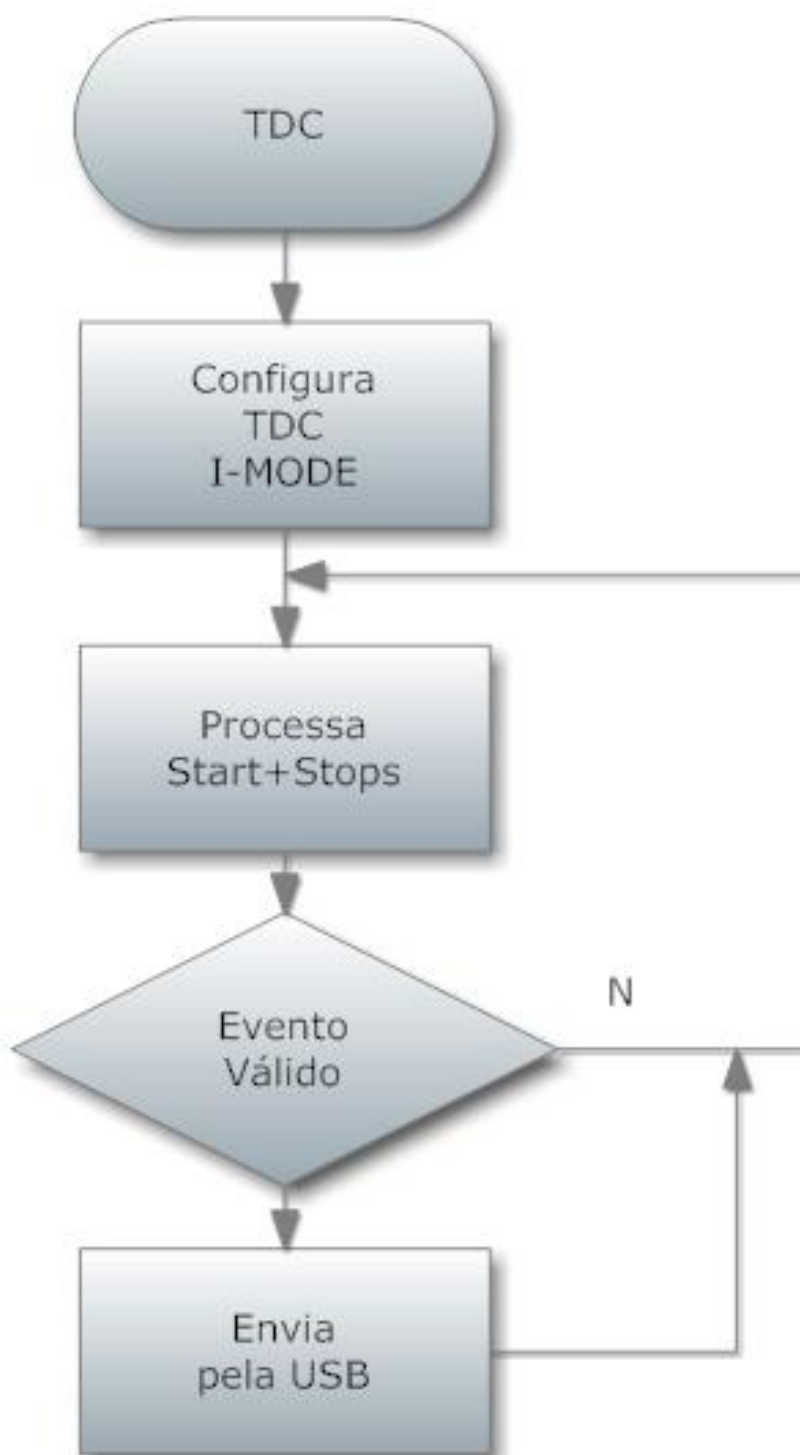


Figura 3: Fluxograma Geral do *firmware*.

envia para os registros do *TDC* os parâmetros que o configuram para o modo I, com resolução de 82,3045 *ps*. O módulo *Processa Start+Stops* está dividido em vários processos. O módulo *Evento Válido* analisa o evento capturado e o valida somente se a medida de tempo de todos os pulsos *stop*,

em relação à chegada de um pulso *start*, ocorrer dentro de um intervalo de tempo menor ou igual ao atraso total da rede de atraso do detector de raios-x [4]. O TDC mede o intervalo de tempo entre a chegada do pulso de *start* e a chegada do pulso de *stop*. A informação referente a essa medida de tempo é disponibilizada pelo barramento de dados de 16 bits e lida pela *FPGA*. Sempre que um evento válido é capturado, as informações pertencentes ao evento são armazenadas em uma *FIFO* para posterior envio pela porta *USB*. As informações armazenadas na *FIFO* são a soma/subtração entre pulsos: (*start - stop1*) e (*start - stop2*) para o eixo X e (*start - stop3*) e (*start - stop4*) para o eixo Y. A escolha entre soma ou subtração é feita através de configuração, em tempo real, da *FPGA*.

Como pode ser visto na Figura 4, para a aquisição de dados do detector de raios-x em um sistema bidimensional (2D) [5], é necessária a utilização de quatro canais do TDC-GPX: dois para o eixo X e dois para o eixo Y.

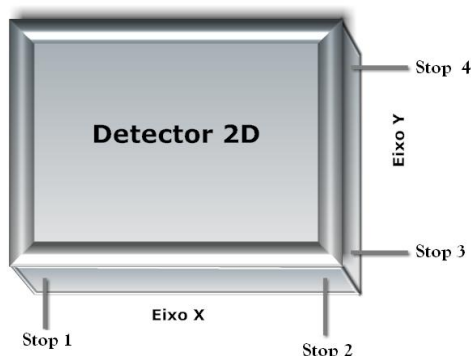


Figura 4: Detector 2D.

Os sinais de *stop 1* e *2* são relacionados ao eixo de coordenadas X, enquanto os sinais de *stop 3* e *4* são relacionados ao eixo de coordenadas Y.

3 Caracterização do TDC

Para a caracterização do TDC foram utilizados dois geradores de funções modelo *Tektronix AFG3252 Dual Channel*, ilustrado na Figura 5. O esquema da Figura 6 mostra as conexões necessárias para a sincronização dos geradores.

3.1 Setup para caracterização do TDC

No *setup* para caracterização do TDC, conforme ilustra a Figura 7, para o gerador 1, a saída 1 é conectada à entrada *start* do circuito SPRO e a saída 2 conectada às entradas *stop1* e *stop2*. No gerador 2, a saída 1 é conectada às entradas *stop3* e *stop4* do circuito SPRO.

Ambos geradores tiveram suas saídas 1 e 2 configuradas da seguinte forma:

- Gerador 1
 - Saída 1 : Sinal *start*



Figura 5: Gerador de funções utilizado nos testes.

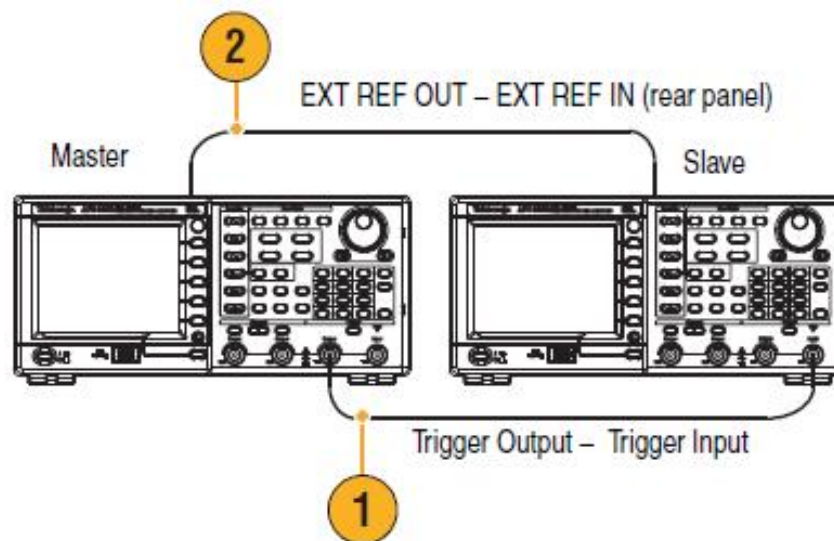


Figura 6: Esquema de conexão entre os dois geradores de funções.

- * Largura de Pulso: 100 ns
- * Delay = 0
- Saída 2 : Sinais *stop1* e *stop2*
 - * Largura de Pulso: 100 ns
 - * Retardo configurável conforme Delay 1 na tabela 1
- Gerador 2
 - Saída 1 : Sinais *stop3* e *stop4*

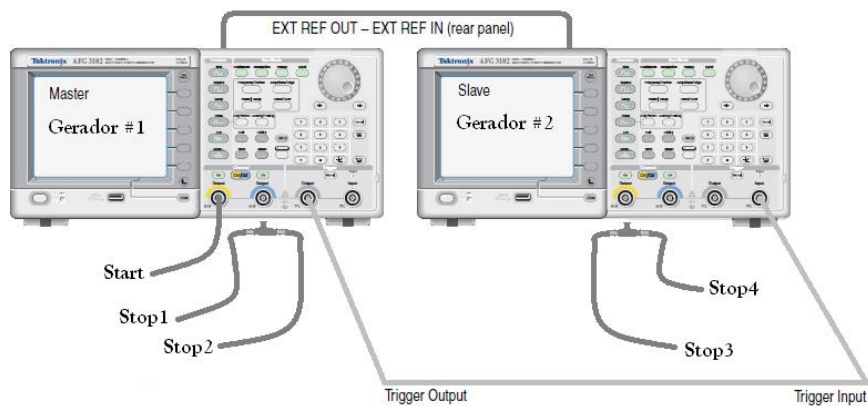


Figura 7: conexão dos sinais aos geradores de funções.

- * Largura de Pulso: 100 ns
- * Retardo configurável conforme Delay 2 na tabela 1

3.2 Padrão de testes para a caracterização do TDC

A tabela 1 mostra os 34 pontos escolhidos para a caracterização do TDC. Embora neste experimento não se faça uso de um detector a gás, sua operação foi realizada com parâmetros próximos dos valores reais utilizados nesse tipo de equipamento. Dessa forma, o mesmo *firmware* desenvolvido para a aquisição 2D foi utilizado sem nenhuma alteração de configuração. Sendo assim, a soma dos intervalos de tempo $(start - stop1) + (start - stop4)$ e $(start - stop2) + (start - stop3)$, com valor constante de 440 ns, foi considerada por ter um valor próximo ao retardo total da rede interna do detector a gás 2D, o modelo utilizado em nossos experimentos.

<i>Indice</i>	<i>Stop1 + Stop2</i> <i>Stop3 + Stop4</i> (ns)	<i>Delay1</i> <i>Stop1</i> <i>e</i> <i>Stop4</i> (ns)	<i>Delay2</i> <i>Stop2</i> <i>e</i> <i>Stop3</i> (ns)	<i>Stop2 - Stop1</i> (ns)	<i>Stop4 - Stop3</i> (ns)
1	440	40	400	360	-360
2	440	50	390	340	-340
3	440	60	380	320	-320
4	440	70	370	300	-300
5	440	80	360	280	-280
6	440	90	350	260	-260
7	440	100	340	240	-240
8	440	110	330	220	-220
9	440	120	320	200	-200
10	440	130	310	180	-180
11	440	140	300	160	-160
12	440	150	290	140	-140
13	440	160	280	120	-120
14	440	170	270	100	-100
15	440	180	260	80	-80
16	440	190	250	60	-60
17	440	200	240	40	-40
18	440	210	230	20	-20
19	440	220	220	0	-0
20	440	230	210	-20	20
21	440	240	200	-40	40
22	440	250	190	-60	60
23	440	260	180	-80	80
24	440	270	170	-100	100
25	440	280	160	-120	120
26	440	290	150	-140	140
27	440	300	140	-160	160
28	440	310	130	-180	180
29	440	320	120	-200	200
30	440	330	110	-220	220
31	440	340	100	-240	240
32	440	350	90	-260	260
33	440	360	80	-280	280
34	440	370	70	-300	300

Tabela 1: Valores de teste utilizados na caracterização do TDC.

3.3 Linearidade

Para avaliar a linearidade, pulsos de 100ns de largura são aplicados às entradas de *start* e *stop* do TDC. Apesar de o TDC disponibilizar uma entrada de *start* e oito entradas de *stop*, apenas quatro entradas, designadas *stop1*, *stop2*, *stop3* e *stop4*, são utilizadas neste teste. As entradas *stop1* e *stop4* recebem o pulso 1, enquanto as entradas *stop2* e *stop3* recebem o pulso 2, atrasado em relação ao pulso 1, como indicado na Figura 8.

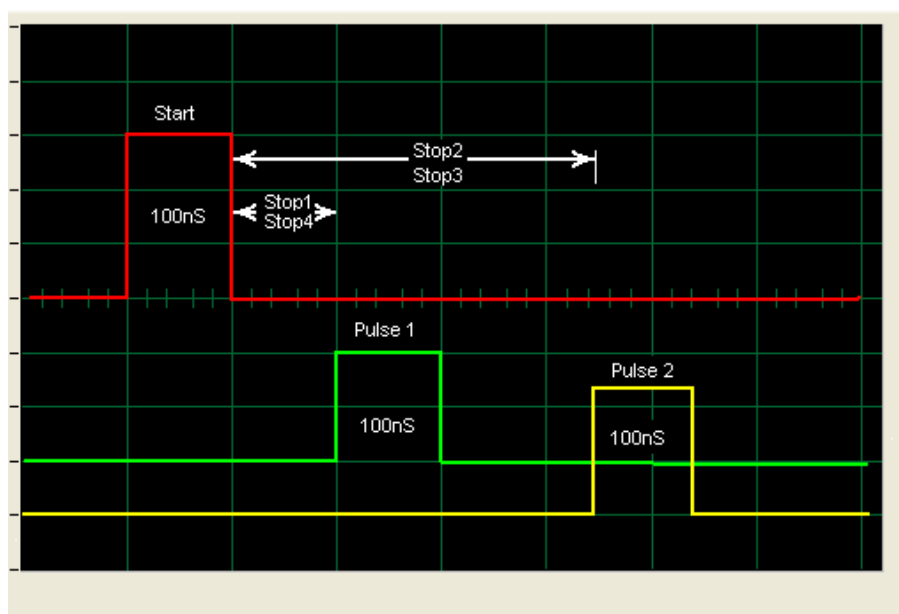


Figura 8: A representação dos pulsos Start-Stop.

Conforme se observa na Tabela 1, são injetados 34 pares de Start-Stop. A cada sequência são adicionados 10ns a *stop1* e *stop4* e subtraídos 10ns de *stop2* e *stop3*. Essa é a maneira utilizada para manter a soma $(\text{start} - \text{stop1}) + (\text{start} - \text{stop4})$ e $(\text{start} - \text{stop2}) + (\text{start} - \text{stop3})$ em um valor constante de 440ns .

Como as sequências de *start-stop* geradas nesse padrão de teste obedecem aos critérios necessários para utilização com detectores a gás sensíveis a posição, elas podem ser visualizadas em um *software* gráfico de captura de dados de incidência de raios-x. Utilizando-se quatro *stops*, as sequências de *start-stop* podem ser visualizadas como se fossem obtidas por um detector bidimensional: *stop1* e *stop2* para as coordenadas $[X1, X2]$ e *stop3* e *stop4* para as coordenadas $[Y1, Y2]$, como mostrado na Figura 4. A visualização bidimensional da tabela 1 é mostrada na Figura 9 [6].

- Resolução do TDC = $82,3045\text{ps}$
- Quantidade de Canais = 4096
- Intervalo entre os pares *start-stop* = 10ns
- Quantidade de pares = 34
- Quantidade de Canais por intervalo de 10ns = 121,5 (ver Figura 11)

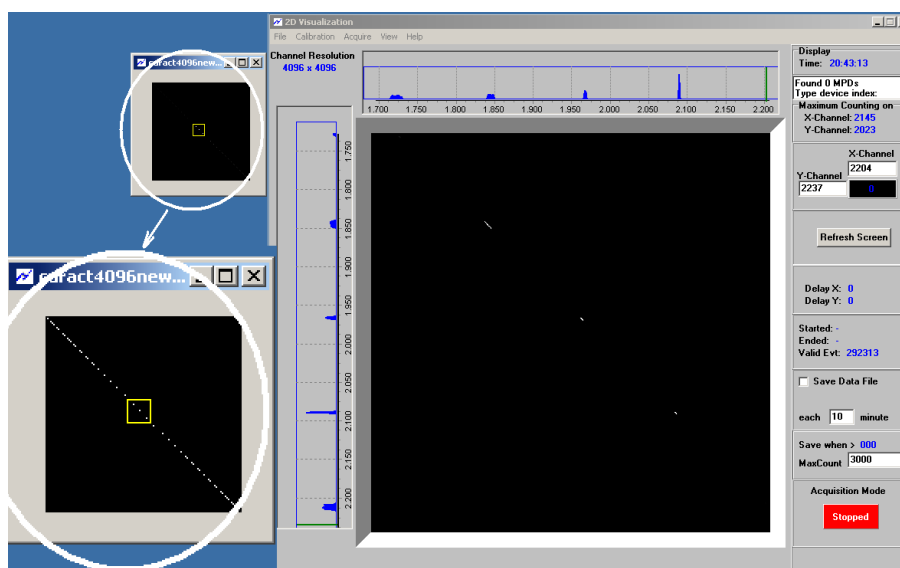


Figura 9: Visualização em 2D do teste de linearidade.

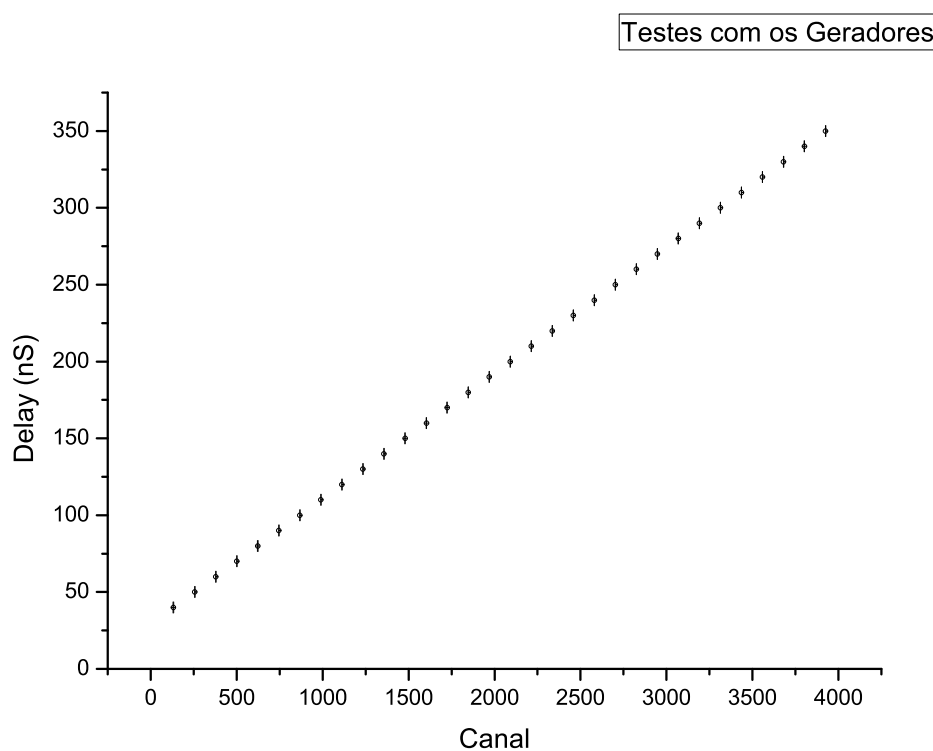


Figura 10: Linearidade obtida para pares espaçados de 10ns.

3.4 Resultados Obtidos

Os resultados obtidos são mostrados na Tabela 2. Os erros apresentados são inferiores a 1,5% e se devem especificamente aos acúmulos dos erros dos geradores e imprecisão do TDC.

<i>Indice</i>	<i>Mediana Num.Canais</i>	<i>Teorico Num.Canais</i>	<i>Reta</i>	<i>INL %</i>
1	133	121,5	133	0,00
2	255,5	243	255,32	0,00
3	378	364,5	377,65	0,01
4	500,5	486	499,97	0,01
5	622,5	607,5	622,29	0,01
6	744,5	729	744,61	0,00
7	867	850,5	866,94	0,00
8	990	972	989,26	0,02
9	1111,5	1093,5	1111,58	0,00
10	1234,5	1215	1233,90	0,02
11	1356,5	1336,5	1356,23	0,01
12	1478,5	1458	1478,55	0,00
13	1601	1579,5	1600,87	0,00
14	1724	1701	1723,19	0,02
15	1846	1822,5	1845,52	0,01
16	1969	1944	1967,84	0,03
17	2090,5	2065,5	2090,16	0,01
18	2214	2187	2212,48	0,04
19	2335,5	2308,5	2334,81	0,02
20	2458,5	2430	2457,13	0,04
21	2580	2551,5	2579,45	0,01
22	2702	2673	2701,77	0,01
23	2823,5	2794,5	2824,10	0,02
24	2946,5	2916	2946,42	0,00
25	3069	3037,7	3068,74	0,01
26	3191	3159	3191,06	0,00
27	3314	3280,5	3313,39	0,02
28	3436	3402	3435,71	0,01
29	3558,5	3523,5	3558,03	0,01
30	3681	3645	3680,35	0,02
31	3803	3766,5	3802,68	0,01
32	3925	3888	3925	0,00

Tabela 2: Tabela dos valores de teste

A não linearidade integral (*INL*) é definida como o máximo desvio da medida em relação ao ajuste linear, dividido pelo alcance total.

$INL - X$	$INL - Y$
0,04%	0,04%

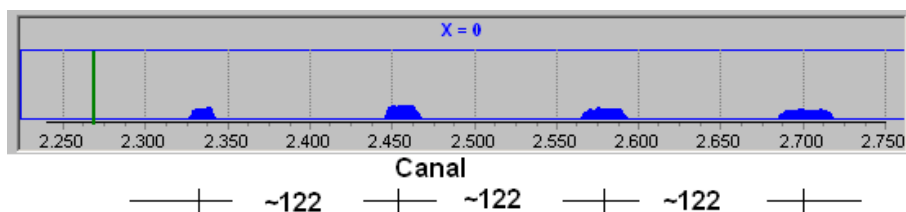


Figura 11: Exemplos de distribuições obtidas para quatro pares *Start-Stop* consecutivos.

4 Conclusões

Quando o circuito SPRO opera somente no modo temporal, ou seja, medindo intervalos de tempo, e se encontra no modo de captura de dados, 5 bytes são transmitidos pela *USB* para cada evento de detecção de partícula registrado. O processamento feito pela *FPGA* para validar a chegada de um *start* e quatro *stops* dura no máximo 700 ns. Uma taxa aproximada de 7 MB/s poderia ser atingida, portanto, pelo *hardware*. Como a interface *USB* 1.1 apresenta uma taxa máxima de 1 MB/s, fica evidente que a comunicação é um gargalo para o sistema. A solução para atender a alta taxa de processamento de eventos seria a substituição da interface *USB* utilizada por uma compatível com o padrão *USB* 2.0, que poderia operar a uma taxa de até 60 MB/s, teoricamente. Entretanto, para uma grande variedade de aplicações envolvendo taxas de contagem moderadas, a interface *USB* 1.1 atende satisfatoriamente.

Este trabalho foi parte de uma tese de mestrado em física com ênfase em instrumentação científica [6], a qual apresenta mais detalhes do que foi aqui exposto.

References

- [1] *Download - TDC-GPX*, Disponível em: <http://www.acam.de/fileadmin/Download/pdf/English/DB-GPX-e.pdf>, Acessado em: 19 nov. 2010, 16:00:00.
- [2] *An Overview of LVDS Technology*, National Semiconductor, AN-971, July 1998.
- [3] PETER J. ASHENDEN, *The Designer's Guide to VHDL*, 2nd ed., Morgan Kaufmann, 2002.
- [4] A. F. Barbosa, *Use of a multilayer printed circuit board as the position sensing electrode in a MWPC*, Nucl. Instr. and Math. A371, 368 (1996).
- [5] L. M. DE ANDRADE FILHO, A. F. Barbosa, H. P. LIMA JR, P. R. B. MARINHO, *A TDC-BASED SYSTEM FOR X-RAY IMAGING DETECTORS*, *IEEE TRANSACTIONS ON NUCLEAR SCIENCE*, VOL. 52, NO. 4 (2005).
- [6] HERIVALDO ALVES MAIA, 2010, Sistema de Aquisição de Imagens de raios X, utilizando *FPGA*, e tratamento de dados por FFT. Tese de M.Sc., CBPF, Rio de Janeiro, RJ, Brasil.