

Tese de Mestrado

**FEET - Sistema de Caracterização e Teste
da Eletrônica de Aquisição de Sinal dos
Detectores de Múons MWPC do LHCb**

Rafael Antunes Nóbrega

Orientador: Geraldo Cernicchiaro

CENTRO BRASILEIRO DE PESQUISAS FÍSICAS

Rio de Janeiro, Outubro de 2003

Agradecimentos

Ao CBPF pela estrutura dada para a realização do trabalho.

Ao Geraldo Cernicchiaro pelo apoio e orientação que foram de vital importância para o desenvolvimento da tese, e, sem dúvida, por sua amizade.

Ao laboratório LIM pelo suporte, que possibilitou a implementação do sistema. Ao Victor pelas discussões e ao aluno de iniciação científica Brayan pelo desenvolvimento de um programa no MATLAB, para a simulação do teste *Rate-Method*.

Ao grupo do LAFEX, principalmente ao Ignácio Bediaga, sem o qual não seria possível este projeto.

A todo o grupo do LSD pelo apoio e amizade, fazendo com que o trabalho no CBPF se tornasse ainda mais prazeroso. Ao Rogério da Silva, Roberto da Silva, Luciano Manhães e Herman Lima pelas discussões úteis. Em especial ao Paulo Marinho pela ajuda na compreensão do funcionamento de detectores a gás e a Ademarlaudo Barbosa por ajudar na elaboração da tese com suas críticas e observações.

A todos os professores do CBPF pela troca de experiência e seriedade com que levam o ensino científico.

A todos os meus amigos que vêm me acompanhando pela vida e compartilhando experiências. Agradeço a esses, pelos momentos de diversão, apoio e pelas conversas sinceras e ricas.

A toda minha família, que hoje se encontra presente na minha formação pessoal, e, principalmente, a minha mãe por sua força e alegria, e por me ensinar os princípios básicos, de importância máxima, para minha formação. Também agradeço muito a Nize Helena,

Gilda e, minha avó, Isabel por me acolherem em suas casas quando foi preciso ... aqui eu também poderia incluir o Herman, porém, como o melhor lugar que ele pôde me arrumar foi embaixo da mesa do jantar, junto à poeira, dispenso. Aproveito para agradecer ao casal André e Ana dos Anjos (AAA), o casal mais 'marketeiro' da paróquia, pelos momentos que vivemos quando eu me encontrava no CERN.

Resumo

O sistema FEET foi desenvolvido para solucionar o problema de teste e caracterização da eletrônica de *front-end* do sistema de múons do LHCb. A eletrônica a ser testada compreende a parte de amplificação, formatação (*shaping*) e discriminação do sinal coletado em detectores proporcionais multifilares (MWPC). Mais de 120.000 canais serão lidos por esta eletrônica, somando um total de 15.000 circuitos integrados ou 7.500 placas a serem fabricadas. Após produção das placas, os circuitos devem ser testados antes de serem utilizados no experimento.

Abstract

The FEET system was developed to solve the problem of testing and characterizing the front-end electronics for the LHCb Muon System. The electronics to be tested correspond to the amplification, shaping and discriminations of the multi-wire proportional chamber (MWPC) collected signal. More than 120.000 channels will be read by this electronics, it corresponds to 15.000 chips or 7.500 boards to be produced. After production and assembly of all these boards, the circuits must be tested before connection to the experiment.

Sumário

1 Introdução	1
1.1 Apresentação	2
2 Sistema de Múons do LHCb	5
2.1 Experimento LHCb	7
2.2 Estrutura Geral do Detector	8
2.3 Estrutura Geral da Eletrônica de Front-end	10
2.4 Sistema de <i>Trigger</i>	12
2.5 Sistema de Aquisição de Dados	13
3 MWPC e Eletrônica de Front-end	15
3.1 Conceitos Básicos	15
3.1.1 Introdução a Detectores de Múons	15
3.1.2 Introdução à Eletrônica de Leitura de um Detector (ASD)	26
3.2 MWPC do Sistema de Múons do LHCb	33
3.3 Front-end do Sistema de Múons do LHCb	35
3.3.1 ASDQ++	37
3.3.2 CARIOCA	40
4 Sistema FEET	44
4.1 Hardware	45
4.1.1 Interface	47
4.1.2 Módulo de Controle	49

4.1.3 Módulo de Injeção de Carga.....	57
4.2 Protocolo de medidas	62
4.2.1 Calibração.....	64
4.2.2 Template	66
4.2.3 Teste de Conectividade.....	69
4.2.4 Teste de <i>Crosstalk</i>	71
4.2.5 Teste de Ruído (<i>Scurve</i>)	74
4.2.6 Teste de Sensibilidade	77
4.2.7 Teste <i>Rate Method</i>	80
4.2.8 Painel de Controle	87
5 Resultados Experimentais.....	90
6 Conclusão e Perspectivas	105
Bibliografia.....	107
A Status do Sistema após Teste da Eletrônica de Front-end no CERN	111
B Esquemáticos das placas do FEET.....	123
C Circuito de conexão e programação de uma EEPROM e uma FPGA	127
D Código VHDL e esquemático da Lógica e Esquemático da Lógica FPGA	131

Lista de Figuras

Figura 1 - Esquema do LHC.....	6
Figura 2 - Detector do LHCb.....	8
Figura 3 - Sistema de front-end do LHCb.....	11
Figura 4 - Visão geral do sistema de leitura do LHCb.....	14
Figura 5 - Regiões de operação de uma câmara proporcional.....	17
Figura 6 - Contador proporcional cilíndrico.....	17
Figura 7 - comportamento do campo elétrico em relação ao raio de um detector	19
Figura 8 - Sinal gerado em um detector à fios.....	23
Figura 9 - Esquema de uma câmara proporcional a fio.....	24
Figura 10 - Linhas do potencial e campo elétricos.....	24
Figura 11 – Esquema equivalente a um circuito de leitura do sinal do detector	26
Figura 12 - Sinal de saída do pré-amplificador	28
Figura 13 - Superposição de sinais.....	29
Figura 14 - Esquema de um circuito modelador de pulso	30
Figura 15 - Sinal de saída do circuito <i>shaper</i>	31
Figura 16 - Circuito para cancelamento de pólos e zeros.....	32
Figura 17 - Sinal de saída do circuito modelador.....	33
Figura 18 - Esquemático do MWPC de duplo <i>gap</i> com a eletrônica de front-end conectada [12]	34
Figura 19 - Diagrama de blocos de um canal do ASDQ	38
Figura 20 - Esquemático do ASDQ++ a partir do ASDQ	39

Figura 21 - Perda de amplitude de acordo com a capacitância de entrada.....	39
Figura 22 - Comportamento do ruído da <i>front-end</i> de acordo com a capacitância de entrada	39
Figura 23 - Banda passante do ASDQ++	40
Figura 24 - Diagrama de blocos de um canal do CARIOCA	41
Figura 25 - Sensibilidade do CARIOCA.....	42
Figura 26 - Ruído versus capacitância do CARIOCA.....	42
Figura 27 – Estrutura geral do sistema FEET.....	45
Figura 28 – Visão geral do hardware do sistema FEET	47
Figura 29 - Diagrama de tempo dos sinais de controle de injeção de pulso.....	49
Figura 30 - Ilustração da placa de controle com os principais componentes e conectores. .	50
Figura 31 - Esquemático do circuito lógico da FPGA.	52
Figura 32 - Diagrama de tempo do processo de contagem de eventos.....	53
Figura 33 - Ilustração do esquemático relativo ao processo de leitura do bloco VHDL.....	55
Figura 34 - Diagrama de tempo do processo de leitura do bloco VHDL.....	55
Figura 35 - Ilustração da placa injetora com os principais componentes e conectores.	57
Figura 36 - Atenuação do sinal do DAC e buffer de entrada (válido para os dois DACs) ..	58
Figura 37 - Esquema básico do processo de injeção e diagrama de tempo de seu controle.	59
Figura 38 - Sinal gerado pela placa de injeção (polaridade positiva).....	60
Figura 39 - Sinal gerado pela placa de injeção (polaridade negativa).....	60
Figura 40 - Esquema para caracterização da placa injetora de carga	61
Figura 41 - Erro entre os canais de injeção	62
Figura 42 - Protocolo de teste da eletrônica de <i>front-end</i>	64
Figura 43 - Painel de calibração	65

Figura 44 - Modelo do gráfico utilizado para obtenção dos parâmetros de calibração.....	66
Figura 45 - Painel para entrada dos parâmetros de teste (<i>template</i>).....	67
Figura 46 - Quadro de acesso aos parâmetros gerais, presente em todos os painéis.....	68
Figura 47 - Tabela gerada pelo teste de conectividade (%).....	70
Figura 48 - Painel do teste de conectividade	71
Figura 49 - Tabela gerada pelo teste de <i>crosstalk</i>	72
Figura 50 - Painel do teste de <i>crosstalk</i>	73
Figura 51 - Injeção de pulso sem e com ruído.....	74
Figura 52 - Modelo para obtenção do ruído rms	75
Figura 53 - Gráfico e Tabela gerados pelo teste <i>scurve</i>	76
Figura 54 - Painel do teste de ruído.....	77
Figura 55 - Esquema de obtenção do curva de sensibilidade	78
Figura 56 - Gráfico e Tabela gerados pelo teste de sensibilidade	80
Figura 57 - Painel do teste de sensibilidade	80
Figura 58 - Ilustração do ruído e sinal de <i>threshold</i>	81
Figura 59 - Gráficos da taxa em relação ao nível de <i>threshold</i>	82
Figura 60 - Algumas variações que podem ocorrer no teste de <i>Rate-Method</i>	83
Figura 61 - Gráficos obtidos a partir dos testes feitos nas placas do ASDQ++	84
Figura 62 - Resultado gerado por um dos testes do ASDQ++	86
Figura 63 - Painel do teste de <i>Rate-Method</i>	86
Figura 64 - Diagrama de blocos do programa que controla a operação de teste.....	87
Figura 65 - Painel de controle.....	88
Figura 66 - Resultado dos testes das placas de <i>front-end</i> (ASDQ++).....	91
Figura 67 - Gráficos do nível de <i>threshold</i> para diferentes cargas de injeção	92

Figura 68 - Tabela gerada após teste de <i>crossstalk</i> da placa asdq1003	93
Figura 69 - Painel de leitura da contagem de todos os canais da placa de <i>front-end</i>	93
Figura 70 - Gráficos do teste de ruído das placas do ASDQ++	94
Figura 71 - Resultado do teste de ruído das placas (ASDQ++) que estavam sendo usadas para teste de MWPCs	94
Figura 72 - Resultado do teste de ruído das placas que já estavam sendo usadas no CERN, porém que mostraram comportamento similar às placas que novas	95
Figura 73 - Teste de ruído feito com diferentes capacitores de entrada	95
Figura 74 - Teste de placas que apresentaram nível de ruído elevado	96
Figura 75 - Teste de sensibilidade de quatro placas do ASDQ++ para capacitância de entrada de 150pF	97
Figura 76 - Resultado geral do primeiro teste de sensibilidade das placas positivas	97
Figura 77 - Resultado de três diferentes placas do teste de sensibilidade para a segunda calibração.....	98
Figura 78 - Resultado geral do teste de sensibilidade para as placas que recém chegaram de Potenza	99
Figura 79 - Teste de sensibilidade para diferentes capacitâncias de entrada.....	99
Figura 80 - Resultado de um teste de sensibilidade após processo de calibração mais apurado	100
Figura 81 - Teste de <i>Rate-Method</i> , dados e curva de ajuste	100
Figura 82 - Teste de <i>Rate-Method</i> para diferentes capacitâncias de entrada, placa asdq1014.....	101
Figura 83 - Teste <i>Rate-Method</i> para diferentes capacitâncias de entrada, placa Pf#1	101
Figura 84 - Teste <i>Rate-Method</i> para diferentes capacitâncias de entrada, placa P#9.....	102

Figura 85 - gráfico com o valor de nível de <i>threshold</i> quando $\log(\text{taxa})=0$ para diferentes capacitâncias.....	102
Figura 86 - Teste de <i>Rate-Method</i> para diferentes ganhos do ASDQ++ e mesma capacitância (150pF).....	103
Figura 87 - Comportamento do teste de <i>Rate-Method</i> de acordo com a interferência entre os canais.....	104
Figura 88 - Comportamento do teste <i>Rate-Method</i> após melhoria do sistema.....	104

Lista de Tabelas

Tabela 1 - Principais parâmetros para os MWPCs.....	35
Tabela 2 - Parâmetros e especificações da eletrônica de front-end do LHCb.....	37
Tabela 3 - Correlação entre sinais da FPGA e da placa NI-DAQ.....	56
Tabela 4 - Parâmetros gerais de configuração.....	67
Tabela 5 - parâmetros do teste de conectividade.....	69
Tabela 6 - Parâmetros internos do teste de <i>crosstalk</i>	73
Tabela 7 - Parâmetros do teste de ruído.....	75
Tabela 8 - Parâmetros do teste de sensibilidade.....	78
Tabela 9 - Parâmetros do teste <i>Rate-Method</i>	85

“(...) quem faz canhão, faz ciclotron também”

Esta frase, tirada do livro 'Físicos, Mésons e Política: a dinâmica da ciência na sociedade' de Ana Maria Ribeiro de Andrade, demonstra o otimismo eufórico dos militares com a inserção brasileira na física de altas energias na década de 1950 alavancada por vários fatores, de onde podemos destacar: A participação de César Lattes na descoberta do pion, o interesse militar na obtenção de conhecimento técnico-científico para a utilização da energia nuclear para diferentes fins, a importância pós-guerra desse conhecimento como instrumento de poder diante do mundo, e o interesse dos estadunidenses pelo material radioativo presente em abundância no Brasil, na época.

Capítulo 1

Introdução

Os experimentos na área de altas energias muitas vezes requerem um longo período de desenvolvimento e implementação de grande parte da instrumentação que os suportam. Neste período de implementação, um grande número de projetos desenvolve-se paralelamente para que, ao final, tenhamos uma máquina que possibilite a sua realização.

A física de altas energias utiliza, hoje, aceleradores capazes de colidir partículas com uma energia de centro de massa elevada, e detectores que possibilitam o estudo das interações resultantes.

A construção de aceleradores e detectores requer a utilização de uma eletrônica refinada e, dependendo da utilização, sua produção deve ser feita em larga escala, exigindo um planejamento de produção e de controle de qualidade de todo o material desenvolvido. Porém é interessante que o sistema de controle de qualidade seja eficiente, de forma a minimizar o tempo necessário para a qualificação dos instrumentos.

O projeto de mestrado, aqui apresentado, foi desenvolvido, no âmbito de colaboração internacional do experimento LHCb. O LHCb é um dos detectores do acelerador de prótons LHC que se encontram em desenvolvimento no CERN, e deverá entrar em funcionamento em 2006/2007. O sistema de detecção de múons do LHCb será

equipado de câmaras proporcionais multifilares (MWPC). A possibilidade do uso de detectores GEM (*Gás Electron Multiplier*) está sendo estudada. Várias eletrônicas de *front-end* para as MWPCs foram avaliadas e rejeitadas por não apresentarem resultados satisfatórios de acordo com os requerimentos técnicos do projeto, a saber: alta dose de radiação, baixo ruído, alta taxa de eventos, entre outros. Um circuito integrado (CI), chamado CARIOCA (*Cern And RIO Current Amplifier*), está sendo desenvolvido exclusivamente para a eletrônica de *front-end* do sistema de múons do LHCb. Um outro circuito integrado chamado ASDQ++ foi considerado como solução de *backup* para o sistema. No momento o CARIOCA encontra-se em estágio final de desenvolvimento enquanto o ASDQ++ já está sendo usado nos testes dos protótipos de MWPC.

15.000 circuitos integrados da eletrônica de *front-end* serão produzidos para o sistema. Por razões relativas ao processo de fabricação, é natural que ocorra uma dispersão de suas características, fazendo-se necessário que estes entrem em um processo de controle de qualidade em que seja assegurado um bom funcionamento de sua eletrônica, dentro dos erros máximos previstos pelo experimento.

Durante a realização do mestrado foi implementado um sistema que propõe mecanismos e instrumentos para a caracterização e teste, de forma automatizada, da eletrônica de *front-end* que será conectada aos MWPCs do sistema de múons do LHCb. Informações sobre o último teste realizado no CERN podem ser encontradas na nota técnica LHCb 2003-026 de 23 e Abril de 2003.

1.1 Apresentação

O sistema foi denominado FEET por ser a sigla de *Front-End Electronics Test*. O projeto surgiu da necessidade de se testar as placas de detecção, amplificação e

digitalização (ASD – *Amplifier-Shaper-Discriminator*) que serão acopladas diretamente nos detectores MWPCs (seção 3.2). Estes detectores, por sua vez, estão entrando em fase de produção e serão utilizadas para detecção de múons do LHCb.

O Projeto do detector consta de 1344 MWPCs, que geram um total de aproximadamente 120.000 canais de entrada, acarretando em 7.500 placas de *front-end*. Cada placa contém dois circuitos integrados e cada CI apresenta 8 canais ASD independentes.

Devido a grande demanda de tempo que seria preciso para se fazer esses testes em bancada, constata-se a necessidade de automação do processo de controle de qualidade. Os testes visam garantir que a funcionalidade e a qualidade das placas que saem da linha de produção estejam dentro de uma faixa de valores aceitáveis. Isto se verifica monitorando parâmetros como: conectividade entre placa e seus elementos, sensibilidade, banda passante, nível de ruído e *crosstalk*.

A proposta inicial foi o desenvolvimento de algoritmos e procedimentos, e a implementação de um sistema que testasse as placas de *front-end*. Por causa dessa demanda, as principais perguntas para a definição do projeto são:

- 1) Que parâmetros são importantes para teste.
 - 2) Que testes devem ser implementados.
 - 3) Que tecnologias e equipamentos devem ser utilizados.
 - 4) Qual o procedimento de teste.
- 1) O consenso sobre os parâmetros escolhidos para teste foi atingido através de discussões entre o grupo LHCb/CBPF e o grupo de múons do LHCb. Dentre os parâmetros em questão, podemos citar: conectividade entre placa e circuitos integrados, ruído, *crosstalk* e sensibilidade da eletrônica de *front-end*.

- 2) Os testes escolhidos serão explicados com detalhes ao longo do texto a seguir, a saber: teste de conectividade, ruído, *crosstalk* e de sensibilidade. Um quinto teste (*Rate-Method*) foi proposto posteriormente e incluído ao sistema.
- 3) Para manter a compatibilidade entre as ferramentas desenvolvidas no LHCb, foi definido que a linguagem de programação adotada seria o LabVIEW, e a interface seria a placa de aquisição de dados da *National Instruments* modelo PCI-6025.
- 4) O procedimento será detalhado na seção 4,2.

Grande parte dessas questões pôde ser definida inicialmente, porém muitas evoluíram durante o desenvolvimento do projeto. *Hardware* e *software* foram implementados no CBPF e testes foram feitos no CERN.

Este trabalho de tese foi dedicado ao estudo, desenvolvimento e realização dos procedimentos de teste para a eletrônica de *front-end* do LHCb.

Capítulo 2

Sistema de Múons do LHCb

O LHC (*Large Hadron Collider*) é um acelerador de partículas de altas energias que contém 8.000 magnetos supercondutores ao longo de uma circunferência de 26,7Km, e se encontra em fase de construção no CERN (*Centre Européen pour la Recherche Nucléaire*), Genebra, Suíça. Esse acelerador é feito basicamente de dois anéis adjacentes que, além de propiciar meios para a ocorrência de colisões de íons pesados, como o chumbo, chegando a uma energia de colisão de 1250Tev, feixes de prótons circularão em direções opostas até colidirem com uma energia de centro de massa de 14Tev (7 Tev para cada feixe) a uma taxa de 40MHz, a luminosidade de trabalho será de $10^{34}\text{cm}^{-2}\text{s}^{-1}$. Cada anel será carregado de 2835 grupos de 10^{11} partículas. Os feixes serão armazenados e acelerados por 10 a 20 horas e, durante este tempo as partículas farão quatro milhões de voltas no anel. Esses feixes irão colidir em quatro posições diferentes dentro do LHC.

Quatro experimentos estão em desenvolvimento:

- ATLAS (*A Toroidal LHC ApparatuS*) é um experimento de propósito geral que armazenará colisões próton-próton no LHC. Foi otimizado para ter o máximo alcance possível da física que propõe o LHC.

- CMS (*Compact Muon Solenoid*) é outro experimento de propósito geral para estudo do bóson Higgs, partículas supersimétricas e física de íons pesados no LHC.
- ALICE (*A Large Ion Collider Experiment*) é um detector otimizado para estudo da física a partir de colisões de íons pesados como plasma-glúon em colisões de núcleos.
- LHCb (*Large Hadron Collider beauty experiment*) é um experimento dedicado ao estudo de violação de CP e outros fenômenos raros oriundos do decaimento do méson-B.

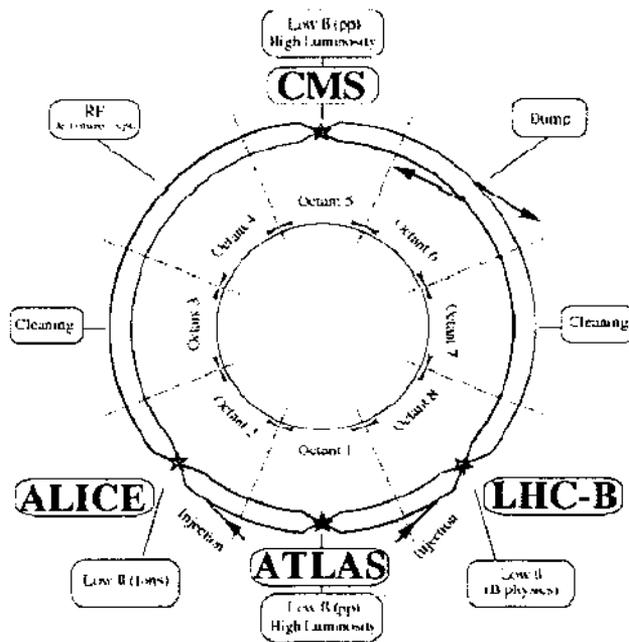


Figura 1 - Esquema do LHC

O período que os feixes se cruzam é de 25ns (40MHz), comparando com os últimos aceleradores temos o HERA de 96ns, Fermilab com o acelerador de próton-antipróton de 35µs e o LEP com 11µs. Deve-se ter em conta que colisões próton-próton, como no LHC, geram eventos em grande quantidade, a qual apenas uma pequena fração desses eventos é interessante para a física em estudo. Para evitar a superposição de sinais, detectores de alta

resolução espacial e temporal são propostos, fazendo com que haja um acréscimo considerável no número de canais. Para minimizar o tempo morto todos os dados gerados a partir dos detectores serão armazenados em memórias (*pipeline*) até a primeira decisão do *trigger*. A arquitetura geral do *trigger* no LHC contém vários níveis que, depois do último nível, permite uma reconstrução completa dos eventos e reduz a quantidade de dados a ser armazenada para a sua análise final. Por estas razões, comparando com outros aceleradores, o LHC representará um avanço na eletrônica de leitura dos detectores, filtragem de eventos (sistema de *trigger*), aquisição de dados e reconstrução de eventos.

Além dos fatores acima, a colisão próton-próton, em alta luminosidade, irá produzir um ambiente altamente radioativo, exigindo o desenvolvimento de matérias resistentes à radiação.

2.1 Experimento LHCb

O LHCb [1] foi proposto no ano de 1998 com o objetivo de realizar medidas de violação de CP e de fenômenos raros no decaimento do méson-B. A partir de então o desenvolvimento do aparato que o suporta foi iniciado. Está previsto que a coleta de dados para esse experimento começará em 2007 [2], quando o LHC entrará em operação com seu potencial máximo. A luminosidade se manterá constante por meio de controle de focalização dos feixes no ponto de interação do LHCb. Com esta luminosidade a taxa de eventos no detector se mantém baixa e a degradação destes por radiação é diminuída. Isto permitirá que o experimento funcione em condição estável por muitos anos.

2.2 Estrutura Geral do Detector

O LHCb é um espectrômetro que cobre apenas partículas produzidas dentro de um ângulo entre 15 e 300 mili-radianos, o seu layout é mostrado na figura 2. Ele contém sistema de detecção de vértice, sistema de determinação de trajetória (SDT), contadores RICH, calorímetros eletromagnético e hadrônico, e detectores de múons.

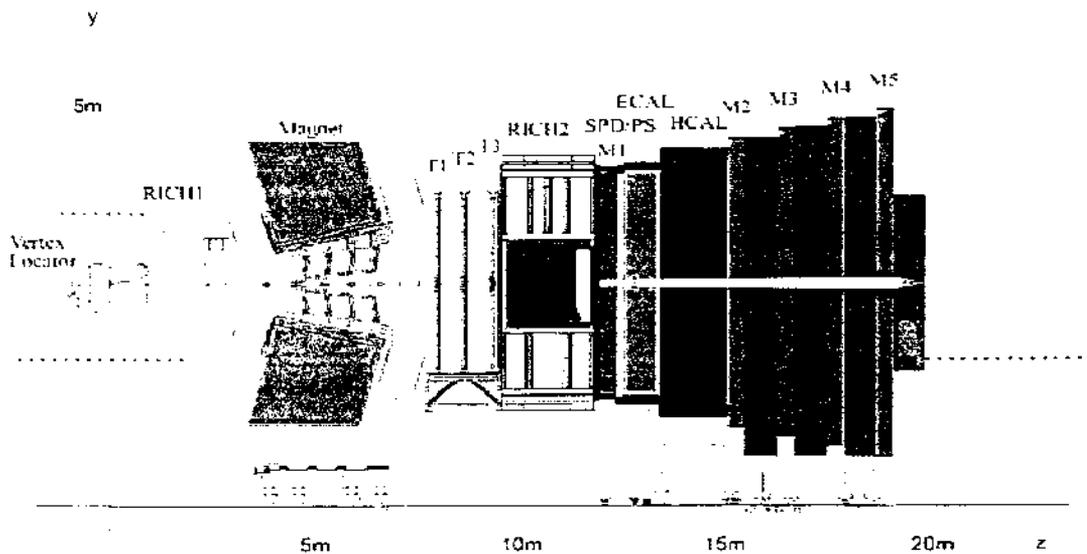


Figura 2 - Detector do LHCb

Os magnetos estão localizados perto do ponto de interação cobrindo parte do sistema SDT (*tracking system*). Detectores do sistema SDT fornecem medidas de momento para partículas carregadas com uma precisão de 0,4%. A blindagem de ferro encontrada no início do detector protege o sistema de vértice (*Vertex Detector*) e o detector RICH1 do campo magnético.

O VELO (*Vertex Locator*) [3] é um sistema que contém 25 estações de silício com $0,32\text{m}^2$ de área de silício, e com um total de 204.800 canais de leitura. VELO tem como função básica fornecer informações precisas sobre as coordenadas dos traços próximos ao ponto de interação. Essas informações serão utilizadas para a reconstrução de vértices

primários e secundários. Ele deve também fornecer informação para o segundo nível de *trigger* (nível-1), cuja leitura será feita dentro de $1\mu\text{s}$. Também está incluído aqui o sistema de veto de empilhamento que tem como função rejeitar, através do nível-0 de *trigger*, eventos com múltiplas interações (com mais de um vértice primário). Os vértices de decaimentos que ocorrem no início do sistema VELO são uma boa assinatura para o reconhecimento dos eventos de interesse do LHCb (méson-B). A tecnologia utilizada para o sistema é de detectores de microtiras de silício.

As estações do sistema SDT estão localizadas entre o detector de vértice e os calorímetros. Cada estação é feita de muitos planos os quais abrigam discretos módulos de detectores. Quando o LHCb foi aprovado (1998) eram previstas onze estações, esse número foi então reduzido para nove e atualmente, com a versão LHCb-*light* [4], são consideradas apenas quatro estações. A principal tarefa a ser desempenhada por este sistema é prover uma eficiente reconstrução das trajetórias, medir com acurácia o momento de partículas carregadas e fornecer informação para o nível-1 e os níveis superiores de *trigger*. A escolha de tecnologia utilizada para o SDT foi feita levando em consideração a alta taxa de eventos esperada de acordo com a sua posição no detector.

Os detectores RICH (*Ring Imaging CHerenkov*) têm como função a identificação de partículas e a separação entre píons e káons com momento entre 1 e $150\text{GeV}/c$. O sistema consiste de dois detectores: RICH1, está localizado antes do magneto e cobrirá a região angular entre 25 e 300 mili-radianos e será usado para detectar trajetórias de baixo momento, e RICH2 que cobrirá uma região angular de 120 (horizontal) e 100 mili-radianos (verticalmente) e detectará grande parte das trajetórias de alto momento.

O sistema do calorímetro tem como função contribuir para a identificação de hádrons, elétrons e fótons para o sistema de *trigger*, e medir suas energias e posições. As

células de *preshower* (PS) [1], utilizadas na separação entre elétrons, fótons e hádrons, são feitas de placas de chumbo de 15mm de espessura seguidas de um plano de blocos de cintiladores de 15mm de espessura. A leitura dessas células é realizada por meio de fibras óticas do tipo WLS (*WaveLength Shifting*). ECAL (*Eletrromagnetic CALorimeter*) é um calorímetro do tipo *Shashlik* [1] com 2mm de chumbo alternados com placas de 4mm de cintiladores baseados em poliestireno. O módulo HCAL (*Hadronic CALorimeter*) é um calorímetro constituído de blocos na forma de um sanduíche de ferro e cintiladores, chamados telhas, cuja leitura é feita por fibras WLS.

O sistema de múons tem a função de identificar múons provendo informação ao nível-0 de *trigger*. Ele é constituído de quatro estações M2-M5 alternando placas de ferro (filtragem) e uma estação especial M1 localizada antes do calorímetro.

A eletrônica de *front-end* para os detectores de múons, calorímetros, SDT e vértice estarão localizados dentro da caverna e perto do detector, logo deverão ser resistentes à radiação. A eletrônica de *trigger*, níveis 0 e 1, detectores RICH e sistema DAQ estarão localizados ainda na caverna, porém em uma área blindada contra a radiação do detector (*counting rooms*).

2.3 Estrutura Geral da Eletrônica de Front-end

O sistema de *front-end* é definido como o processamento dos sinais produzidos no detector até a entrega destes ao sistema de DAQ, que ocorrerá via ligações óticas de alta velocidade. Os sinais gerados nos detectores são, de modo geral, amplificados, digitalizados e armazenados em *buffers* durante a latência dos níveis 0 e 1 do sistema de *trigger*, de onde são enviados para o sistema de supressão de zeros e, finalmente, são formatados e mandados para o sistema de DAQ.

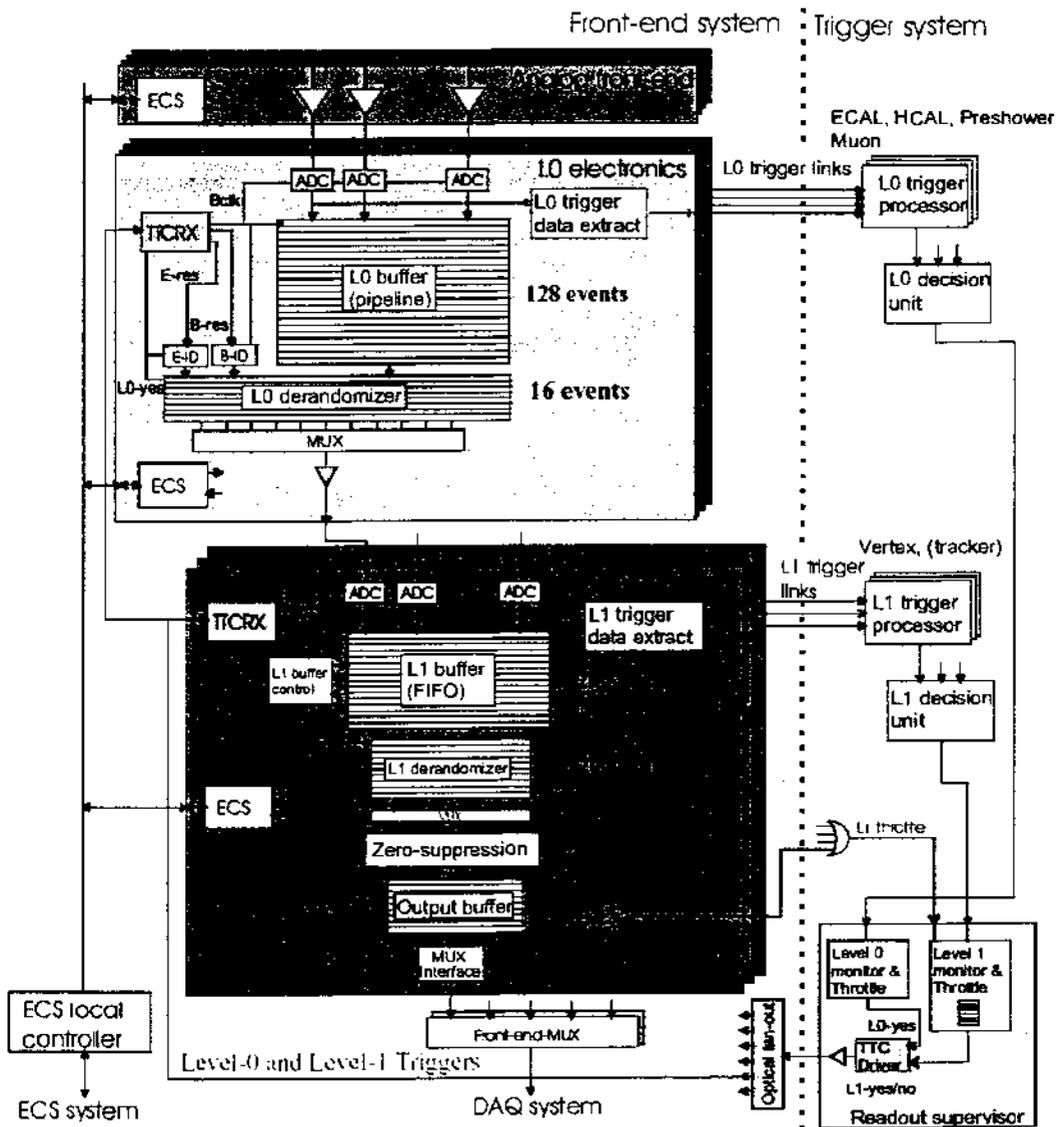


Figura 3 - Sistema de front-end do LHCb

Todos os sinais analógicos e digitais, que chegam na taxa de 40MHz, serão armazenados em *buffers* do nível-0 (profundidade de 128 eventos), onde ficarão a espera de uma decisão do *trigger*, que ocorrerá em 4 μ s. Após a decisão do *trigger*, os dados aceitos são transmitidos para FIFOs de entrada (*de-randomizing buffers*), até que estes sejam lidos pela eletrônica do nível 1, a taxa de dados aqui é de 1MHz. Por fim os dados são digitalizados (se ainda analógicos), multiplexados, e enviados para os *buffers* do nível-1,

onde ficam armazenados até que ocorra uma decisão do *trigger* (latência máxima de 256 μ s). Os eventos aceitos vão para a unidade de supressão de zeros, são multiplexados e mandados para o sistema de DAQ, localizado, aproximadamente, à 60m do detector.

2.4 Sistema de Trigger

O sistema de *trigger* é responsável por decisões que permitem que a eletrônica de *front-end* reduza a taxa de dados, de 40MHz para 40KHz, entregues ao sistema de DAQ. Na energia de colisão do LHC (14Tev) e na luminosidade do LHCb ($2 \times 10^{32} \text{cm}^{-2}\text{s}^{-1}$), uma produção de aproximadamente 200.000 mésons-B por segundo é esperada, porém há 30 milhões de colisões próton-próton por segundo no qual mésons-B não são produzidos. O sistema de *trigger* do LHCb deve ser seletivo e eficiente, de modo que apenas a pequena fração de eventos interessantes seja extraída da grande quantidade de eventos produzida pela colisão pp.

O sistema de *trigger* é dividido em quatro níveis (0-3).

- Nível 0 - usa informação do veto de empilhamento, dos calorímetros e das câmaras de múons, que operam em uma frequência de 40MHz e enviam os dados a uma frequência de 1MHz. Sua latência tem um valor fixo de 4 μ s;
- Nível 1 - recebe informação do VELO e trabalha a 1MHz, e a taxa de envio de dados é de 40KHz. Ele dispara quando reconhece vértices separados;
- Nível 2 - consegue uma redução de fator 8 da taxa de entrada dos dados (40KHz) valendo-se de informações geradas pelos detectores de vértice e trajetória (*tracking*) para eliminar falsos vértices secundários. Sua taxa de saída é de 5KHz;

- Nível 3 - trabalha com taxa em média de 5KHz. Seus algoritmos são projetados para filtragem dos modos de decaimento de interesse, resultando em uma taxa de saída (gravação de dados) de 200Hz.

2.5 Sistema de Aquisição de Dados

O sistema de DAQ [5] é responsável pela formatação e armazenamento dos dados de forma a facilitar a identificação da origem dos eventos. O sistema deve ler os dados gerados pela eletrônica de *front-end* (*trigger* nível 1) para que eventos completos possam ser reconstruídos. A taxa média de processamento dos dados do sistema de DAQ é de 4GB/s, esta taxa foi calculada a partir da taxa de saída de 40KHz do nível 1 de *trigger* e o tamanho médio de cada evento do LHCb (100KB).

A taxa de saída, que os 'eventos' serão enviados a um banco de dados, é determinada pelo nível 3 de *trigger* (~200Hz), nesta fase cada evento terá em média 200KB. Com essas informações podemos obter a taxa de entrada média que o sistema de armazenamento deve suportar de 40MB/s.

A figura 4 apresenta de forma geral o tráfego de dados do sistema de leitura dos eventos do LHCb. Os objetos desenhados em verde fazem parte do sistema de DAQ.

Cada colisão produzirá 1MB a cada 25ns, implicando em uma taxa de transferência de dados inicial de 40TB/s.

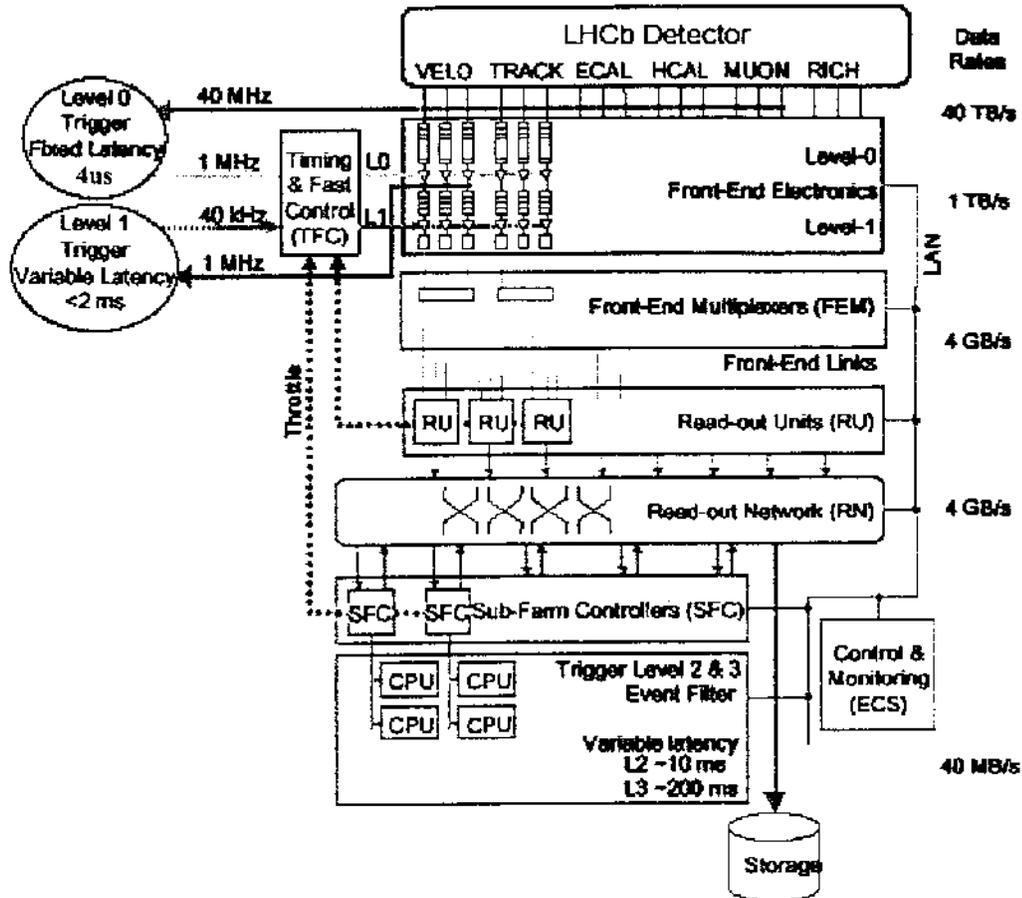


Figura 4 - Visão geral do sistema de leitura do LHCb

Capítulo 3

MWPC e Eletrônica de *Front-end*

3.1 Conceitos Básicos

3.1.1 Introdução a Detectores de Múons

As câmaras proporcionais são detectores de partículas constituídos de um sistema que contém basicamente gás e eletrodos que serão utilizados para a geração de campo elétrico. O funcionamento de uma câmara a gás se baseia nas interações entre partículas incidentes e átomos do gás, e ao campo elétrico aplicado. As interações eletromagnéticas são predominantes, sendo as interações relativas à força nuclear e força fraca, de baixa probabilidade de ocorrência. De um modo geral, uma partícula atravessando um meio gasoso pode perder energia de três formas: por espalhamento elástico (*elastic scattering*), excitação e ionização dos átomos do gás. O processo de espalhamento observado mais conhecido foi realizado por Rutherford e sua equipe, e foi fundamental para uma nova modelagem do átomo no início do século XX. Esse processo é definido como a mudança de trajetória de uma partícula por causa da colisão ou interação eletromagnética desta com outras partículas ou sistemas. A perda de energia por excitação ocorre quando, na interação átomo-partícula, o elétron é levado a um nível de energia excitado, este, então, volta ao nível de energia normal por meios de emissão de fóton. A ionização de um átomo do gás ocorre quando, na interação, a energia coletada por ele é maior ou igual à energia de ligação

do elétron, fazendo com que o elétron se desprenda, formando assim um par elétron-íon. As interações que predominam na perda total de energia em um detector a gás, para partículas mais pesadas que o elétron, são as que resultam em ionização dos átomos de um meio qualquer, portanto consideremos a ionização.

Após a separação elétron-íon, o campo elétrico aplicado não permite que eles se recombinem, sendo então atraídos e coletados pelos eletrodos. Desse modo, a partícula incidente deixa um “rastros” de elétrons e íons no gás do detector. O movimento dos íons induz um sinal elétrico nos eletrodos conforme varia o campo elétrico devido sua carga, ou seja, o campo elétrico transmite energia aos elétrons e íons liberados a medida em que eles se movem em direção a seus eletrodos. Como a intensidade do campo nas proximidades do fio é maior, quando o elétron liberado se aproxima a uma certa distância do fio, ele adquire energia suficiente para ocasionar novas ionizações, fenômeno conhecido como avalanche. A energia transmitida no processo descrito acima deve ser compensada por sinais gerados nos eletrodos, esses sinais serão então usados para estudo da partícula incidente.

A alta tensão aplicada nos eletrodos para formação do campo elétrico deve estar dentro da região proporcional da câmara, a figura 5 ilustra as regiões de operação de uma câmara a gás.

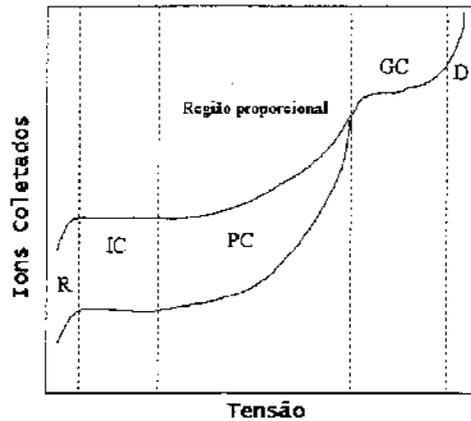


Figura 5 - Regiões de operação de uma câmara proporcional

Para efeito de ilustração, consideremos uma estrutura básica de um detector proporcional, representada por um câmara cilíndrica, o catodo, com um fio anodo passando no centro, sendo r_f o raio do fio e r_c o raio do cilindro.

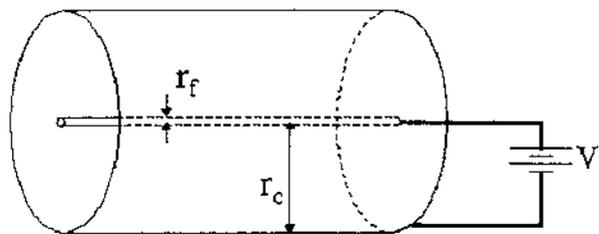


Figura 6 - Contador proporcional cilíndrico

Pela Lei de Gauss temos que quando aplicado uma diferença de potencial V_0 entre o catodo e o anodo (figura 6), o campo elétrico dentro da câmara pode ser expresso por:

$$E = \frac{V_0}{\ln(r_c/r_f)} \frac{1}{r} \quad (1)$$

a capacitância por unidade de comprimento é dada por:

$$C = \frac{2\pi\epsilon}{\ln(r_c/r_f)} \quad (2)$$

onde ϵ é a constante dielétrica do gás e L o comprimento da câmara. A magnitude da tensão induzida pelo deslocamento das cargas em direção aos eletrodos é dada por [6]:

$$V = \frac{Mne}{CL} \quad (3)$$

$$M = Ke^{CV_0}$$

Onde n é o número de pares criados e M é o fator de multiplicação que existe devido ao fenômeno da avalanche.

Para a verificação da importância do fator de avalanche pode-se verificar o sinal gerado na passagem de uma partícula mínimo ionizante [4]. Suponha um detector cilíndrico de 1 cm de comprimento, e, então, com a incidência de uma partícula mínimo ionizante a liberação de 120 pares de íons acarretando na geração de um sinal elétrico. De acordo com a equação abaixo podemos deduzir a magnitude desse sinal:

$$V = \frac{ne}{C} \quad (4)$$

Considerando $n = 120$ e uma capacitância típica de $C = 10\text{pF}$, temos $V = 1,9\mu\text{V}$. Um sinal com esta magnitude é muito difícil de ser detectado, porém com a aplicação de um campo elétrico, com intensidade suficiente para que o detector trabalhe na região proporcional, avalanches ocorrem e amplificam o sinal que então podem ser facilmente discriminados. Um ganho típico para contadores proporcionais atuais é de 10^5 .

A avalanche ocorre somente quando o elétron está bem próximo do fio anodo, pois é onde o campo elétrico fica forte o suficiente para que ocorra a multiplicação de elétrons.

A figura 7 ilustra o comportamento do campo em relação ao raio de um detector. O campo e o potencial elétrico respeitam as seguintes equações:

$$E(r) = \frac{CV_0}{2\pi L \varepsilon} \frac{1}{r} \quad (5)$$

$$V(r) = \frac{CV_0}{2\pi L \varepsilon} \ln(r/r_f) \quad \text{sendo, } C = \frac{2\pi L \varepsilon}{\ln(r_c/r_f)}$$

Onde, ε é a constante dielétrica (para gases $\sim 8,85\text{pF/m}$ [6]) e r representa a distância em relação ao centro do detector.

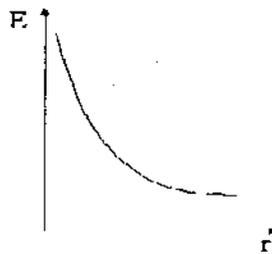


Figura 7 - comportamento do campo elétrico em relação ao raio de um detector

Caso a tensão aplicada seja muito elevada (ver figura 5), o detector sai da região proporcional e entra na região de contador Geiger-Muller, onde um sinal de mesma magnitude é gerado independente da perda de energia da partícula incidente.

3.1.1.1 Estudo do sinal induzido no detector a gás

O sinal induzido nos eletrodos, após incidência de uma partícula, ocorre devido ao deslocamento de elétrons e íons positivos sob ação do campo eletrostático do detector. Considerando uma partícula de carga q se deslocando no campo elétrico, temos que o trabalho realizado pela partícula em uma queda de potencial ΔV é $q \Delta V$. Pela lei de conservação de energia, a energia perdida pelo campo eletrostático deve ser compensada, e

isto ocorre através da variação de potencial nos eletrodos. O circuito externo fornece uma carga Q_a para o anodo para que o valor da tensão V_0 seja mantido.

$$q\Delta V = V_0\Delta Q_a \quad (6)$$

Este resultado pode ser obtido considerando-se uma partícula em movimento, de um ponto a até um ponto b, sob influência do campo elétrico. Temos assim, uma variação da energia do potencial (ΔE_p) elétrico de $E_{Pa}-E_{Pb}$. Está variação é negativa ao trabalho realizado pelo campo elétrico para mover a carga de a até b. Supondo um campo elétrico uniforme associado a duas placas paralelas de dimensão infinita, e considerando uma carga positiva q posicionada entre as placas paralelas. O campo elétrico exercerá uma força sobre a carga, acelerando-a no sentido da placa negativa, realizando assim trabalho W na carga q . A energia potencial será então diminuída pela mesma quantidade do trabalho feito pelo campo elétrico, porém negativamente. O potencial elétrico é definido como energia potencial por unidade de carga, logo se uma carga q tem uma energia potencial elétrica E_{Pa} em um ponto a qualquer, o potencial elétrico V neste ponto será:

$$V_a = \frac{E_{Pa}}{q} \quad (7)$$

Todavia, apenas a diferença entre energia potencial é fisicamente medida, logo, temos que a diferença em energia potencial $E_{Pa}-E_{Pb}$ é igual ao trabalho (W_{ab}) realizado pelo campo elétrico para mover a carga do ponto a até o b. A diferença de potencial será então:

$$V_{ab} = V_a - V_b = \frac{W_{ab}}{q} \quad (8)$$

Podendo esta última equação ser representada como:

$$\Delta E_p = E_{Pa} - E_{Pb} = qV_{ab} \quad (9)$$

Como $V=Ed$, temos:

$$W_{ab} = qEd \quad (10)$$

Onde, d é a distância entre os pontos a e b . Tomando-se por base a equação (10) temos que a energia adquirida pela partícula em sua trajetória de a até b é igual à energia perdida pelo campo eletrostático, que pode ser representada pela energia elétrica armazenada em um capacitor (a energia armazenada pelo campo eletrostático é $E = QV$, e pela variação de energia temos o trabalho $W=\int Q \cdot du$, onde u é o potencial elétrico), o que acarreta na variação do potencial nos eletrodos [7], ou seja:

$$\int_a^b q\vec{E} \cdot d\vec{x} = -\int Q \cdot du = -\int CV_0 du \quad (11)$$

Para a geometria cilíndrica, figura 6, considere r_0 como a posição, no cilindro, onde a avalanche ocorre, $-q$ será a carga total dos elétrons liberados e $+q$ como a carga total dos íons positivos liberados. Utilizando a Equação (5), temos:

$$u(-q) = \frac{-q}{CV_0} \int_{r_0}^a \frac{d}{dr} \left[\frac{CV_0}{2\pi\epsilon} \ln\left(\frac{b}{r}\right) \right] dr = -\frac{q}{2\pi\epsilon} \ln\left(\frac{r_0}{a}\right) \quad (12)$$

$$u(+q) = \frac{q}{CV_0} \int_{r_0}^b \frac{d}{dr} \left[\frac{CV_0}{2\pi\epsilon} \ln\left(\frac{b}{r}\right) \right] dr = \frac{q}{2\pi\epsilon} \ln\left(\frac{r_0}{b}\right) \quad (13)$$

A variação total do potencial elétrico u será a soma de $u(-q)$ e $u(+q)$:

$$u = -\frac{q}{2\pi\epsilon} \ln\left(\frac{b}{a}\right) \quad (14)$$

A contribuição dos elétrons, na variação do potencial gerado pelo movimento das cargas, é muito pequena. Considerando apenas a contribuição dos íons positivos, podemos

calcular o desenvolvimento temporal supondo que estes se movem com velocidade constante do raio crítico até o catodo. É conhecido que a velocidade de deslocamento, para os íons positivos no gás, é proporcional a E/P, onde P é a pressão do gás [6]:

$$v = \mu \frac{E}{P} = \frac{dr}{dt} \quad (15)$$

μ – mobilidade iônica

Utilizando as equações (5) e (15), pode-se deduzir o deslocamento dos íons em função do tempo:

$$\int_{r_0}^{r(t)} r dr = \int_0^t \frac{\mu CV_0}{2P\pi\epsilon} dt \Rightarrow r(t) = \sqrt{\frac{\mu CV_0}{P\pi\epsilon} t + r_0^2} \quad (16)$$

Com as equações (5), (11) e (16) temos o comportamento temporal do sinal elétrico:

$$u(t) = \frac{q}{CV_0} \int_{r_0}^{r(t)} \frac{d}{dr} \left[\frac{CV_0}{2\pi\epsilon} \ln\left(\frac{b}{r}\right) \right] dr$$

$$u(t) = -\frac{q}{2\pi\epsilon} \ln\left(\sqrt{1 + \frac{\mu CV_0}{P\pi\epsilon r_0^2} t} \right) = -\frac{q}{2\pi\epsilon} \ln\left(\sqrt{1 + \frac{t}{t_0}} \right) \quad (17)$$

onde,

$$t_0 = \frac{P\pi\epsilon r_0^2}{\mu CV_0}$$

A figura 8 mostra o comportamento típico de um sinal obtido no detector.

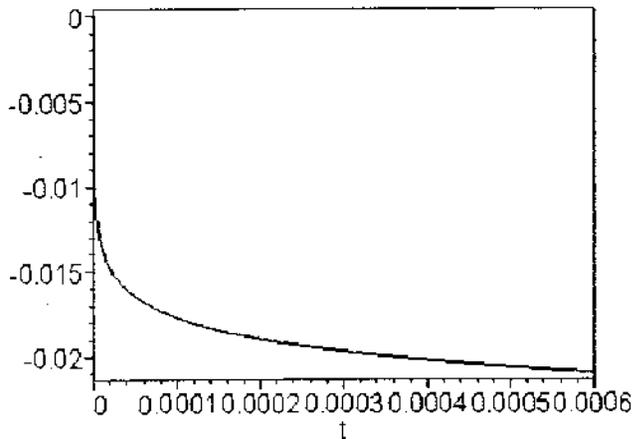


Figura 8 - Sinal gerado em um detector à fios

O tempo total de coleta dos íons positivos pode ser calculado aplicando-se a condição $r(t) = b$.

$$t_{coleta} = \frac{P \pi \epsilon (b^2 - r_0^2)}{k C V_0} \quad (18)$$

No caso dos elétrons este tempo se torna muito pequeno, por esse motivo podemos ignorar sua contribuição na formação do sinal $u(t)$.

3.1.1.2 Câmara Proporcional Multifilar

A câmara proporcional multifilar (MWPC – *Multiwire Proportional Chambers*) foi um importante desenvolvimento na área de altas energias ocorrido no CERN no final dos anos sessenta, realizado por Charpak e equipe. As principais características do MWPC são: resolução temporal e precisão espacial. Seu esquema é representado por um plano anodo de fios, paralelos e igualmente espaçados, localizado entre dois planos de catodo, como na figura 9, e seu funcionamento é tal como um contador proporcional. Quando pares de íons são liberados dentro do detector, estes são ‘puxados’ pelas linhas do campo elétrico, figura

10, até aproximarem-se da região de alto campo, onde a multiplicação por avalanche ocorre.

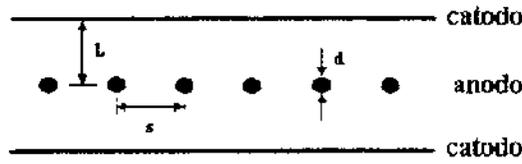


Figura 9 - Esquema de uma câmara proporcional a fio

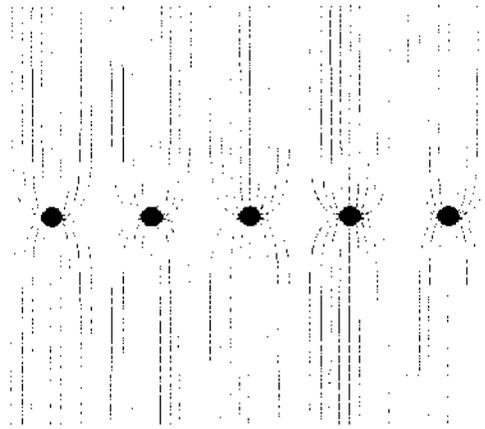


Figura 10 - Linhas do potencial e campo elétricos

Esta geometria de chapas paralelas respeita as equações apresentadas abaixo [6]:

$$E(x, y) = \frac{CV_0}{2\epsilon s} \sqrt{\frac{1 + \tan^2 \frac{\pi x}{s} \cdot \tanh^2 \frac{\pi y}{s}}{\tan^2 \frac{\pi x}{s} + \tanh^2 \frac{\pi y}{s}}} \quad (19)$$

$$V(x, y) = \frac{CV_0}{4\pi\epsilon} \left\{ \frac{2\pi L}{s} - \ln \left[4 \left(\sin^2 \frac{\pi x}{s} + \sinh^2 \frac{\pi y}{s} \right) \right] \right\}$$

$$C = \frac{2\pi\epsilon}{(\pi L/s) - \ln(2\pi r_f/s)} \quad (20)$$

A resolução espacial da câmara em rms é determinada pela distância entre os fios s , podendo ser expressa por (isto é válido para o caso de todos os fios estarem dispostos na mesma linha):

$$\sigma = \sqrt{\frac{1}{s} \int_{-\frac{s}{2}}^{\frac{s}{2}} x^2 dx} = \frac{s}{\sqrt{12}} \quad (21)$$

A tensão T mínima aplicada nos fios, de comprimento L e espaçamento s , necessária para que a força eletrostática entre eles não cause alteração em suas posições (condição de estabilidade) é dada por [6]:

$$T \geq \frac{1}{4\pi\epsilon} \left(\frac{CVL}{s} \right)^2 \quad (22)$$

Os parâmetros mecânicos de uma MWPC são de fundamental importância para o bom funcionamento da câmara. O ganho da câmara é altamente dependente da geometria do detector e do valor do campo elétrico na região de multiplicação, portanto, pequenas imperfeições geométricas fazem com que o ganho sofra variações ao longo do fio e entre os fios. Essas imperfeições devem ser consideradas e verificadas para que o ganho do gás no detector não ultrapasse um certo valor de tolerâncias que devem ser definidos de acordo com o tipo de medida abordada. Diferenciando a equação (3) ($M=Ke^{CV_0}$) teremos o problema da variação do ganho em termos de carga dos fios [6]:

$$\frac{\Delta M}{M} = \ln M \frac{\Delta Q}{Q} \quad (23)$$

Onde $Q=CV_0$ é a carga por unidade de comprimento dos fios. Podemos então calcular a variação do ganho de acordo com a variação do raio do fio r_f e da distância entre catodo e anodo L por:

$$\frac{\Delta Q}{Q} = \frac{C}{2\epsilon} \frac{\Delta r_f}{r_f} \quad (24)$$

$$\frac{\Delta Q}{Q} = \frac{CL}{2\epsilon s L} \Delta L \quad (25)$$

No caso do sistema de múons do LHCb, a variação do ganho do gás não deve ultrapassar $\pm 20\%$ dentro do detector (uma mudança de 20% no ganho do gás equivale a uma mudança de 1% no campo na superfície do fio, ver ref.[7]).

3.1.2 Introdução à Eletrônica de Leitura de um Detector (ASD)

Quando acoplamos um circuito, como o da figura 11, em um detector para que seu sinal seja observado, este terá suas características definidas pela constante de tempo RC , como será verificado a seguir.

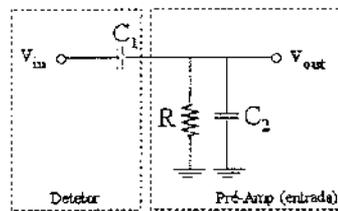


Figura 11 – Esquema equivalente a um circuito de leitura do sinal do detector

A função de transferência do circuito da figura 11 é:

$$F(s) = RC_1 \frac{s}{1 + sR(C_1 + C_2)} \quad (26)$$

O sinal de saída é dado a partir da convolução:

$$v_{out}(t) = u(t) * TLI[F(s)] \quad (27)$$

Onde TLI significa Transformada de Laplace Inversa e $u(t)$ é o sinal gerado no detector.

$$TLI[F(s)] = \frac{RC_1}{R(C_1 + C_2)} \left[\delta(t) - \frac{1}{R(C_1 + C_2)} e^{-\frac{t}{R(C_1 + C_2)}} \right]$$

$$v_{out}(t) = \frac{RC_1}{R(C_1 + C_2)} \left[\int_0^t u(\tau) \delta(t - \tau) d\tau - \frac{1}{R(C_1 + C_2)} \int_0^t u(\tau) e^{-\frac{(t-\tau)}{R(C_1 + C_2)}} d\tau \right] \quad (28)$$

Temos por definição que:

$$\int_0^t u(\tau) \delta(t - \tau) d\tau = u(t) \quad (29)$$

Na integral abaixo, nota-se que $v_{in}(t)$ varia muito pouco em relação a exponencial para valores pequenos de t [7], logo:

$$\int_0^t u(\tau) e^{-\frac{(t-\tau)}{R(C_1 + C_2)}} d\tau \approx u(t) \int_0^t e^{-\frac{(t-\tau)}{R(C_1 + C_2)}} d\tau = u(t) R(C_1 + C_2) \left(1 - e^{-\frac{t}{R(C_1 + C_2)}} \right) \quad (30)$$

Substituindo as equações (29) e (30) na equação (28), temos:

$$v_{out}(t) \cong u(t) e^{-\frac{t}{R(C_1 + C_2)}} \quad (31)$$

Fazendo o teste no MAPLE para um detector cilíndrico com $r_f=15\mu\text{m}$, $r_c=5\text{mm}$, $V_0=3000$, $r_0=30\mu\text{m}$ e carga $q=2*10^{-1}$, temos:

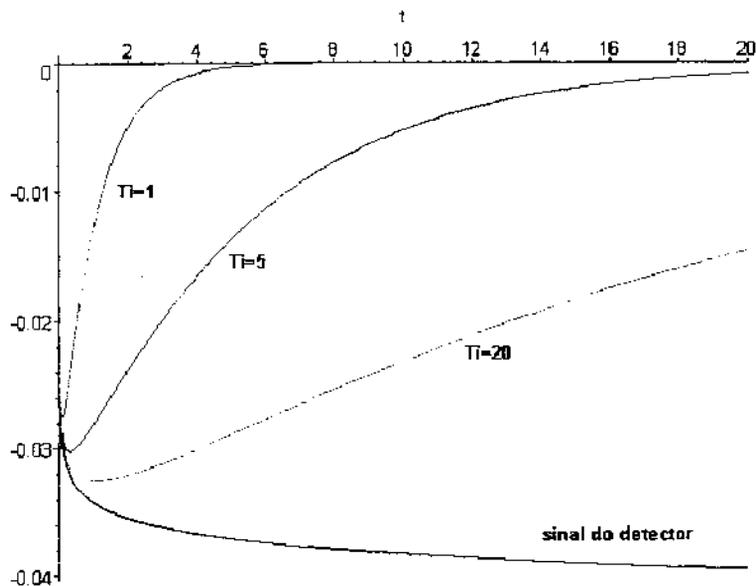


Figura 12 - Sinal de saída do pré-amplificador

Com base no gráfico da figura 12 pode-se notar que a duração do pulso pode ser controlada pela constante de tempo τ_i , porém deve ser ressaltado a existência de um compromisso entre a duração do pulso e o déficit balístico, que é o déficit entre a amplitude do sinal do detector e a amplitude de pico do sinal do pré-amplificador.

3.1.2.1 Modelador de Pulso (*shaper*)

Para assegurar que toda a carga gerada pelo detector seja lida, pré-amplificadores são ajustados para fornecer um tempo de decaimento para o pulso considerado longo (na casa de μs) [8]. Como a taxa de incidência é randômica, este problema pode causar a superposição dos pulsos (*pileup*), ver figura 13, podendo assim acarretar em sérios problemas na medida de carga já que a carga depositada no detector é adquirida através da altura do pulso gerado. Outro problema intrínseco ao sinal do pré-amplificador é a pequena duração de pico do pulso, o que faz com que análises relativas à altura do pulso se tornem difíceis.

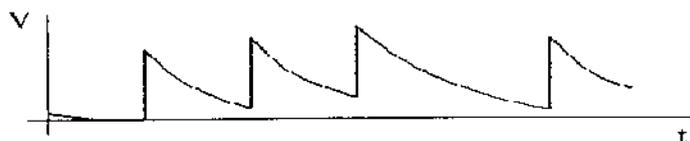


Figura 13 - Superposição de sinais

A modelagem da forma do sinal promove uma melhoria tanto no lento decaimento do sinal como na duração de pico do sinal a partir da implementação de circuitos diferenciadores e integradores.

O pré-amplificador de carga é normalmente o primeiro componente conectado ao detector. Circuitos diferenciadores podem ser inseridos no circuito com o intuito de cortar as baixas frequências do sinal diminuindo assim o seu tempo de decaimento, porém com o compromisso de manter a amplitude do sinal. Com a inclusão de circuitos integradores o tempo de decaimento é otimizado assim como a duração de pico do sinal é estendida.

Quando um único diferenciador CR é seguido de vários circuitos integradores, a forma do pulso se aproxima à forma gaussiana, sendo esta a forma que resulta no pulso com o melhor tempo de decaimento e a melhor razão sinal/ruído.

3.1.2.2 Cancelamento de Pólos e Zeros

Tomando-se por base um circuito diferenciador CR seguido de um integrador RC, ver figura 14, usado na modelagem do sinal do detector, podemos obter a sua função de transferência (constantes de tempo $\tau_1 = R_1C_1$ e $\tau_2 = R_2C_2$) e fazer uma análise do sinal gerado quando sua entrada é excitada com o sinal de saída do pré-amplificador (figura 11):

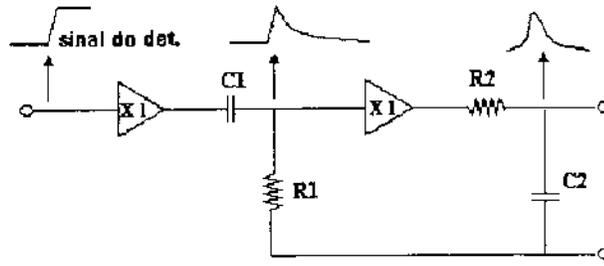


Figura 14 - Esquema de um circuito modelador de pulso

$$F(s) = \frac{V_{out}}{V_{in}} = \frac{s\tau_1}{(1+s\tau_1)(1+s\tau_2)} \quad (32)$$

A partir das equações (31) e (32) podemos obter o comportamento do sinal de saída do circuito modelador:

$$v_{out}(t) = \left[u(t) e^{-\frac{t}{R(C_1+C_2)}} \right] * TLI[F(s)] \quad (33)$$

$$TLI[F(s)] = \frac{1}{\tau_2 - \tau_1} e^{-\frac{t}{\tau_1}} + \frac{\tau_1}{\tau_2(\tau_1 - \tau_2)} e^{-\frac{t}{\tau_2}} \quad (34)$$

$$v_{out}(t) \cong u(t) \int_0^t e^{-\frac{T}{\tau_i}} \left[\frac{1}{\tau_2 - \tau_1} e^{-\frac{(t-T)}{\tau_1}} + \frac{\tau_1}{\tau_2(\tau_1 - \tau_2)} e^{-\frac{(t-T)}{\tau_2}} \right] dT \quad (35)$$

onde,

$$\tau_i = \frac{t}{R(C_1 + C_2)}$$

Resolvendo a equação (35), obtemos a equação que descreve o comportamento temporal do sinal na saída do circuito modelador:

$$v_{out}(t) \cong u(t) \frac{\tau_i \tau_1}{\tau_2 - \tau_1} \left[\frac{1}{\tau_i - \tau_2} e^{-\frac{t}{\tau_2}} - \frac{1}{\tau_i - \tau_1} e^{-\frac{t}{\tau_1}} + \frac{\tau_1 - \tau_2}{(\tau_i - \tau_2)(\tau_i - \tau_1)} e^{-\frac{t}{\tau_i}} \right] \quad (36)$$

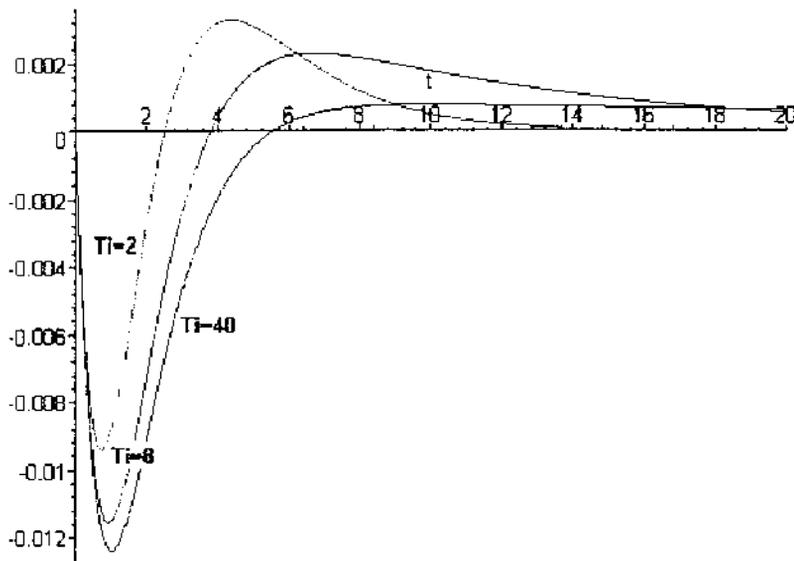


Figura 15 - Sinal de saída do circuito *shaper*

A figura 15 apresenta o comportamento do sinal para diferentes valores da constante de tempo τ_i . Pode-se notar que quanto menor o valor de τ_i , menor o tempo de duração do pulso e maior o *undershoot*. O *undershoot*, em geral, deve ser evitado por representar a possibilidade de erro na medida de amplitude do sinal por causa de sua taxa aleatória, que pode provocar uma superposição de sinais. Para que este problema seja resolvido devemos anular a componente $[A \cdot \exp(-t/\tau_i)]$ da equação (36). Isto é possível por meio de adição de pólos e zeros à função de transferência (32) de forma a anular a constante de tempo $(1+s\tau_i)$ da equação (26), ou seja:

$$F(s) = \frac{V_{out}}{V_{in}} = R_i C_{det} \frac{s}{(1+s\tau_i)} \cdot \frac{(1+sA)}{(1+sB)(1+s\tau_2)} \quad (37)$$

O primeiro termo da equação (37) representa a função de transferência do pré-amplificador e o segundo termo, a função de transferência do circuito *shaper* que resolve o problema de *undershoot* valendo-se da adição de um pólo e um zero, $[1+sB]$ e $[1+sA]$. O

cancelamento do termo $[1+s\tau_i]$ pode ser obtido mediante a substituição do circuito diferenciador da figura 14 pelo circuito da figura 16.

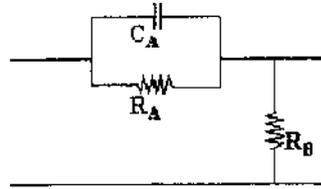


Figura 16 - Circuito para cancelamento de pólos e zeros

$$\frac{V_{out}}{V_{in}} = \frac{1 + R_A C_A s}{1 + \frac{C_A R_A R_B}{R_A + R_B} s} = \frac{(1 + As)}{(1 + Bs)} \quad (38)$$

Fazendo $A = \tau_i$ e $B = \tau_1$ e considerando a equação (37), obtém-se a seguinte

função de transferência:

$$F(s) = \frac{V_{out}}{V_{in}} = R_i C_{det} \frac{s}{(1 + s\tau_1)(1 + s\tau_2)} \quad (39)$$

Uma análise temporal do sinal pode ser feita tomando-se por base as equações (17) e (39).

$$v(t) = u(t) * TLI[F(s)]$$

$$\text{onde, } TLI[F(s)] = \frac{R_i C_{det}}{\tau_2 - \tau_1} \left(\frac{1}{\tau_1} e^{-\frac{t}{\tau_1}} - \frac{1}{\tau_2} e^{-\frac{t}{\tau_2}} \right)$$

Usando o mesmo artifício da equação (30) tem-se:

$$v(t) \cong u(t) \frac{R_i C_{det}}{\tau_2 - \tau_1} \left[e^{-\frac{t}{\tau_2}} - e^{-\frac{t}{\tau_1}} \right] \quad (40)$$

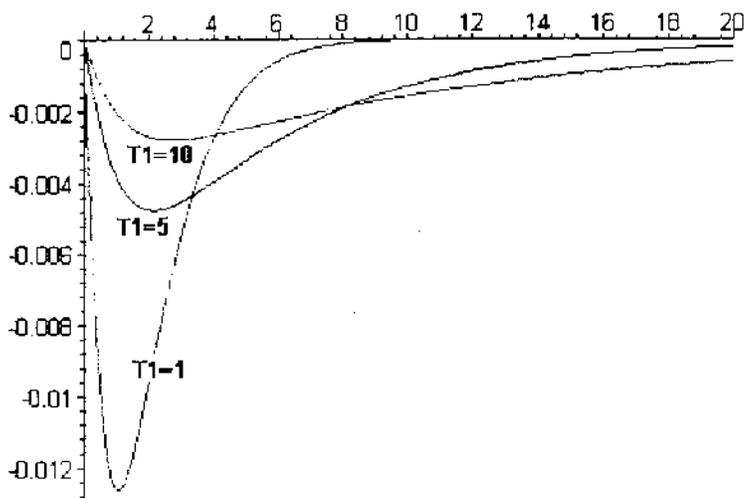


Figura 17 - Sinal de saída do circuito modelador

O gráfico da figura 17 mostra o sinal de saída do circuito modelador para diferentes valores da constante de tempo τ_1 , e $\tau_2 = 1$. Aqui nota-se que o *undershoot* foi anulado e o tempo de duração do pulso pode ser ajustado mediante ao ajuste de τ_1 e τ_2 .

3.1.2.3 Restauração de Linha de Base (BLR)

Qualquer amplificador com acoplamento AC, assim como circuitos diferenciadores, não apresentam uma resposta unipolar ao sinal de entrada. Para resolver esse problema a base do sinal deve ser restaurada para uma tensão de zero volts ou a detecção do sinal deve ser feita antes e depois do sinal, para que a amplitude exata do sinal seja obtida. O circuito restaurador deve ser o último circuito antes do analisador de amplitude do pulso [9].

3.2 MWPC do Sistema de Múons do LHCb

A localização das cinco estações de múons, no detector, pode ser vista na figura 2. A primeira estação é localizada à frente dos calorímetros a 12,1 metros do ponto de interação, e as outras se encontram após os calorímetros e são separadas com placas de ferro (blindagem). Cada estação é dividida em quatro regiões, apresentando diferentes

dimensões, cada região de cada estação trabalha com câmaras específicas, isto implica um total de 20 câmaras diferentes [10].

O alto fluxo no sistema de múons faz com que alguns requerimentos sejam abordados, a saber: características de deterioração do detector, funcionalidade em taxas elevadas, resolução espacial e redundância da instrumentação do *trigger*. Dependendo da região das câmaras, elas terão suas características adaptadas. A taxa vai de poucas centenas de Hz/cm², para as regiões mais afastadas, até algumas centenas de KHz/cm², para as regiões mais próximas. As tecnologias utilizadas serão: câmaras MWPC (*MultiWire Proportional Chamber*) para todas as regiões, exceto na região R1 de M1 onde deve ser utilizadas câmaras GEMs (*Gas Electron Multiplier*).

O sistema de *trigger* do LHCb requer uma colisão em 5 estações de múons dentro de um tempo de 25ns. O sistema tem como principal requerimento [11] uma eficiência de *trigger* de, pelo menos, 95%. Para que este valor seja alcançado, cada estação deve ter uma eficiência acima de 99%, sendo necessário que cada MWPC adotado tenha *gap* duplo e que sua leitura seja feita respeitando o paradigma da lógica OR (redundância).

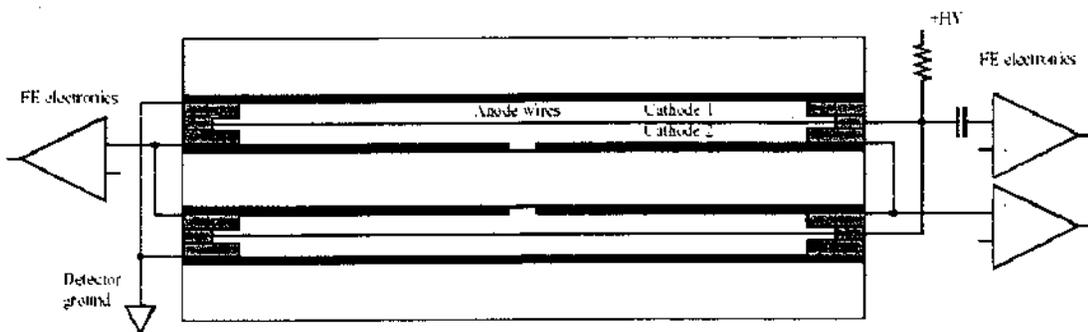


Figura 18 - Esquemático do MWPC de duplo *gap* com a eletrônica de *front-end* conectada [12]

De acordo com a equação (22), quanto menor o comprimento dos fios de uma MWPC, menor o espaçamento permitido entre fios. Isso permite otimizar a resolução

temporal e a uniformidade do ganho do gás dentro de uma MWPC. Foi definido que as MWPCs do LHCb devem ter resolução temporal menor que 3,5ns rms (esta resolução influencia nas características da *front-end* [tempo de pico] e, logo, no tempo que o sinal leva para ser enviado ao sistema de *trigger*). Para isto ser alcançado, além de otimizar o espaçamento entre os fios, deve-se usar um gás que propicie uma rápida velocidade de arrasto. Os principais parâmetros da câmara MWPC podem ser encontrados na Tabela 1.

Tabela 1 - Principais parâmetros para as MWPCs

Parâmetros	Valores
<i>Gap</i> do gás	5 mm
Espaço entre fios	1,5 mm
Diâmetro do fio	30 μ m
Tensão de operação	3,0 – 3,2KV
Nº de <i>gaps</i>	4
Mistura do gás	Ar/CO ₂ /CF ₄ (40:50:10)
Ionização primária	~ 100 e ⁻ /cm
Ganho do gás	~ 10 ⁵
<i>Threshold</i>	~ 3fC

3.3 Front-end do Sistema de Múons do LHCb

A *front-end* do sistema de múons deve preparar a informação oriunda do detector para o primeiro nível de *trigger*, respeitando as especificações do sistema de leitura do LHCb [13]. Antes da *front-end* despachar os dados para o *trigger*, o sinal deve ser amplificado e discriminado pela eletrônica ASD (*Amplifier-Shaper-Discriminator*), sinais lógicos devem ser criados pelas placas intermediárias (IM – *Intermediate Boards*) para as regiões que ainda não o fizeram, e, finalmente, os dados devem ser sincronizados e enviados para o *trigger* pela eletrônica ODE (*Off-Detector Electronics*). Vários

requerimentos devem ser respeitados pela eletrônica de *front-end*, principalmente para a eletrônica que será acoplada diretamente nas câmaras, os ASDs.

Os requerimentos para a eletrônica ASD podem ser vistos na Tabela 2 [14] [15]. Ela deve ser capaz de trabalhar com sinais negativos e positivos, uma vez que o catodo e anodo do detector devem ser lidos. Em média, a carga coletada nos primeiros 10ns é de 40fC para uma câmara de duplo *gap* e ganho de 10^5 . Um sistema de cancelamento do longo tempo de decaimento (*tail*) deve existir, com uma constante $t_0=1,5ns$, para garantir um cancelamento eficiente de mais de 95% do sinal. O circuito ASD deve ser capaz de suportar injeção de carga até 150fC. Nas regiões com alta taxa, a máxima dose radioativa é de 1MRad, o que exige o uso de circuitos integrados tolerantes à radiação. A alta taxa de eventos tem um impacto grande na eficiência do detector em razão da largura do pulso de saída do ASD. Uma vez que sinais de largura menor que 50ns não são viáveis [10], foi definida uma taxa máxima de 1MHz para cada canal. Para minimizar o tempo morto, um modelador de pulso unipolar é requerido. Os sinais nos fios dos MWPCs são de acoplamento AC, o tempo de carga da alta tensão faz com que grandes flutuações de base ocorram para altas taxas de eventos. Isso implica a necessidade do uso de um restaurador de linha de base (BLR – *BaseLine-Restoration*).

Para que o *crosstalk* causado por acoplamento capacitivo seja minimizado, a impedância de entrada do amplificador deve ser menor que 50 ohms (quanto menor a impedância de entrada, maior a frequência de corte do circuito entre os canais vizinhos). Além disso, o amplificador deve manter sua performance para capacitâncias de entrada até 250pF, o nível de ruído deve ser menor que 2fC, e a dissipação de potência deve ser baixa para que o gradiente de temperatura nas câmaras seja mínimo.

Tabela 2 - Parâmetros e especificações da eletrônica de *front-end* do LHCb

Parâmetros	
Carga (média) em 10ns	40fC (<i>double gap</i>)
Polaridade	positivo e negativo
Decaimento (<i>tail</i>)	$t_0=1,5\text{ns}$
Capacitância do detector	40-250pF (<i>double gap</i>)
Taxa máxima	1MHz
Dose radioativa máxima	1Mrad
Capacitor de desacoplamento	1nF (<i>double gap</i>)
Resistor de carga	100K Ω
Acoplamento	AC para o anodo DC para o catodo
Especificações	
Tempo de pico	$\sim 10\text{ns}$
ENC	$< 2\text{fC}$ ($C_{\text{det}}=250\text{pF}$)
Alcance linear	150fC
Resistência de entrada	$< 50 \Omega$
Circuito <i>shaping</i>	unipolar (2.pólo/zero)
Largura de pulso (média)	$< 50\text{ns}$ (saída ASD)
Restaurador de linha de base	$\sim 1\mu\text{s}$ tempo de resposta

Vários circuitos de *front-end* (PNPI, ASDQ++ , SONY e CARIOCA) foram estudados para que a melhor solução para o sistema de múons fosse encontrada. Os resultados levaram a escolha do CARIOCA, que se apresenta como primeira solução, e o ASDQ++, usado para o teste de protótipos das câmaras de MWPC, como uma eletrônica de *backup* para o sistema de múons do LHCb.

3.3.1 ASDQ++

O circuito ASDQ++ foi desenvolvido a partir do circuito integrado ASDQ ASIC [16] (*Application-Specific Integrated Circuit*), que se baseou nos circuitos integrados ASD8

e ASDBLR [17]. Empregado como circuito de *front-end* para o sistema COT (*Central Outer Tracker*) de detecção de trajetória do detector CDF-II no Fermilab, o ASDQ ASIC foi desenvolvido com a tecnologia analógica bipolar tolerante à radiação. Cada circuito integrado contém 8 canais independentes que podem ser separados em quatro estágios: Circuito de proteção na entrada (*anti-spark*), circuitos de processamento do sinal de entrada (pré-amplificação, minimização do tempo de decaimento (*tail cancelation*) e restauração da linha de base), circuito discriminador e circuito de saída (*driver*).

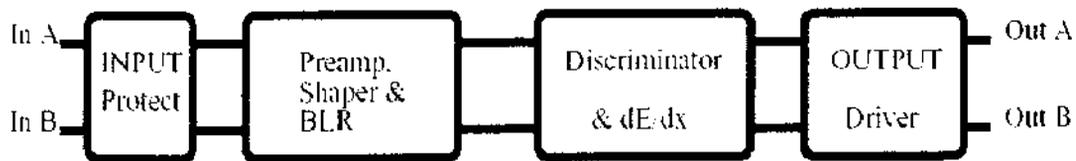


Figura 19 - Diagrama de blocos de um canal do ASDQ

O ASDQ ASIC opera com *threshold* de $2fC$ sem que haja contagem excessiva devido ao ruído, nessas condições $ENC \sim 0,5fC$ (rms). Porém, sua resistência de entrada é $R_{in} \sim 280\Omega$ e, para valores de capacitância de detector igual à $C_{det} = 40pF$, a sua sensibilidade é reduzida à metade. Por estes motivos, o circuito em questão mostrou-se limitado para os requerimentos do sistema de múons do LHCb.

Uma modificação simples, ver figura 20, evita as desvantagens apontadas acima. Um transistor no modo base comum conectado na entrada do ASDQ reduz bastante a impedância de entrada, mantendo-se constante em uma larga banda, para $R_{in} \sim 25\Omega$ ($I_e = 1mA$) e melhora as características de acordo com a capacitância de entrada como podemos ver nas figuras 21 e 22. Essas características são alcançadas sem perturbar as principais características do ASDQ, como tempo de pico e sensibilidade de, aproximadamente, $8ns$ e $12,5mV/fC$ ($C_{det} = 0$) respectivamente.

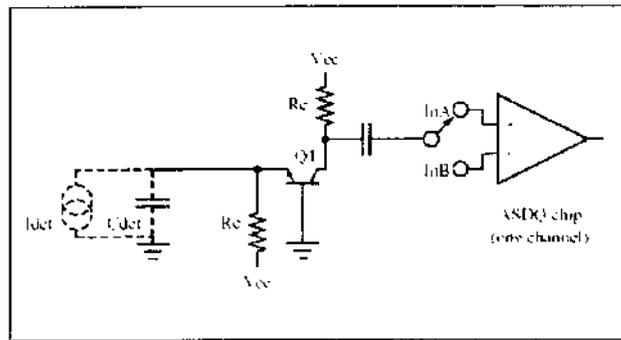


Figura 20 - Esquemático do ASDQ++ a partir do ASDQ

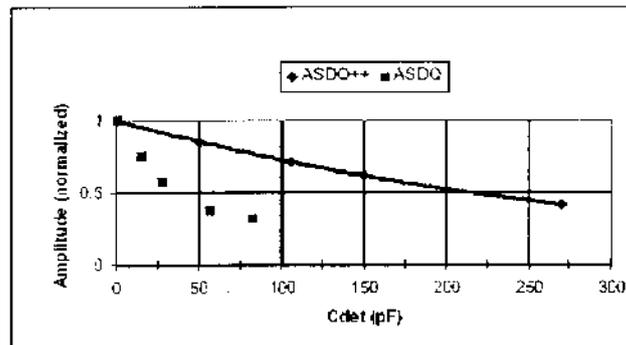


Figura 21 - Perda de amplitude de acordo com a capacitância de entrada

A figura 22 mostra que uma melhora significativa ocorreu em relação ao ruído e a capacitância de entrada do circuito, do ASDQ ASIC para o ASDQ++.

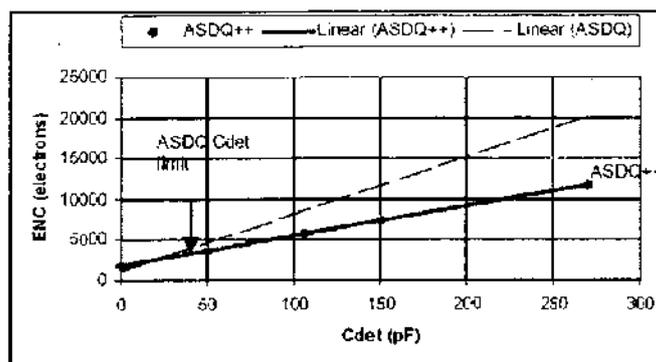


Figura 22 - Comportamento do ruído da *front-end* de acordo com a capacitância de entrada

Os valores que descrevem este comportamento são, para o ASDQ++ $ENC_{ASDQ++}=1740\text{elétrons}+37\text{elétrons/pF}$ e, para o ASDQ, $ENC_{ASDQ}=1190\text{elétrons} + 70\text{elétrons/pF}$.

Outra informação importante para fins de comparação com os resultados encontrados nas medidas realizadas pelo sistema FEET é o espectro de frequência do ASDQ++ de onde podemos obter a taxa esperada quando o nível de *threshold* é zero, como será visto na seção 4.2.7.

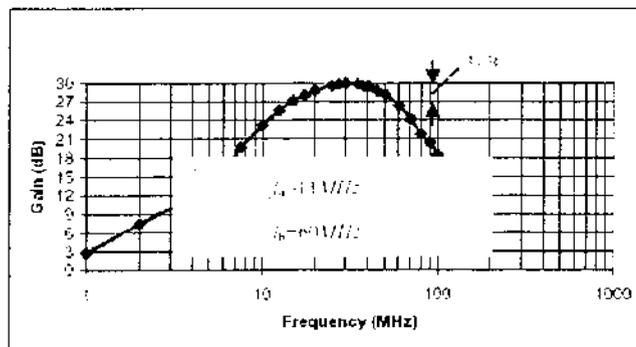


Figura 23 - Banda passante do ASDQ++

3.3.2 CARIOCA

O circuito integrado CARIOCA (*Cern And RIO Current-mode Amplifier*) é um ASD (*Amplifier-shaper-discriminator*) que está sendo desenvolvido, pelo grupo de múons do LHCb. Este circuito utiliza uma recente tecnologia CMOS $0,25\mu\text{m}$ resistente à radiação. Os amplificadores usados por esta eletrônica trabalham no modo de corrente, sendo interessante por sua velocidade de resposta, baixo ruído e ganho ajustável, podendo assim ser utilizado para diferentes aplicações.

Este projeto está sendo desenvolvido em duas versões: uma para leitura do cátodo, para pulsos de polaridade positiva, e outra para leitura do ânodo, para pulsos de polaridade

negativa. Cada circuito integrado é composto de oito canais idênticos e um circuito de alimentação. Sua estrutura geral é mostrada na figura 24.

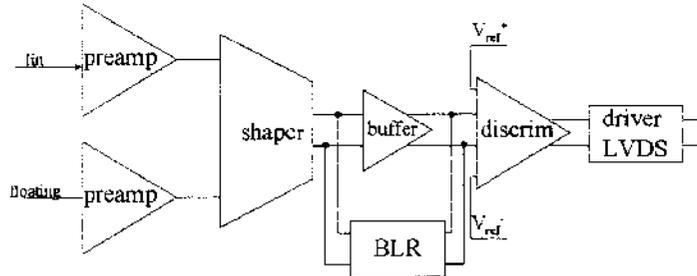


Figura 24 - Diagrama de blocos de um canal do CARIOCA

A entrada do CARIOCA é um circuito pseudo-diferencial, que possui dois amplificadores. Um amplificador recebe o sinal do detector enquanto o outro tem sua entrada 'flutuando' que é usado para balancear o circuito *shaper*. Após os amplificadores temos o circuito *shaper* e um amplificador diferencial que provê mais ganho enquanto o sinal é modelado (cancelamento do longo decaimento e restauração da linha de base do sinal). Finalmente o sinal é entregue ao discriminador para então ser enviado, pelo *driver* LVDS, para a segunda fase do processamento do sinal. Cada canal consome em torno de 45mW com uma alimentação de 2,5V.

O CARIOCA se encontra em fase final de desenvolvimento. Informações detalhadas podem ser encontradas na ref [18].

Alguns resultados obtidos com o protótipo final [19] serão apresentados abaixo. O *threshold* apresenta um *offset* de 800mV e satura em 1100mV. A sensibilidade do ASD está entre 14-15mV/fC para capacitância de entrada $C=0fC$ e 7-8mV/fC para $C=220pF$.

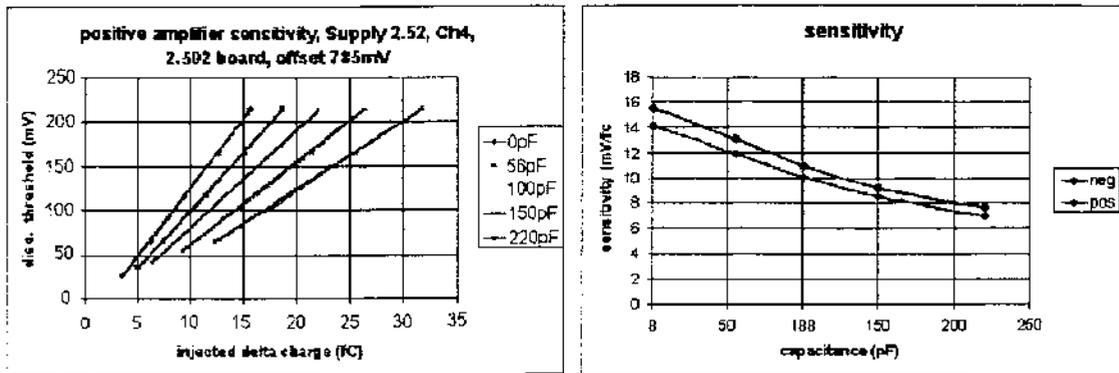


Figura 25 - Sensibilidade do CARIOCA

A figura 25 mostra, à esquerda, o teste feito com o CARIOCA para diferentes capacitâncias de entrada e, à direita, é apresentada a variação de sua sensibilidade de acordo com a capacitância do detector.

O ruído encontrado foi de $ENC=2240+42e^{-}/pF$ para o CARIOCA de amplificador negativo e $ENC=1880+45e^{-}/pF$ para o positivo.

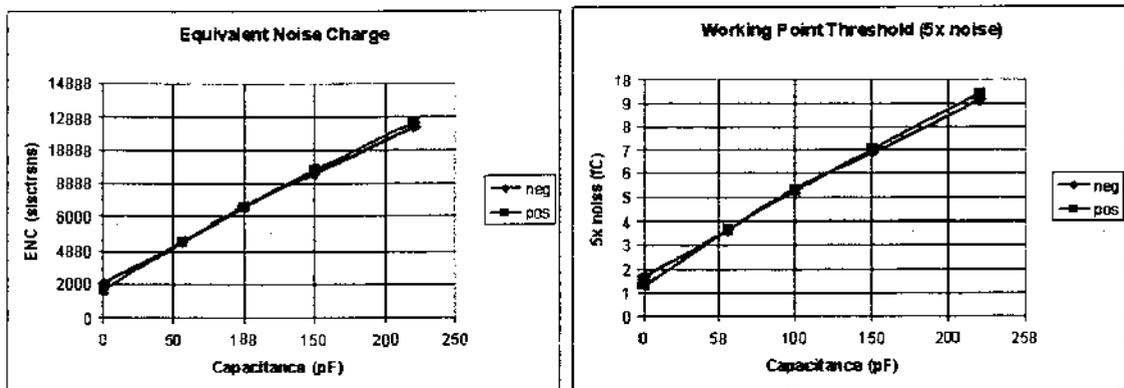


Figura 26 - Ruído versus capacitância do CARIOCA

A figura 26 apresenta os gráficos do nível de ruído versus a capacitância de entrada. A unidade dos valores, do eixo y, do gráfico à esquerda é dada em elétrons, e o da direita em femto coulomb (fC), este último está multiplicado por um fator 5.

Por motivos tecnológicos e políticos, o circuito integrado CARIOCA não pode ser trazido ao Brasil. Porém isto não prejudicou o desenvolvimento do trabalho aqui

apresentado, pois o CARIOCA apresenta, de um modo geral, poucas variações em relação ao circuito baseado no ASDQ++.

Em virtude dos motivos acima apontados todos os testes foram realizados com o circuito ASDQ++.

Capítulo 4

Sistema FEET

O sistema FEET (*Front-End Electronics Test*) teve como motivação inicial, a tarefa de implementação e automatização de uma rotina de teste para as placas da eletrônica de *front-end* do sistema de múons do experimento LHCb, após fase de produção e montagem. Tendo em vista a grande quantidade de placas de *front-end* a ser produzidas, 7.500 placas (≈ 120.000 canais - quantidade proposta no início do projeto), o sistema de teste deve ser eficiente em tempo e praticidade. Se o tempo necessário de teste de uma placa for de 10 minutos, será preciso 31 semanas para o teste de todas as placas. Porém é previsto o uso de mais de uma estação de teste FEET, diminuindo assim o tempo total de teste. O sistema FEET propõe o teste de parâmetros importantes para uma avaliação das condições operacionais de uma placa, assim como uma rotina prática para tal. Os testes a ser considerados são: conectividade, *crosstalk*, ruído, sensibilidade e *Rate-Method* [20].

Os problemas esperados vão, desde falhas no processo de montagem (e.g. soldagem) até defeitos que derivam de erros na fabricação dos circuitos integrados da eletrônica de *front-end*, ou mesmo das placas onde estes são alocados, podendo assim causar variações excessivas de *crosstalk*, sensibilidade, ruído, etc.

Dois circuitos integrados estão sendo utilizados no sistema de múons do LHCb: o CARIOCA e o ASDQ++. O CARIOCA (ver seção 3.3.2) está sendo desenvolvido no próprio CERN pelo grupo de múons do LHCb. O ASDQ++, circuito baseado no ASDQ [23], está sendo usado para testes (*beam tests*) dos protótipos de MWPC construídos no CERN e LNF. Quando esses circuitos entrarem em processo de produção, uma maneira de testá-los deve ser encontrada. O FEET foi proposto para solucionar o problema de teste dessas *front-ends*.

O sistema FEET é composto de *Software* e *Hardware* e foi estruturado como apresentado na figura 27. O hardware foi dividido em dois módulos: módulo de controle (digital) e módulo de injeção de carga (analógico). Foi proposto o uso de uma placa de aquisição de dados da *National Instruments* NI-DAQ PCI-6025 [22], assim como a utilização do ambiente de programação LabVIEW com o propósito de padronizar o modo de interface entre sistema e computador.

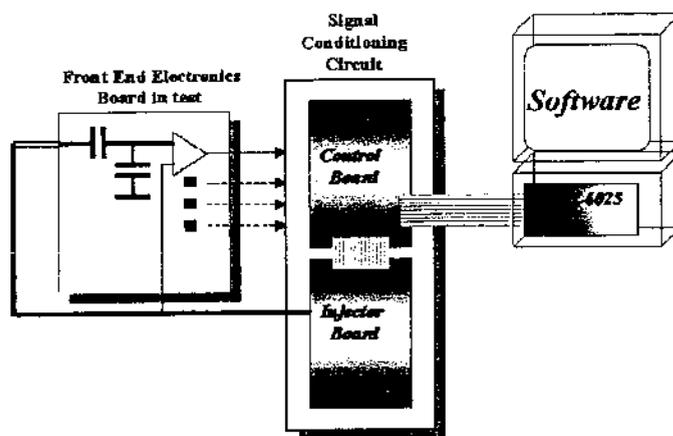


Figura 27 – Estrutura geral do sistema FEET

A função básica da placa PCI-6025 é gerar sinais analógicos que serão usados para o controle do *threshold* da eletrônica de *front-end* (FEE) e do valor da carga de injeção, assim como gerar sinais lógicos de controle de tempo para a contagem de eventos e escolha

da frequência de injeção, e promover a troca de dados entre placa de controle e computador. A placa de controle deve, basicamente, selecionar o canal ativo da placa injetora e contar os eventos a partir da FEE, e repassar alguns sinais gerados na placa PCI-6025 para a placa de injeção. Uma vez selecionado o canal ativo e entregue os sinais analógicos e digitais, a placa injetora deve gerar os sinais necessários para a injeção de carga na FEE e fornecer a sua alimentação.

4.1 Hardware

Conforme visto anteriormente, duas placas foram projetadas: uma placa de controle e outra de injeção de carga, e foi utilizada uma placa de aquisição de dados da *National Instruments* PCI-6025 (requerimento do projeto).

A placa de controle oferece suporte à placa injetora (e.g. escolhendo o canal a ser injetado, configuração de ganho do ASDQ++) e recebe os sinais gerados pela placa de *front-end*. Após o processamento dos dados, estes são mandados para o PC via placa PCI-6025. Sua lógica principal foi desenvolvida em um dispositivo de lógica programável (*Field Programmable Gate Array* - FPGA).

A placa injetora opera com 16 canais independentes e seus parâmetros de entrada (e.g nível de *threshold*, valor da carga de injeção, canal de injeção, etc.) são configurados e controlados pela placa NI-DAQ PCI-6025 e placa de controle. Cuidados especiais foram tomados em relação à confecção desta placa com o intuito de minimizar o nível de ruído por fatores de acoplamento e de interferência externa (e.g. acoplamento capacitivo, acoplamento indutivo, interferência eletromagnética, etc.).

A placa de aquisição de dados PCI-6025 tem como função principal gerar sinais de controle de tempo (e.g. tempo de contagem dos eventos, frequência de injeção de carga,

etc.), gerar sinais de configuração dos testes (nível de *threshold* e valor de carga a ser injetado) e efetuar a comunicação entre computador e hardware de controle externo.

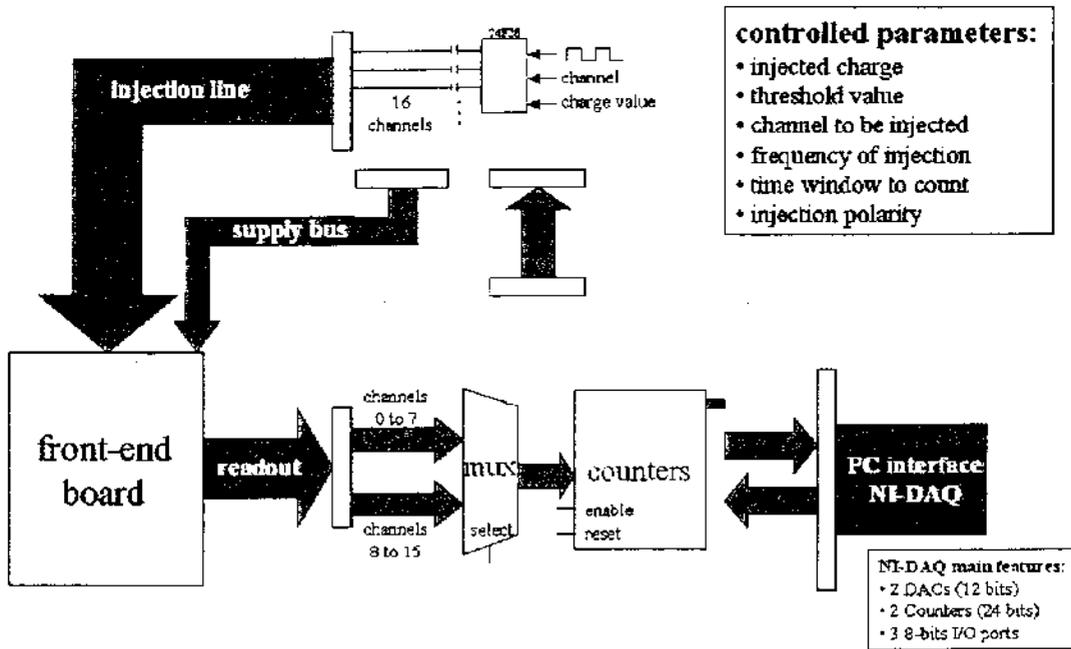


Figura 28 – Visão geral do hardware do sistema FEET

A figura 28 oferece uma visão geral do tráfego de sinais e dados do sistema FEET. Os quadros à direita informam, na posição superior, os principais parâmetros que podem ser controlados e, na posição inferior, os elementos da placa de aquisição de dados utilizados.

4.1.1 Interface

A interface do projeto é feita por intermédio da placa de aquisição de dados da *National Instruments* NI-DAQ PCI-6025E [22]. Essa placa é provida de 16 entradas analógicas (ADCs de 12 bits), 2 saídas analógicas (DACs de 12 bits com saída podendo

variar de ± 10 Volts), 32 saídas e entradas digitais e 2 contadores de 24 bits com pinos externos de controle de tempo. O hardware é acompanhado de uma biblioteca com uma série de instrumentos virtuais para serem incluídos no LabVIEW. Os componentes utilizados foram:

- 1) 24 bits de E/S (divididos em 3 portas bidirecionais de 8 bits: porta A, porta B e porta C).
 - 2) 2 DACs (programados por *software*).
 - 3) 2 contadores com seus pinos externos de controle de tempo.
- 1) A porta A é usada apenas como saída para controle dos processos de leitura e escrita do módulo de controle do FEET. A porta B é usada tanto para escrita como leitura: é utilizada como porta de saída quando queremos escrever nos componentes 74LS374 (*latches* baseados em flip-flops tipo D), e como porta de entrada para ler os contadores da FPGA (seção 4.1.2). Um bit da porta C está sendo usado para configuração do ganho do ASDQ++, os outros bits estão abertos para implementações futuras.
 - 2) Os DACs são programados por *software* valendo-se das ferramentas que acompanham a placa da *National Instruments*. Basta selecionar o DAC e o valor desejado, entre ± 10 Volts.
 - 3) A configuração dos contadores é feita por *software* de modo que o primeiro contador funcione em modo normal, ou seja, configurado para gerar um trem contínuo de pulsos; para isto basta selecionar a frequência, ciclo de trabalho e a base de tempo do contador (A base de tempo escolhida é sempre a base de tempo interna da placa NI-DAQ de 20MHz) e inicializar o contador para termos um *clock* na frequência escolhida. O segundo contador deve estar defasado de 90 ou 270 graus

para possibilitar a discriminação de injeção de carga positiva ou negativo como será visto com mais detalhes na seção 4.1.2 e 4.1.3. Para isto ser possível este deve trabalhar no modo de geração de pulso *retrigável* onde, após escolha da largura do pulso, tempo de atraso e da polaridade do pulso, basta inicializar o contador para que cada transição de subida em sua porta de controle (*gate*) gere um pulso com o atraso e duração conforme configurado (ver figura 29). A única implementação necessária no hardware foi a conexão da saída do contador 0 na porta de controle do contador 1.

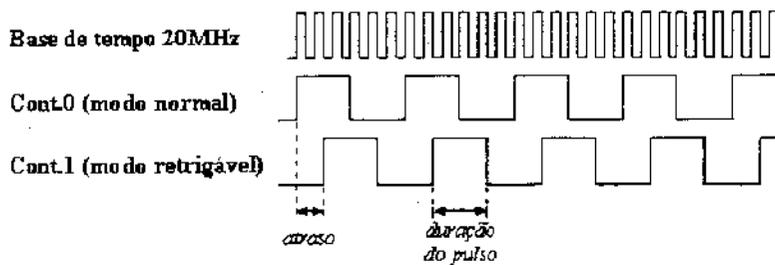


Figura 29 - Diagrama de tempo dos sinais de controle de injeção de pulso

4.1.2 Módulo de Controle

O módulo de controle é baseado em uma FPGA. Suas funções básicas, como mencionadas acima, são: Controlar o módulo de injeção (selecionar o canal ativo para injeção), receber os sinais LVDS da saída da *front-end* e converte-los para TTL e, a partir de 8 contadores, contar os 16 canais da *front-end*.

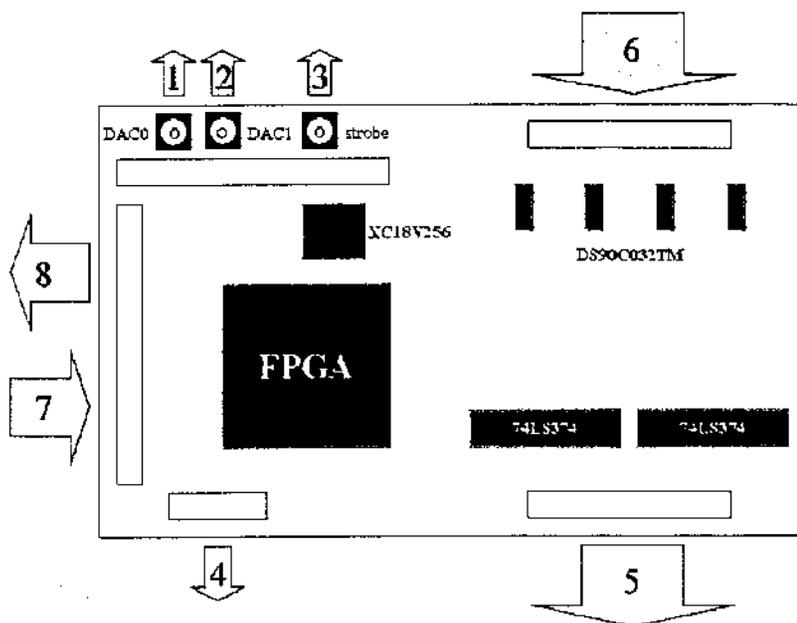


Figura 30 - Ilustração da placa de controle com os principais componentes e conectores.

Descrição dos sinais de I/O a partir da figura 30:

- 1) Sinal de um dos DACs da placa NI-DAQ que será usado pela placa injetora para gerar o sinal de *threshold* que será fornecido à placa de *front-end*. Conector lemo.
- 2) Sinal do segundo DAC da placa NI-DAQ que será usado pela placa injetora para gerar o pulso de injeção, sendo, o seu valor, proporcional à carga injetada. Conector lemo.
- 3) Sinal gerado na placa NI-DAQ que será usado pela placa injetora e funcionará como *strobe* na geração dos pulsos de injeção. Sua frequência será a frequência dos pulsos injetados. Conector lemo.
- 4) Deste conector apenas um canal está sendo usado, os outros estão conectados a porta C de I/O da placa da NI-DAQ. Este sinal será usado pela placa injetora para configurar o ganho do ASD (apenas para o ASDQ++).

- 5) Sinais gerados pelos circuitos integrados 74LS374 (*latches* baseados em flip-flops tipo D), cada um com 8 canais. Estes sinais selecionarão os canais de injeção da placa injetora que estarão ativos.
- 6) Sinais, padrão LVDS, gerados pela placa de *front-end*, 16 canais, que serão convertidos para o padrão TTL pelos componentes DS90C032TM e posteriormente levados à FPGA onde estarão ligados a 8 contadores de 24 bits dentro de uma lógica de multiplexação.
- 7) Os sinais recebidos pela placa de controle da placa NI-DAQ são: alimentação (+5V), portas de I/O A, B e C (1 byte cada porta), 2 sinais analógicos gerados por DACs (encaminhados à placa de injeção), 2 sinais digitais gerados pelos seus dois contadores de 24 bits e usados aqui como *timers* (um usado como *strobe* da placa injetora e outro controla o *enable* dos contadores da FPGA).
- 8) Sinais enviados para o computador via porta B da placa NI-DAQ onde os 24 bits dos 8 contadores da FPGA são enviados pela placa de controle.

Explicaremos o funcionamento lógico da FPGA de acordo com seu esquemático apresentado na figura 31. Os detalhes técnicos como gravação da FPGA e descrição do código em VHDL serão incluídos nos apêndices C e D.

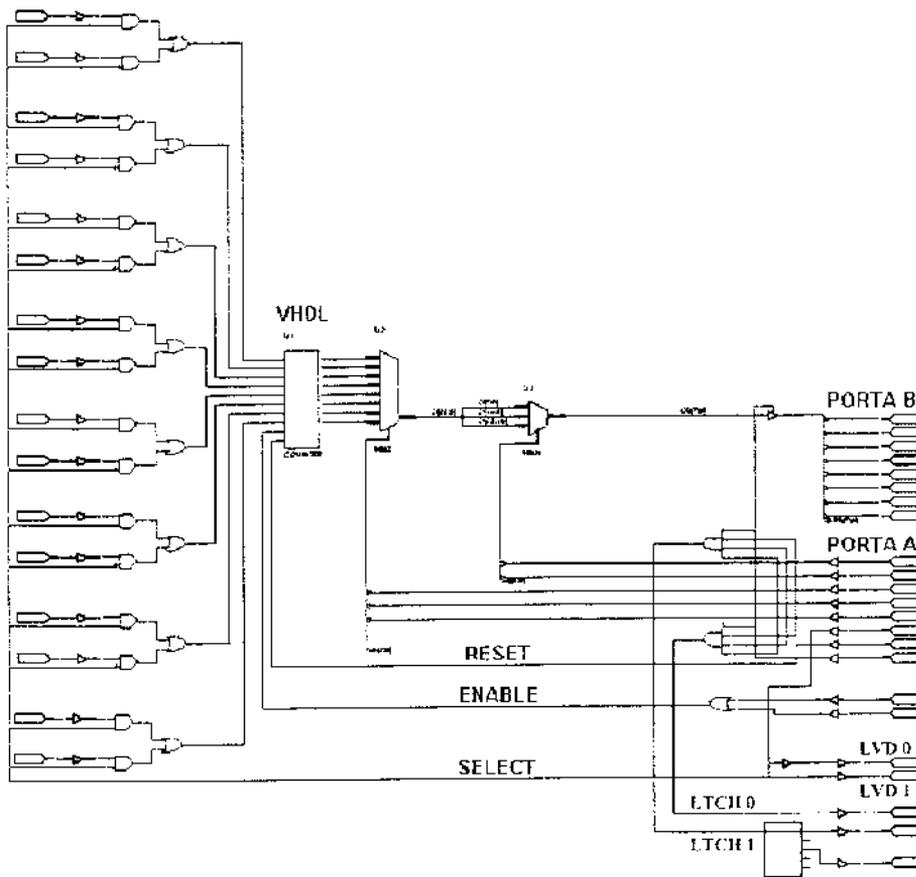


Figura 31 - Esquemático do circuito lógico da FPGA.

As 16 entradas à esquerda recebem 16 canais de saída do ASD. A lógica antecessora do bloco VHDL servirá para mascarar 8 canais por vez de acordo com o sinal *SELECT*. O bloco que recebe esses sinais foi escrito em VHDL, este podendo ser representado por 8 contadores paralelos de 24 bits com *ENABLE* e *RESET* conectados entre si. A saída dos '8 contadores' é multiplexada para que seja acessado um canal por vez, este canal, de 24 bits, deve ser separado em 3 barramentos de 1 byte e multiplexado para que seja possível a leitura dos dados com a utilização de apenas uma porta de 1 byte (porta B).

A porta A é usada para controle dos multiplexadores, para controle do sinal de *RESET* do bloco VHDL, para ativar a saída da porta B e para selecionar o grupo de canais a ser lido (canais de 0 a 7 ou canais de 8 a 15). Este último sinal também é usado para

selecionar os componentes DS90C032 como ativo ou inativo dependendo do grupo de sinais LVDS que está sendo lido.

O *ENABLE* dos contadores tem dois pinos de entrada na FPGA fazendo possível que o seu sinal de controle venha de dois locais diferentes, no momento estamos usando apenas um dos pinos. O *ENABLE* é controlado pelo sinal gerado em um dos contadores da placa NI-DAQ e é defasado de $|90|$ graus do sinal de *strobe* (ver figura 32), gerado no outro contador da placa de aquisição, para que seja possível a diferenciação entre pulsos negativos e positivos.

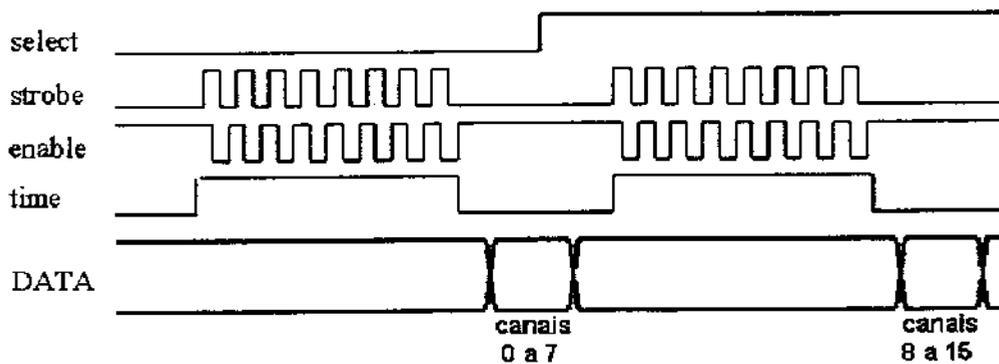


Figura 32 - Diagrama de tempo do processo de contagem de eventos

A função de cada sinal será primeiramente descrita de forma sucinta e posteriormente de forma detalhada:

- **select** – seleciona o grupo de canais a ser lido (sinal lógico 0 = canais de 0 a 7 ativos, sinal lógico 1 = canais de 8 a 15 ativos).
- **strobe** – este sinal, enviado ao injetor, é responsável pela taxa de injeção de carga (cada transição do sinal equivale a uma injeção de carga).
- **enable** – este sinal é o *enable* dos contadores (sinal lógico 1 = ativo).
- **time** – este sinal é gerado por *software* e sua função é determinar o tempo de contagem dos contadores (sinal lógico 1 = contagem em progresso).

- **DATA** – Barramento de leitura dos dados dos contadores, efetuado pela porta B da placa NI-DAQ (quando cinza = saída em alta impedância, quando em branco = processo de leitura dos contadores, este processo será visto com detalhes na continuação do documento).

O sinal *select* seleciona o grupo de canais que será lido, os canais de 0 a 7 ou os canais de 8 a 15. O *strobe* controla a taxa de injeção de pulso, injetando tanto carga negativa como carga positiva, e, por esta razão, deve sempre estar defasado de 90 ou 270 graus dependendo se queremos considerar as respostas ocasionadas devido à injeção de carga positiva ou de carga negativa (na transição de subida do *strobe* estamos injetando carga positiva e na transição de descida, carga negativa). O *enable* controla, através desta defasagem, se será lido o sinal de resposta do ASD da injeção de carga positiva ou de carga negativa. Podemos escolher a taxa de injeção do sinal mudando as frequências dos sinais *strobe* e *enable*. Após o tempo de leitura do primeiro grupo de canais, o sinal *select* deve selecionar o segundo grupo e então o processo deve ser repetido até a leitura dos novos dados.

O processo de leitura dos dados será descrito separadamente a partir da figura 33.

Após cada processo de contagem dos canais do ASD, um processo de leitura deve ocorrer. A rotina de leitura foi desenvolvida de modo que apenas uma porta de um byte fosse utilizada (a porta B da NI-DAQ). Levando em consideração a existência de 8 contadores de 24 bits, o primeiro passo seria multiplexar os canais dos contadores para depois um byte por vez ser lido, do byte menos significativo para o mais significativo (padrão estipulado). Como a porta B pode ser usada tanto para leitura como para escrita de dados, um *buffer enable* foi usado para evitar qualquer conflito de barramento.

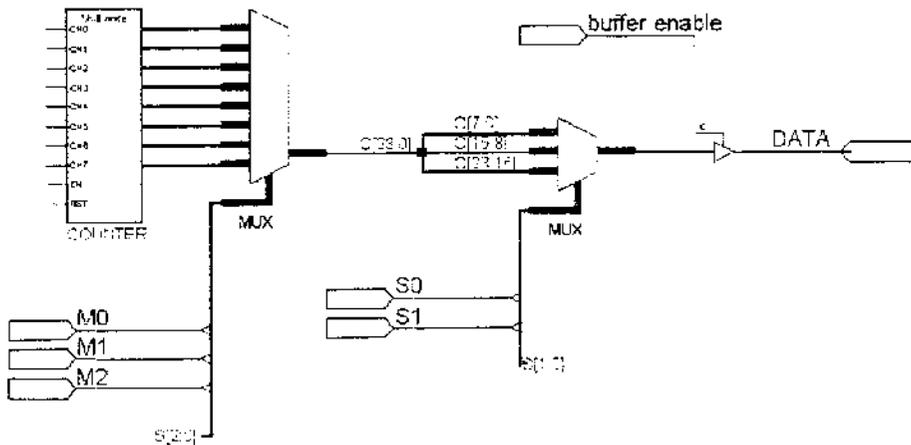


Figura 33 - Ilustração do esquemático relativo ao processo de leitura do bloco VHDL.

A figura 34 apresenta o diagrama de tempo do processo de leitura dos dados. Aqui iremos dispensar a explicação das funções dos sinais ($M0$, $M1$, $M2$, $S0$, $S1$, *buffer enable* e *DATA*) por entendermos que este está bem explicitado na figura 33.

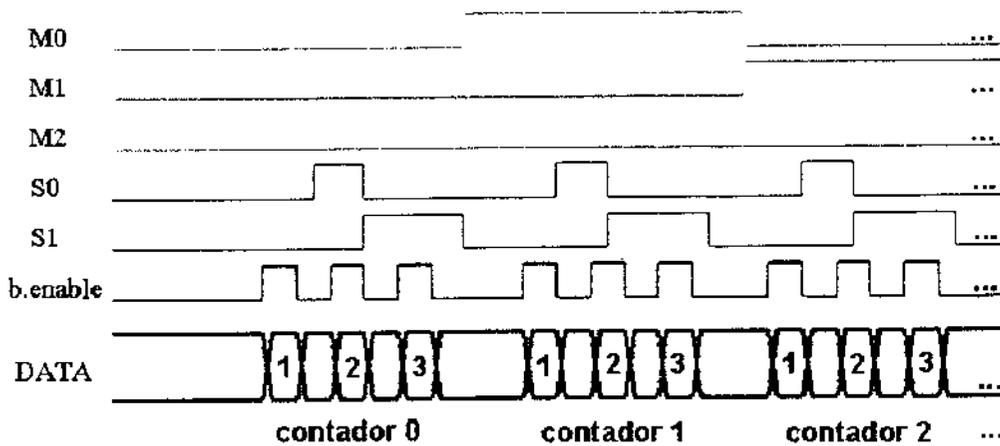


Figura 34 - Diagrama de tempo do processo de leitura do bloco VHDL.

Em cada processo de leitura, 8 contadores de 3 bytes devem ser lidos. Os sinais $M0$, $M1$ e $M2$ selecionam o contador a ser lido e $S0$ e $S1$ selecionam, dos 3 bytes de cada contador, 1 byte por vez para que este seja lido pela porta B da placa NI-DAQ. O *buffer*

enable entra em estado lógico 1 apenas quando o barramento de leitura está configurado para leitura de dados caso contrário, a saída do barramento fica em alta impedância.

A seguir serão descritas as funções dos sinais restantes da figura 31: LTCH0 e LTCH1, e, LVD0 e LVD1.

O LVD0 e LVD1 são sinais de *enable* dos componentes DS90C032TM, logo, quando os canais de 0 a 7 estão sendo lidos, apenas os dois componentes relativos a estes canais estão ativos. Ao fim da leitura destes canais esses componentes entram em estado inativo e os outros dois se tomam ativos. Estes dois sinais estão conectados ao sinal *select*, sendo um invertido em relação ao outro.

Os sinais LTCH0 e LCTH1 são os sinais de *clock* dos dois componentes 74LS374 (*latches* baseados em flip-flops tipo D acionados na transição do sinal de *clock*, cada componente contém 8 canais) são controlados pelos sinais S0, S1, M0 e *enable* e, quando estes passam para um estado lógico correspondente a 0, 1, 1 e 0, o que estiver escrito na porta B (NI-DAQ) será escrito na saída de um dos componentes e quando es sinais de controle passam para o estado lógico 1, 1, 1 e 0, a saída do segundo componente recebe o byte da porta B. Desta maneira é selecionado o canal da placa de injeção que irá estar ativo, injetando carga no ASD.

A Tabela 3 faz uma correlação entre os nomes dos sinais descritos acima com os nomes relativos a placa NI-DAQ.

Tabela 3 - Correlação entre sinais da FPGA e da placa NI-DAQ

S0	Porta A bit 0
S1	Porta A bit 1
M0	Porta A bit 2

M1	Porta A bit 3
M2	Porta A bit 4
select	Porta A bit 5
reset	Porta A bit 6
buffer enable	Porta A bit 7
DATA	Porta B (1 byte)

4.1.3 Módulo de Injeção de Carga

O módulo de injeção tem como função injetar uma carga de amplitude controlada, de forma independente, para 16 canais, e controlar e alimentar o ASD a partir dos sinais recebidos do módulo de controle e da placa de aquisição NI-DAQ. A placa de injeção é baseada no componente 74F38 (4 NANDs de 2 entradas com saída de coletor aberto).

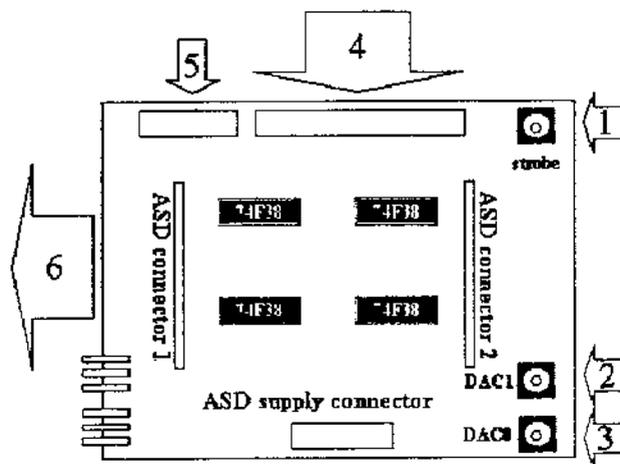


Figura 35 - Ilustração da placa injetora com os principais componentes e conectores.

Descrição dos sinais de I/O a partir da figura 35:

- 1) Sinal de *strobe* gerado pela placa NI-DAQ. Será usado como *strobe* do sinal de injeção de carga via componente 74F38.

- 2) Sinal de um dos DACs da placa NI-DAQ. Será usado para controlar o valor de carga injetada.
- 3) Sinal do outro DAC da placa NI-DAQ. Será usado para o controle do nível do sinal de *threshold* do ASD.
- 4) 16 sinais de seleção de canal de injeção, gerados nos componentes 74LS374.
- 5) 6 bits da porta C da placa da NI-DAQ. Apenas um é usado para selecionar o ganho do ASDQ++.
- 6) Saída da *front-end*, 16 canais padrão LVDS.

Os valores dos DACs são primeiro atenuados e então passam por um *buffer*, ver figura 36, (não está incluído na figura 35) para então serem usados para configuração do valor de *threshold* e de carga de injeção.

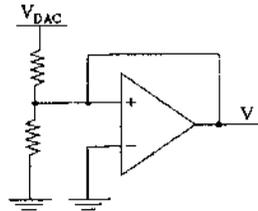


Figura 36 - Atenuação do sinal do DAC e *buffer* de entrada (válido para os dois DACs)

Para testar uma placa de *front-end* precisamos excitar os canais ASD por meio de injeção de carga. O tempo de injeção deve ocorrer em torno de 4ns sendo que o tempo de pico (tempo necessário para o pulso modelado atingir sua amplitude máxima) da *front-end* é de 8ns. Para que o déficit balístico seja minimizado, o tempo de injeção deve ser menor que o tempo de pico da *front-end* [8] [23].

O componente 74F38 é usado para a geração dos pulsos. Com ele podemos gerar um sinal de onda quadrada com amplitude regulável, sendo assim, é possível injetar pulsos positivos e negativos, ver figura 37.

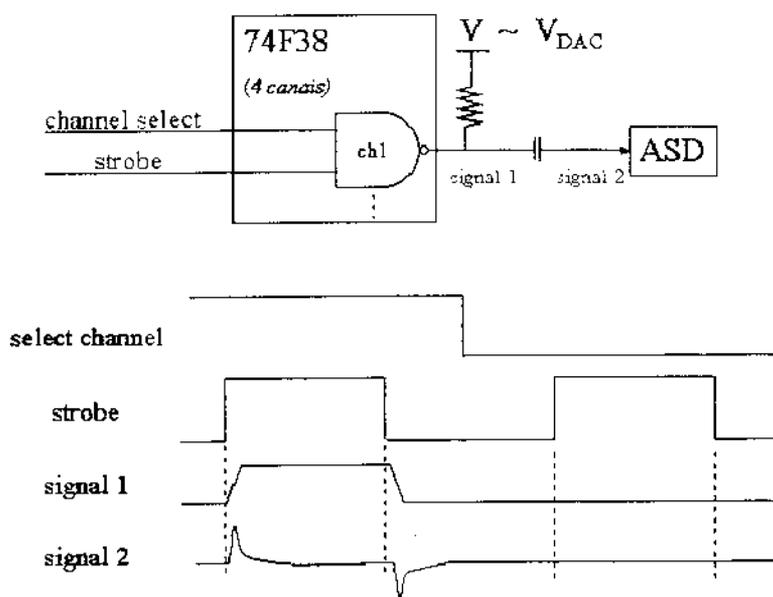


Figura 37 - Esquema básico do processo de injeção e diagrama de tempo de seu controle.

Basicamente, de acordo com a figura 37, a injeção de carga ocorre através do capacitor devido a transição tanto de descida como subida do *signal 1*, onde o valor da carga injetada é $Q = C \cdot \Delta V$. O valor ΔV é proporcional ao valor do DAC que o alimenta e pode variar de 10 volts negativos até 10 volts positivos com passo de $\approx 5\text{mV}$ (características dos DACs usados). Temos que o capacitor usado na injeção é de 1pF e desejamos ter um valor máximo de carga em torno de 200fC , sendo assim podemos atenuar o sinal de DAC em até 50 vezes fazendo com que tenhamos teoricamente um passo em volts de $0,1\text{mV}$ e em carga de $0,1\text{fC}$. Trabalhar com valores dessa magnitude é impossível devido ao ruído, porém eles servem apenas para frisar que nossa resolução estará limitada ao ruído e não as limitações de hardware.

Existem 16 canais de injeção e 16 canais de controle *channel select*. O sinal *channel select* é usado para selecionar o canal a ser injetado (apenas um canal por vez é selecionado). Após seleção do canal, a injeção passa a acontecer de acordo com a

frequência do sinal de *strobe* e, de acordo com a tensão no terminal do resistor dada por $V \sim V_{DAC}$. Como mencionado acima, o tempo de transição do sinal *signal 1* deve ser em torno de 4ns e, a transição dos sinais *strobe* e *channel select* devem respeitar as especificações do componente 74F38.

A figura 38 mostra, à esquerda, um sinal de injeção de carga positiva de valor igual a 100fC e, à direita, a média de 120 amostras do sinal. O tempo de subida do sinal garante que toda a carga injetada será lida pela *front-end*.

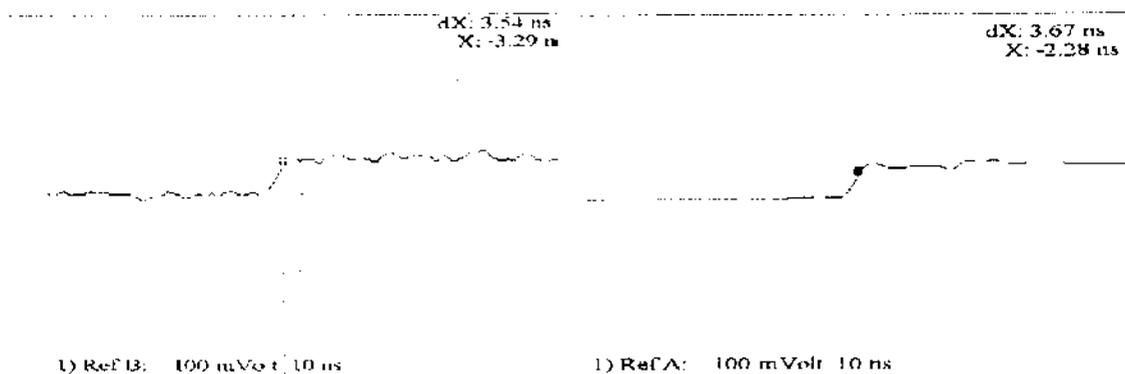


Figura 38 - Sinal gerado pela placa de injeção (polaridade positiva)

Na figura 39 temos um sinal relativo à injeção de carga negativa de valor de 100fC e a média de 128 amostras do sinal. Aqui, embora o tempo de descida seja um pouco mais longo que o sinal para injeção de carga positiva, este ainda se encontra em condições de ser lido pela *front-end* sem que haja perda significativa de seu valor.

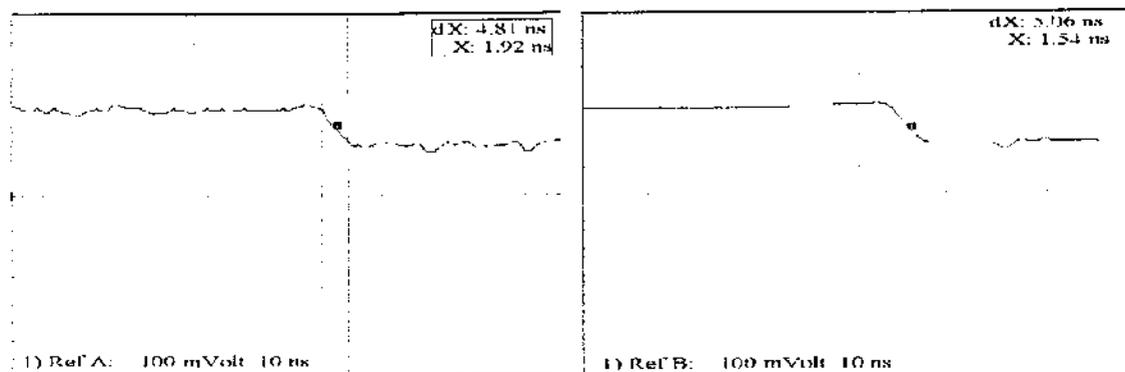


Figura 39 - Sinal gerado pela placa de injeção (polaridade negativa)

Para otimizar a relação sinal/ruído, uma nova placa de injeção de pulsos foi implementada com 4 camadas. Atenuadores que possibilitem trabalhar com sinais de maiores amplitudes nos terminais do 74F38 podem ser implementados. Outro fator que contribui para o ruído é a utilização de um cabo, da *National Instruments*, sem alguma blindagem, onde sinais analógicos e digitais trafegam próximos (e.g. sinal do contador com tempo de subida em torno de 5ns).

Testes de linearidade foram feitos no injetor. A figura 40 mostra o esquema utilizado. Foram usados os seguintes sistemas: ECS (Sistema de Controle da Placa Injetora), amplificador de carga, amplificador de tensão, MCA (Analisador Multicanal) e computador para leitura e processamento dos dados.

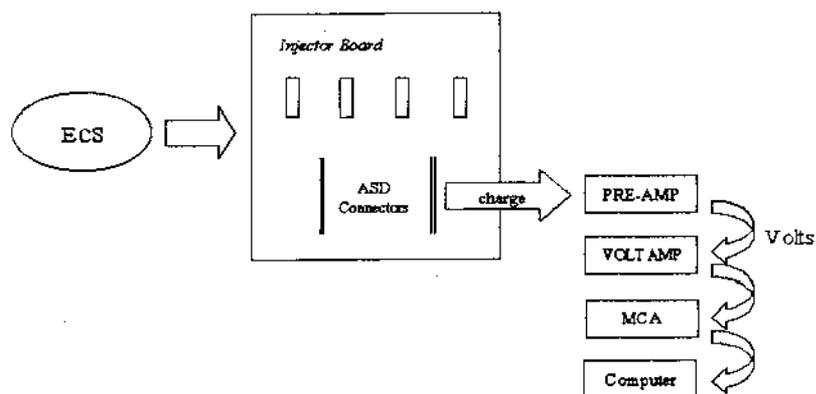


Figura 40 - Esquema para caracterização da placa injetora de carga

Todos os blocos, da figura 40, utilizados aqui foram calibrados antes do início dos testes.

A figura 41 apresenta a sensibilidade da placa injetora em relação à carga injetada e o valor do DAC. O desvio padrão encontrado entre os canais foi de 0,28mV/fC.

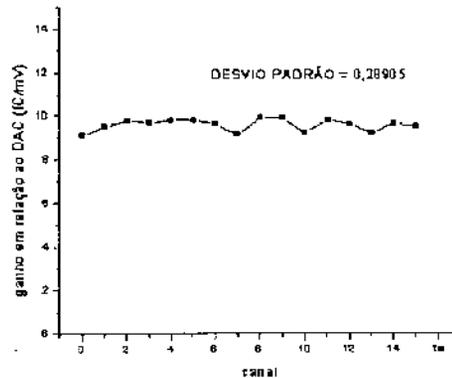


Figura 41 - Erro entre os canais de injeção

Este erro permite o teste qualitativo das placas de *front-end*, porém para o teste quantitativo dos parâmetros que caracterizam uma placa deve-se utilizar o modo de calibração por canal (seção 4.2.1) onde este erro pode ser minimizado.

4.2 Protocolo de medidas

O protocolo de medida foi, em primeira instância, desenvolvido de maneira isolada para cada teste: teste de conectividade, *crosstalk*, ruído, sensibilidade e *Rate-Method*. Até a fase de definição das rotinas de cada teste, a entrada de parâmetros de controle e de calibração ainda eram feitos isoladamente, após esta fase houve a necessidade de integrar todos os testes em um único ponto onde todos os parâmetros pudessem ser definidos de uma única vez e todas as rotinas de teste pudessem ser acessadas, para isto foram criados os painéis de calibração (seção 4.2.1) e de controle (seção 4.2.8). Na definição da estrutura de controle uma rotina de teste teve que ser pensada e implementada de acordo com o objetivo final do projeto: testar as placas de *front-end* e mapear o comportamento do teste *Rate-Method* no menor espaço de tempo possível.

A calibração deve ocorrer quando o sistema FEET estiver sendo usado pela primeira vez ou sempre que houver a necessidade de verificação ou correção dos parâmetros de

calibração. A primeira etapa, pós-calibração, é o ajuste de todos os parâmetros a serem usados nas rotinas de teste (e.g. valor do nível de *threshold* para teste de *crosstalk*, início, fim e passo para a varredura em carga no teste da *scurve*, etc). Uma vez ajustados esses valores deve-se voltar a esta etapa somente se houver necessidade de uma nova configuração de teste. Somente depois de ajustados todos os parâmetros o teste pode começar. O primeiro teste, teste de conectividade, além de verificar se os canais estão respondendo corretamente aos pulsos injetados, este decide se a placa deve continuar a ser testada normalmente. Se a placa apresentar qualquer problema no teste de conectividade isto indica que a placa deve ser devolvida ao fabricante ou consertada no próprio instituto e, assim, não sendo mais necessário continuar com os testes até que seus defeitos sejam corrigidos. Porém, para que o defeito possa ser mais bem avaliado e para gerar um banco de dados que possa servir para uma melhor compreensão do *Rate-Method*, este sempre ocorrerá, mesmo quando a placa for rejeitada pelo sistema. Devido à possibilidade do uso do sistema para a caracterização da *front-end*, a arquitetura do *software* foi desenvolvida de maneira que seja possível optar por fazer testes isolados, sem que seja necessário obedecer à rotina elaborada para o teste das placas que saem da linha de produção. Ao término dos testes um relatório é criado com todas as tabelas geradas e o diagnóstico com as mensagens dos erros que possam ter ocorrido no processo. Ainda existe a possibilidade de arquivar os dados dos testes de ruído, sensibilidade e *Rate-Method* para reprodução futura das respectivas curvas (esses dados correspondem aos pontos que formam a curva de cada teste).

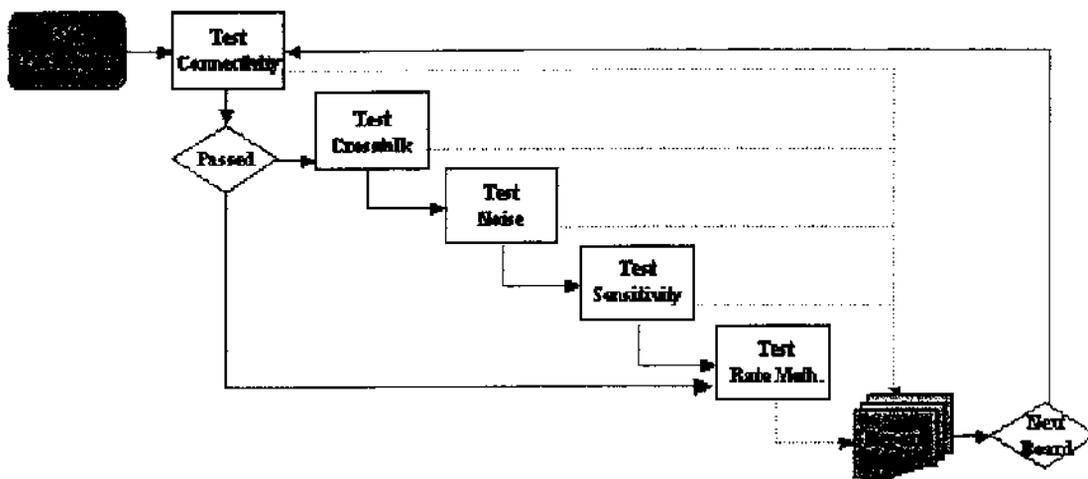


Figura 42 - Protocolo de teste da eletrônica de *front-end*

Como podemos verificar no diagrama da figura 42, após a configuração dos parâmetros de teste várias placas podem ser testadas em série sem mais preocupações. Também é possível notar a condição para que o processo continue após o teste de conectividade, caso haja qualquer erro neste teste, o diagrama pula para o teste *Rate-Method* e arquiva os resultados. As linhas pontilhadas indicam a transferência das tabelas e das mensagens de erro para o relatório final.

4.2.1 Calibração

A calibração deve ser feita tanto para o valor da carga de injeção como o valor do nível de *threshold* aplicado à *front-end*. O painel de calibração, figura 43, foi desenvolvido para facilitar a operação do sistema. Após configuração dos parâmetros, é possível criar um arquivo com todos os valores de forma a possibilitar o uso deste em medidas futuras.

A calibração do valor de *threshold* é feita a partir da curva de linearidade entre DAC (eixo Y) e valor real de *threshold*, medido diretamente na *front-end* (eixo X), e então entrando com os valores A e B (para $A+Bx$) no painel de calibração.

Para a calibração do pulso existem dois modos diferentes de calibração e duas maneiras previstas de medida dos parâmetros de calibração. Os dois modos de calibração da injeção de carga são: o modo geral e o modo por canal. O primeiro caso parte do princípio que não existe diferença de ganho entre os canais (o que na prática é impossível) e oferece um único par de parâmetros A e B para todos os canais. O modo por canal deve ser usado quando houver uma necessidade de medidas mais precisas das características da *front-end*, onde o sistema considera as diferenças entre os canais, possibilitando a entrada de parâmetros individuais por canal, ou seja, para o canal 0 vão existir os parâmetros Ach0 e Bch0, para o canal 1 os parâmetros Ach1 e Bch1, etc.

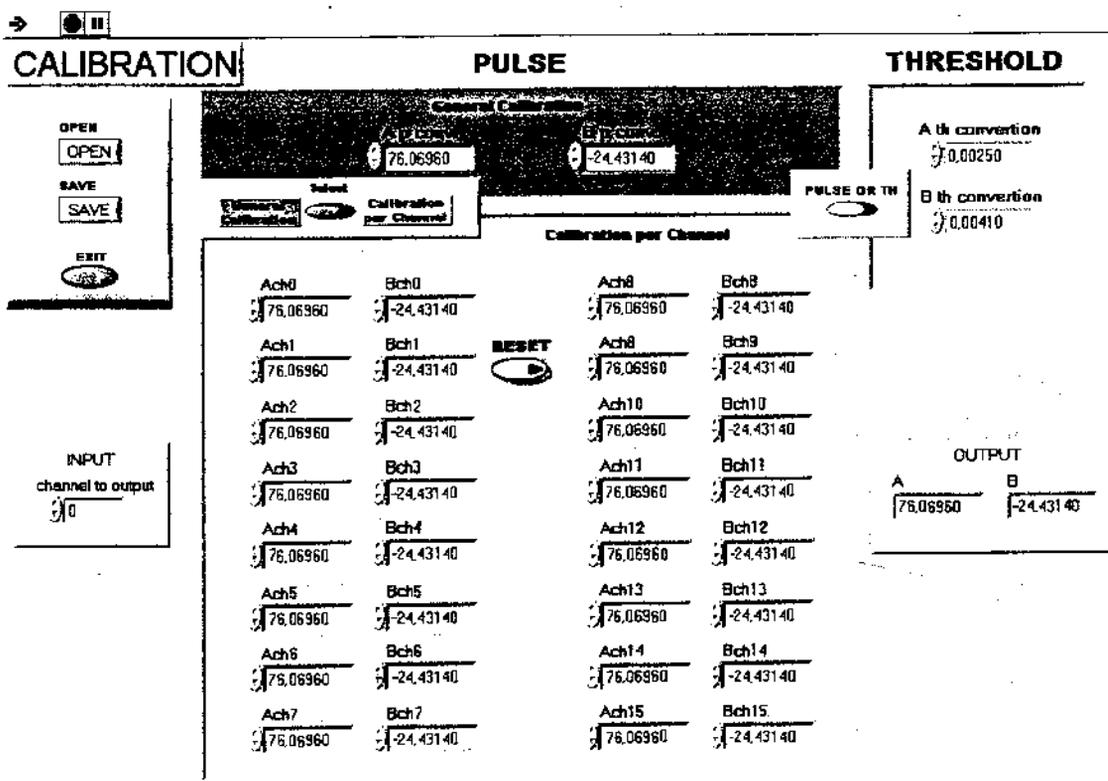


Figura 43 - Painel de calibração

A primeira forma prevista de aquisição dos parâmetros de calibração de valor de pulso é por medida direta, no osciloscópio, da amplitude ΔV do sinal de entrada (eixo X)

para diferentes valores de DAC (eixo Y). Isto é possível medindo o sinal no ponto *signal 1* da figura 37. Usando este método é possível criar uma reta como o gráfico da figura 44 e tirar os parâmetros A e B da calibração.

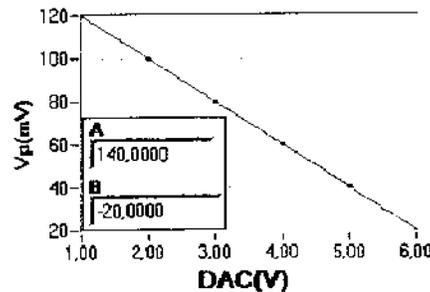


Figura 44 - Modelo do gráfico utilizado para obtenção dos parâmetros de calibração

Outra maneira de adquirir estes parâmetros é com a utilização de uma *front-end* conhecida, valores de sensibilidade e *offset* conhecidos, e usando o próprio programa de teste de sensibilidade (seção 4.2.6) de maneira a obter a curva de sensibilidade entre DAC e carga, para tal basta entrar com os seguintes valores para calibração geral de pulso: $A = 0$ e $B = 1$.

4.2.2 Template

Para cada teste existe uma rotina específica que oferece a possibilidade de salvar a configuração presente (valores dos parâmetros de teste) e ler os valores de um arquivo criado previamente, porém, devido ao grande número de variáveis, fez-se necessário à implementação de uma estrutura onde todos os parâmetros pudessem ser salvos e lidos em uma única janela. O painel *Template*, ver figura 45, possibilita criar, mudar e ler arquivos que serão automaticamente usados nos procedimentos de teste. Várias configurações de teste podem ser criadas e armazenadas. Logo, antes de qualquer teste, deve-se entrar no painel *Template* e carregar um arquivo, caso este já exista, com os parâmetros que serão

usados no teste a ser feito ou, então, entrar com novos valores para os parâmetros de teste. Isso pode ser feito de duas maneiras, ou a partir do próprio *Template* ou a partir dos painéis de cada teste.

Figura 45 - Painel para entrada dos parâmetros de teste (*template*)

O botão [WR] permite a criação ou substituição de um arquivo, o botão [RD] possibilita a leitura de um arquivo existente e o botão [EXIT] volta ao painel principal.

A Tabela 4 apresenta os parâmetros de configuração usados por todos os testes. Os parâmetros específicos de cada teste serão descritos nas próximas seções quando explicaremos o seu funcionamento.

Tabela 4 - Parâmetros gerais de configuração

Ath e Bth	Valores de conversão do valor de DAC(V) para nível de <i>threshold</i> (mV)
Ap e Bp *	Valores de conversão do valor de DAC(V) para carga (fC)

Vth **	Valor do nível de <i>threshold</i> (mV)
Hz *	Frequência de injeção (Hz)
Nº of samples	Número de amostras por ponto (média dos valores)
Gain ***	Configuração de ganho (apenas para o ASDQ++)
While	Tempo de contagem para os contadores (ms)
Wait	Tempo de estabilização (ms)

* não é usado no teste *Rate-Method*

** não é usado no teste de sensibilidade

*** importante apenas para a *front-end* baseada no ASDQ++

O parâmetro [*While*] especifica a janela de tempo em que os contadores ficam ativos (sinal *time* na figura 32). O parâmetro [*Wait*] define o tempo entre a mudança do valor de *threshold* e o início da aquisição de sinal, esta mudança de tensão requer um tempo para que o seu valor se estabilize. [*Nº of samples*] define o número de aquisições para a determinação de um ponto a partir da média dos valores adquiridos. O parâmetro [*Gain*] é utilizado apenas para o ASDQ++ pois, diferentemente da *front-end* baseada no CARIOCA, este oferece a opção de escolher entre dois ganhos diferentes para a amplificação do sinal de entrada. Os parâmetros correspondentes aos valores de conversão foram discutidos na seção anterior. [*Hz*] define a frequência de injeção dos pulsos e [*Vth*] o valor de *threshold* que será usada no circuito discriminador da *front-end*.

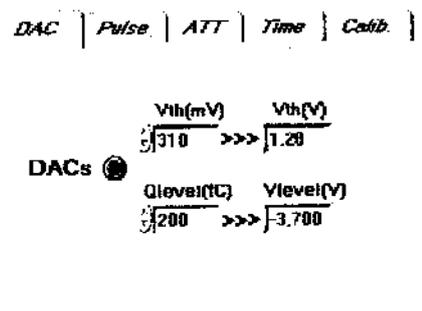


Figura 46 - Quadro de acesso aos parâmetros gerais, presente em todos os painéis

O quadro, apresentado na figura 46, está presente em todos os painéis de teste para possibilitar o acesso a todos os parâmetros gerais.

4.2.3 Teste de Conectividade

O teste de conectividade, além de testar as conexões dos canais, indicando canais em curto e/ou abertos, agiliza o processo de teste uma vez que evita que testes sem propósito ocorram. É conhecido que em uma linha de produção da indústria eletrônica os problemas de montagem são os maiores responsáveis por falhas, porém o problema, se diagnosticado e identificado, é na maioria dos casos de fácil correção, podendo assim ser corrigido no próprio instituto.

Os parâmetros específicos do teste de conectividades são apresentados na Tabela 5.

Tabela 5 - parâmetros do teste de conectividade

Min ON	Limite mínimo aceito de contagem do canal injetado (%)
Max ON	Limite máximo aceito de contagem do canal injetado (%)
Max OFF	Limite máximo aceito de contagem dos canais não injetados (%)
Qp	Carga de injeção (fC)

[*Qp*] é o valor da carga do sinal de injeção, para este teste, um valor de 100fC a 200fC é usado com um *threshold* equivalente a 50fC. Os parâmetros [*Min ON*] e [*Max ON*] correspondem, respectivamente, aos valores mínimo e máximo que o canal que está sendo injetado pode atingir, se esses forem ultrapassados duas mensagens de erro podem ser geradas indicando ou canal aberto ou canal ruidoso. [*Min OFF*] é um outro parâmetro de diagnóstico e corresponde ao valor máximo que os canais que não estão sendo injetados

podem obter, este parâmetro é utilizado para diagnosticar curto-circuito. Cada mensagem de erro é acompanhada de mais uma informação indicando o canal que apresentou o erro.

Todos os valores de diagnósticos são em porcentagem assim como os valores apresentados na tabela da figura 47.

CONNECTIVITY TABLE (%)																
	Ch0	Ch1	Ch2	Ch3	Ch4	Ch5	Ch6	Ch7	Ch8	Ch9	Ch10	Ch11	Ch12	Ch13	Ch14	Ch15
Ch0	100	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Ch1	0	100	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Ch2	0	0	100	0	0	0	0	0	0	0	0	0	0	0	0	0
Ch3	0	0	0	100	100	0	0	0	0	0	0	0	0	0	0	0
Ch4	0	0	0	100	100	0	0	0	0	0	0	0	0	0	0	0
Ch5	0	0	0	0	0	100	0	0	0	0	0	0	0	0	0	0
Ch6	0	0	0	0	0	0	100	0	0	0	0	0	0	0	0	0
Ch7	0	0	0	0	0	0	0	100	0	0	0	0	0	0	0	0
Ch8	0	0	0	0	0	0	0	0	100	0	0	0	0	0	0	0
Ch9	0	0	0	0	0	0	0	0	0	100	0	0	0	0	0	0
Ch10	0	0	0	0	0	0	0	0	0	0	100	0	0	0	0	0
Ch11	0	0	0	0	0	0	0	0	0	0	0	100	0	0	0	0
Ch12	0	0	0	0	0	0	0	0	0	0	0	0	100	0	0	0
Ch13	0	0	0	0	0	0	0	0	0	0	0	0	0	100	0	0
Ch14	0	0	0	0	0	0	0	0	0	0	0	0	0	0	100	0
Ch15	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	100

Figura 47 - Tabela gerada pelo teste de conectividade (%)

Esta tabela é um bom exemplo do teste de conectividade, nela podemos notar um curto-circuito entre os canais 3 e 4. A partir dos valores que estão no gráfico uma mensagem indicando curto entre esses canais foi gerada. Posteriormente o erro foi comprovado e corrigido.

O painel do teste de conectividade está apresentado na figura 48, ele pode ser acessado fora da rotina de teste possibilitando assim testes dos parâmetros utilizados como valor de *threshold*, valor de carga injetada, tempo de contagem, número de amostras, valores de diagnósticos entre outros. Esses testes podem ser usados de forma a facilitar a escolha dos parâmetros de teste. Deste painel também é possível criar, ou carregar, um arquivo existente com os valores nele presentes, pressionando o botão [LOAD]. Também é

possível a visualização da contagem, de todos os canais da *front-end*, de acordo com a taxa de injeção pelo gráfico (parte superior da figura) e pela componente [*Channel Array*].

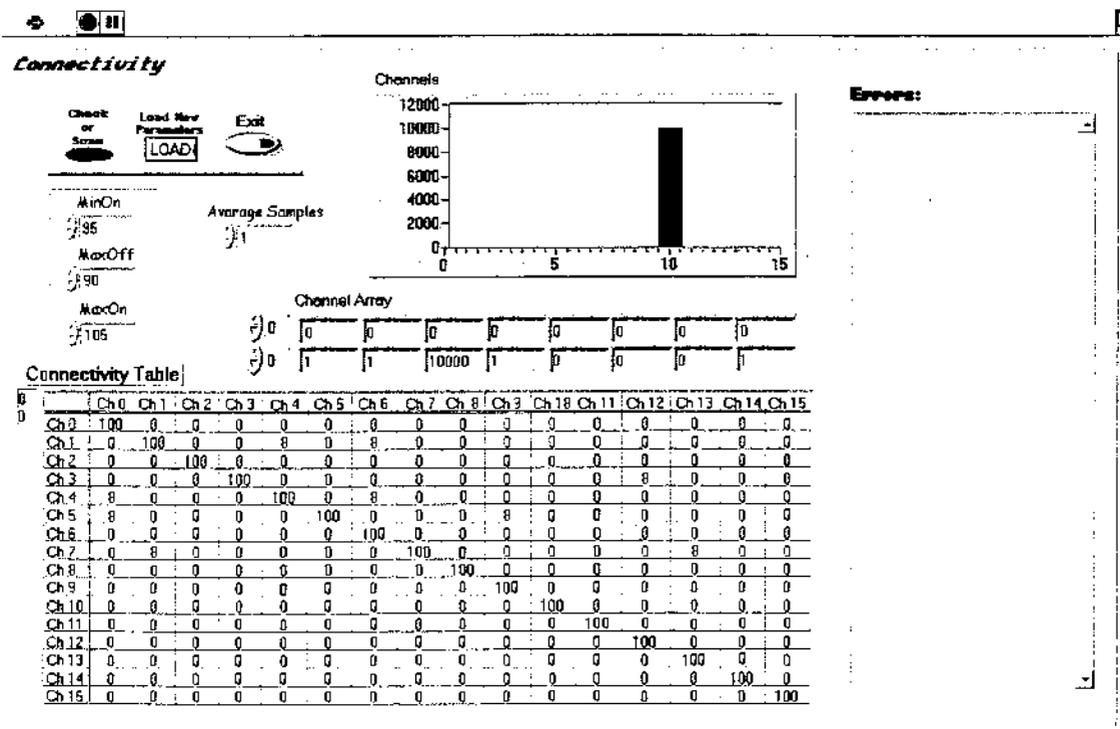


Figura 48 - Painel do teste de conectividade

Na rotina de teste, quando um canal apresenta um erro, este é excluído dos outros testes com exceção do *Rate-Method*. Este procedimento agiliza os testes e facilita a leitura das tabelas geradas. Os canais que não apresentarem problema irão realizar todos os outros testes normalmente.

4.2.4 Teste de Crosstalk

Problemas de *crosstalk* devem ser controlados pois eles podem aumentar bastante o erro na análise dos dados adquiridos. Este teste funciona de forma similar com o teste de conectividade, apenas o processo de diagnóstico e o valor do nível de *threshold* devem ser diferentes. Esse tipo de problema geralmente está relacionado à falha de fabricação do

circuito integrado, sendo assim necessário, caso um nível elevado de *crosstalk* seja identificado, a devolução deste à empresa responsável por sua produção.

O teste de *crosstalk* é feito mantendo-se o *threshold* em nível baixo, com um valor em Volts relativo a 10fC (este será o valor usado nos detectores MWPC do sistema de múons do LHCb) e injetando uma carga qualquer (e.g. 100fC). Os canais são injetados um de cada vez; em cada injeção, todos os canais são lidos e seus valores computados. O processo se repete até todos os canais serem varridos e seus valores informados em termos de porcentagem do número de pulsos injetados. Os valores da carga injetada e do nível de *threshold* podem ser configurados a partir do *software*. A figura 49 apresenta uma tabela gerada pelo teste de *crosstalk*.

CROSSTALK TABLE (%)																
	Ch0	Ch1	Ch2	Ch3	Ch4	Ch5	Ch6	Ch7	Ch8	Ch9	Ch10	Ch11	Ch12	Ch13	Ch14	Ch15
Ch0	100	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Ch1	0	100	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Ch2	0	0	100	0	0	0	0	0	0	0	0	0	0	0	0	0
Ch3	0	0	0	100	0	0	0	0	0	0	0	0	0	0	0	0
Ch4	0	0	0	0	100	0	0	0	0	0	0	0	0	0	0	0
Ch5	0	0	0	0	0	100	0	0	0	0	0	0	0	0	0	0
Ch6	0	0	0	0	0	0	100	0	0	0	0	0	0	0	0	0
Ch7	0	0	0	0	0	0	0	100	0	0	0	0	0	0	0	0
Ch8	0	0	0	0	0	0	0	0	100	0	0	0	0	0	0	0
Ch9	0	0	0	0	0	0	0	0	0	100	0	0	0	0	0	0
Ch10	0	0	0	0	0	0	0	0	0	0	100	0	0	0	0	0
Ch11	0	0	0	0	0	0	0	0	0	0	0	100	0	0	0	0
Ch12	0	0	0	0	0	0	0	0	0	0	0	0	100	0	0	0
Ch13	0	0	0	0	0	0	0	0	0	0	0	0	0	100	0	0
Ch14	0	0	0	0	0	0	0	0	0	0	0	0	0	0	100	0
Ch15	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	100

Figura 49 - Tabela gerada pelo teste de *crosstalk*

Caso uma placa apresente um valor de *crosstalk* maior que o especificado pelo experimento, ela não poderá ser utilizada.

Os parâmetros específicos do teste de *crosstalk* são:

Tabela 6 - Parâmetros internos do teste de *crosstalk*

MaxCrosstalk	Limite máximo de <i>crosstalk</i> aceito (%)
Qp	Carga de injeção (fC)

Este teste apresenta apenas um parâmetro de diagnóstico, o [MaxCrosstalk] que corresponde ao valor máximo de *crosstalk* que os canais, que não estão sendo injetados, podem alcançar, caso o valor de *crosstalk* seja maior que este, uma mensagem de erro é gerada indicando a falha e o canal respectivo. [Qp], como no teste de conectividade, define o valor de carga a ser injetada em femto coulomb (fC).

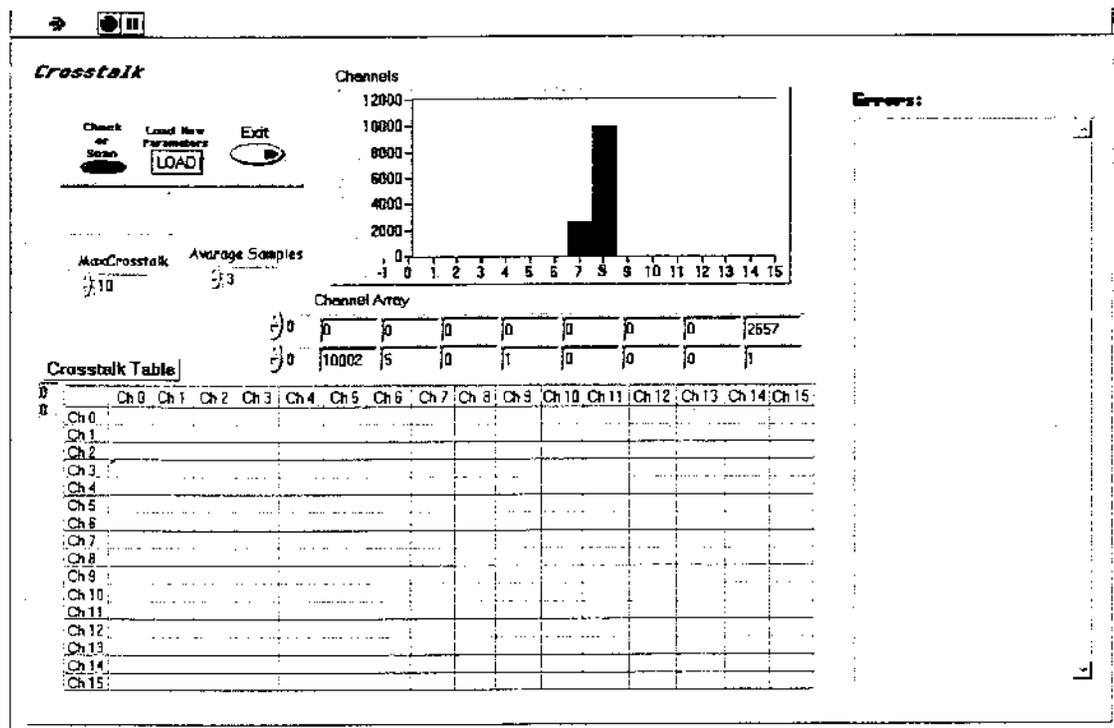


Figura 50 - Painel do teste de *crosstalk*

O painel de *Crosstalk* apresentado na figura 50 funciona da mesma forma que o painel do teste de conectividade, apenas os parâmetros de diagnóstico são diferentes.

4.2.5 Teste de Ruído (*Scurve*)

A medida de ruído da *front-end* é feita a partir da aquisição e medição dos parâmetros da *scurve*. Esta é obtida por varredura do valor da amplitude do pulso injetado para um dado valor de *threshold*. A contagem então permanece em zero enquanto a amplitude do pulso está bem abaixo do sinal de *threshold*, e então começa a subir, respeitando a função de erro, quando o sinal total (sinal + ruído) atinge o limiar do *threshold* e, enfim, quando o sinal total atravessa por completo o *threshold* a contagem chega a 100% ou 1 como mostrado nas figuras 51 e 53. Sendo assim, quanto maior o ruído, mais larga será a curva. Se o ruído fosse zero a transição de 0 a 1 ou 0% a 100% de contagem, seria imediata, ver figura 51 (a *scurve* adquirida com o aumento do *threshold* deve ser igual a *scurve* adquirida com o aumento do valor de pulso sendo apenas invertida horizontalmente).

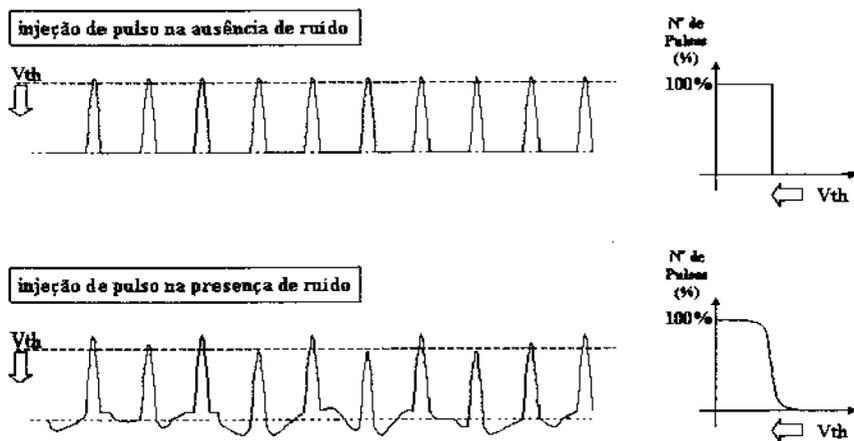


Figura 51 - Injeção de pulso sem e com ruído

A partir dos parâmetros da *scurve* podemos saber o ruído rms em coulomb. Derivando a *scurve* temos uma curva gaussiana, como na figura 52, de onde podemos tirar o ruído rms calculando o sigma (σ).

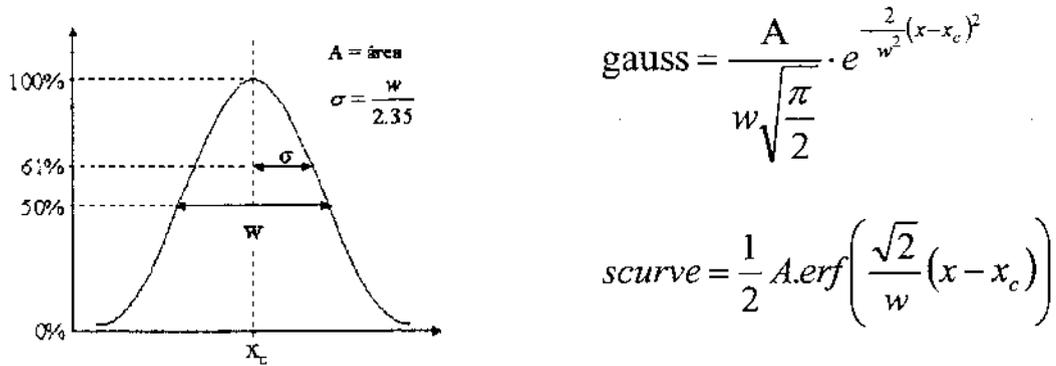


Figura 52 - Modelo para obtenção do ruído rms

Na Tabela 7 estão listados todos os parâmetros específicos do teste de ruído.

Tabela 7 - Parâmetros do teste de ruído

Initial(fC)	Valor inicial da varredura da injeção de carga (fC)
Final(fC)	Valor final da varredura da injeção de carga (fC)
Step(fC)	Passo da varredura da injeção de carga (fC)
MaxSigma	Máximo ruído rms aceito (fC)
MinTrueTh	Mínimo valor de <i>threshold</i> verdadeiro aceito (fC)
MaxTrueTh	Máximo valor de <i>threshold</i> verdadeiro aceito (fC)

Os três primeiros parâmetros definem o valor inicial, final e o passo da varredura em carga injetada para um determinado *threshold*. O [MaxSigma] define o valor máximo que o ruído pode atingir, o [MinTrueTh] e o [MaxTrueTh] definem os limites máximo e mínimo de *offset* do sistema de acordo com o *threshold* verdadeiro, definido aqui como o

valor do *threshold* quando a *scurve* atinge 50% de eficiência. Caso estes parâmetros sejam ultrapassados mensagens de erro são geradas conforme o canal e o parâmetro ultrapassado.

Os gráficos abaixo representam a curva adquirida no teste de ruído de um canal, e a tabela gerada após teste dos 16 canais de uma *front-end* (ASDQ++).

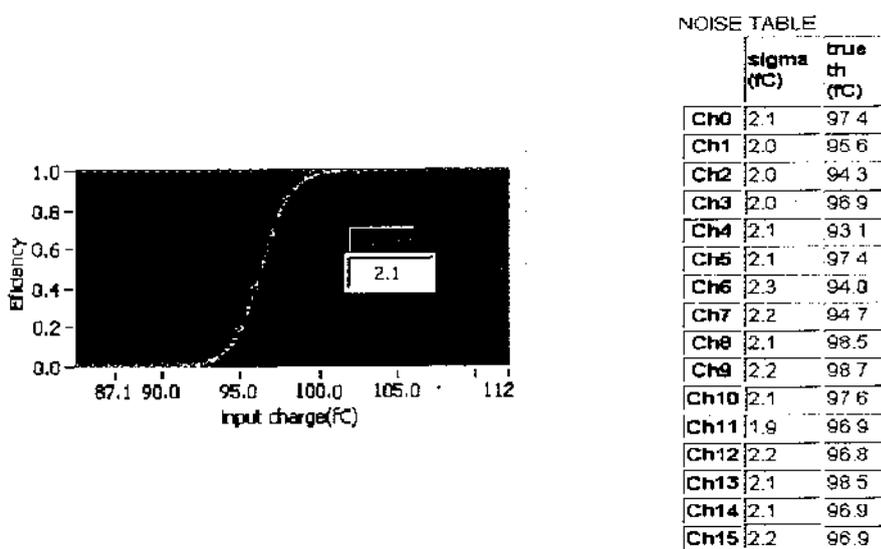


Figura 53 - Gráfico e Tabela gerados pelo teste *scurve*

Os valores apresentados na figura 53 correspondem ao valor da largura da gaussiana em 76% de sua altura total. Portanto esses valores devem ser convertidos para que tenhamos esta largura em 61%, obtendo-se assim o valor do ruído em rms.

O painel do teste de Ruído, ver figura 54, oferece, além de acesso a todos os parâmetros nele usados, a visualização da contagem no tempo de um canal de interesse, e da *scurve* do último teste feito (eficiência versus carga injetada). Este painel também oferece a opção de salvar os dados da *scurve* através do botão [Save Data Points].

Caso seja necessário configurar o teste de ruído e/ou checar seu funcionamento, deve-se ingressar a este painel, escolher os melhores valores de trabalho através da

visualização dos gráficos e das simulações de teste, e então carregar ou criar um arquivo que será usado no teste.

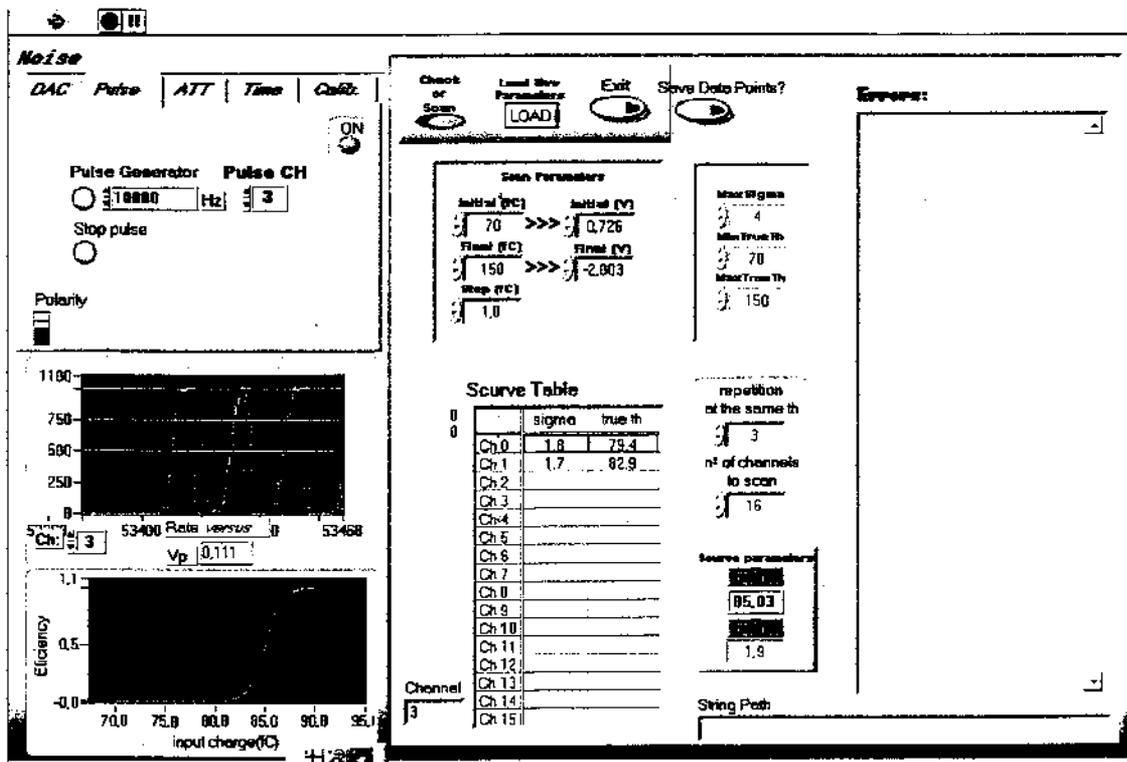


Figura 54 - Painel do teste de ruído

4.2.6 Teste de Sensibilidade

O teste de sensibilidade utiliza as propriedades da *scurve* para determinar a sensibilidade da *front-end*. Além da varredura do valor de carga injetada, o valor de *threshold* também deve sofrer uma varredura.

O teste de sensibilidade é medido em termos de mV/fC e é feito variando-se o *threshold* (mV) e o valor de carga injetada. Para cada valor de *threshold* uma varredura do valor de pulso ocorre até que o valor do *threshold* verdadeiro seja obtido através da *scurve* gerada, ver figura 55. Os valores, para diagnóstico, obtidos neste processo são retirados do

ajuste da curva por uma reta do tipo $A+Bx$ feito a partir dos dados adquiridos (A representa o *offset* e B a sensibilidade).

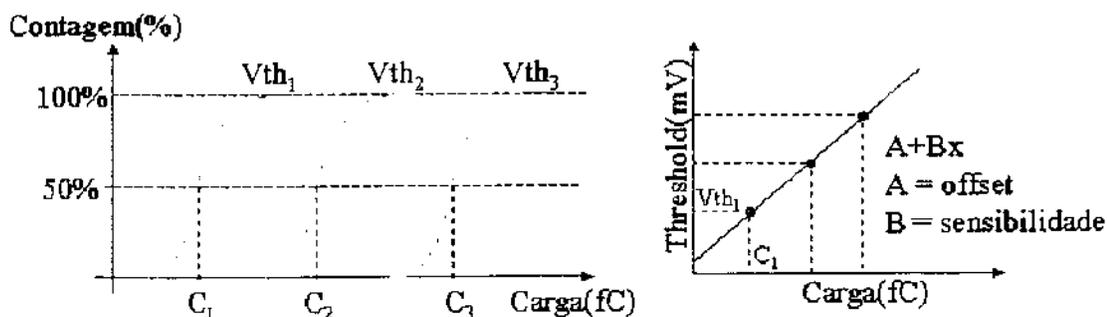


Figura 55 - Esquema de obtenção do curva de sensibilidade

Os parâmetros passo, valor final e inicial dos valores de *threshold* e de pulso podem ser configurados pelo usuário assim como outros parâmetros indicados na Tabela 8.

Tabela 8 - Parâmetros do teste de sensibilidade

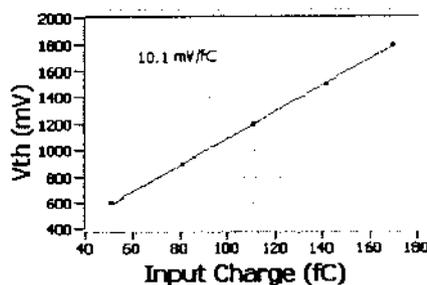
Initial(fC)	Valor inicial da varredura do valor de pulso (fC)
Final(fC)	Valor final da varredura do valor de pulso (fC)
Step(fC)	Valor do passo da varredura do valor de pulso (fC)
Initial(mV)	Valor inicial da varredura do valor de <i>threshold</i> (mV)
Final(mV)	Valor final da varredura do valor de <i>threshold</i> (mV)
Step(mV)	Valor do passo da varredura do valor de <i>threshold</i> (mV)
Move backward	Nº de passos a retornar para a próxima varredura de pulso
MaxSensitivity	Máxima sensibilidade aceita de um canal (mV/fC)
MinSensitivity	Mínima sensibilidade aceita de um canal (mV/fC)

Os seis primeiros parâmetros da tabela são usados para definir o início, final e passo tanto do valor de *threshold* como do valor de carga injetada. Os parâmetros usados para diagnóstico, [*MaxSensitivity*] e [*MinSensitivity*], representam os valores máximo e mínimo

de sensibilidade que um canal pode atingir, se o valor estiver fora destes limites uma mensagem de erro é gerada indicando qual dos limites foi ultrapassado e qual o canal defeituoso.

[*Move backward*] é uma variável que agiliza o teste de sensibilidade. Ela faz com que, quando um novo processo de varredura da amplitude do pulso inicia, esta não tenha que iniciar sempre no valor correspondente à variável [*Inicial(fC)*], pois aumentando o *threshold*, a próxima *scurve* terá seu início após o início da *scurve* antecessora. Logo, sempre que o programa reconhecer o início de uma *scurve*, ele muda automaticamente o valor de [*Initial(fC)*] para um novo valor que seria representado pela subtração do valor de correspondente ao da *scurve* menos o valor de [*Move backward*], sua unidade é a própria variável [*Step(fC)*]. Quando o teste passa para o próximo canal, a variável [*Inicial(fC)*] volta a ter seu valor de início.

A figuras 56 apresenta o gráfico gerado após teste de um canal e a tabela gerada após teste de uma *front-end* (16 canais). Esta tabela poderá ser reportada no relatório final



SENSITIVITY TABLE		
	mV/fC	offset (mV)
Ch0	10.0	81.8
Ch1	10.1	52.4
Ch2	10.0	81.8
Ch3	10.0	66.1
Ch4	9.8	66.1
Ch5	9.9	63.6
Ch6	9.8	67.1
Ch7	10.0	41.1
Ch8	10.1	35.7
Ch9	10.2	84.7
Ch10	10.1	71.9
Ch11	10.0	79.6
Ch12	10.1	78.9
Ch13	10.1	95.3
Ch14	10.1	86.7
Ch15	10.0	91.7

caso esta opção seja selecionada.

Figura 56 - Gráfico e Tabela gerados pelo teste de sensibilidade

O painel do teste de sensibilidade da figura 57 permite o acesso a todos os parâmetros de teste e a visualização de cada *scurve* (gráfico à direita superior), da curva de sensibilidade (gráfico ao lado da tabela de sensibilidade), da tabela e das mensagens de erro (não visível na figura) geradas pelo teste. O painel permite também a visualização da contagem no tempo do sinal de todos os canais da *front-end* (gráfico à esquerda inferior) para facilitar a verificação, monitoramento e escolha dos valores dos parâmetros.

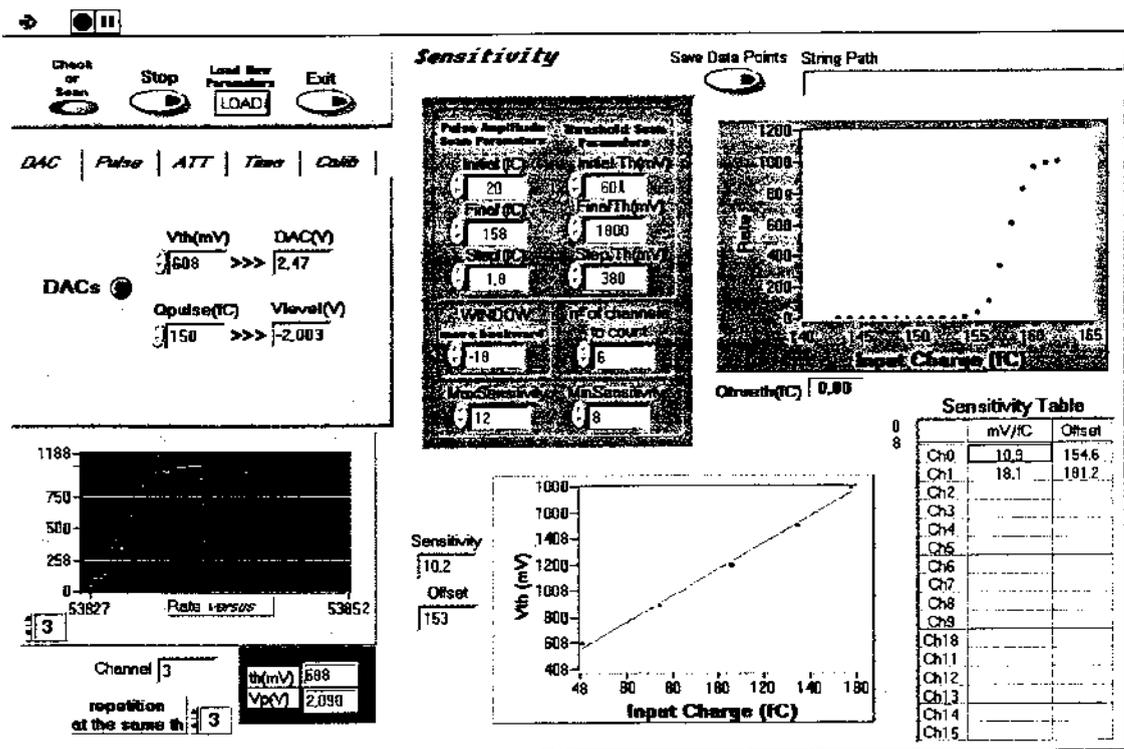


Figura 57 - Painel do teste de sensibilidade

4.2.7 Teste Rate-Method

O *Rate-Method* foi um teste proposto durante o desenvolvimento do Sistema FEET e, a partir de então, foi inserido na rotina de teste da *front-end*. O teste é feito contando-se a taxa do ruído versus *threshold*. Este método não necessita de injeção de carga para o teste

ser efetuado, podendo então ser feito sem que precise retirar as placas de *front-end* dos detectores. Vários tipos de problemas podem ser identificados e alarmes podem ser produzidos no caso de algum parâmetro estar fora das especificações, porém sua precisão é um fator problemático principalmente por causa de interferências externas tanto no sinal do detector como no circuito de *front-end*. No entanto essas características devem ser verificadas a partir de comparações com os testes convencionais, de eficiência conhecida.

O teste *Rate-Method* parte do princípio que o comportamento da taxa do sinal de ruído que cruza a linha de *threshold* respeita a expressão [23]:

$$f_n = f_{n0} e^{-Q_T^2 / 2Q_n^2} \quad (41)$$

ou, usando o correspondente em tensão:

$$f_n = f_{n0} e^{-V_T^2 / 2V_n^2} \quad (42)$$

onde f_{n0} é a metade do número de vezes que o sinal cruza o *threshold* quando este está no ponto onde a taxa é máxima, o ponto zero $V_{f_{n0}}$, ver figura 58.

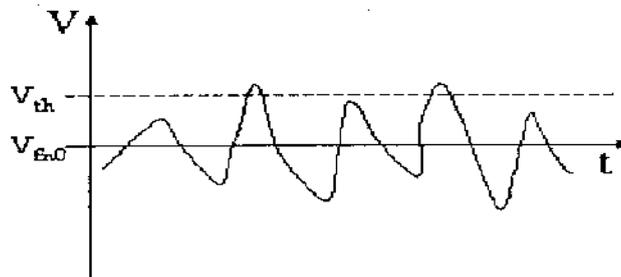


Figura 58 - Ilustração do ruído e sinal de *threshold*

Considerando um filtro passa-banda temos a frequência no ponto zero dada por:

$$f_{n0} = \frac{1}{2} f_{\sigma} = \sqrt{\frac{1}{3} \frac{f_2^3 - f_1^3}{f_2 - f_1}} \quad (43)$$

onde f_1 e f_2 são as frequências de corte do filtro.

Para o circuito ASDQ++ temos $f_1=11\text{MHz}$ e $f_2=60\text{MHz}$, logo $f_{n0}=38,25\text{MHz}$. A figura 59 apresenta a curva ideal esperada para o ASDQ++ de acordo com a contagem máxima f_{n0}

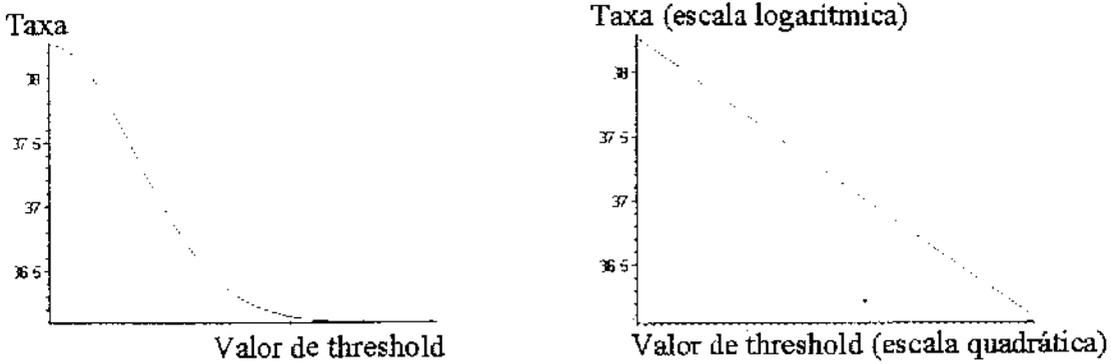


Figura 59 - Gráficos da taxa em relação ao nível de *threshold*

O gráfico à direita da figura 59 é usado para diagnóstico de teste. Repare que quanto maior o ruído menor a inclinação da curva. Os parâmetros usados para diagnóstico são a frequência *vertex*, o *threshold pedestal* e o valor de *threshold* quando o $\log(\text{taxa})$ é zero. A frequência *vertex* e o *threshold pedestal* informam o ponto que corresponde a f_{n0} , note que este também indica o ponto onde, para um determinado canal, todas as retas devem se cruzar independente da magnitude do ruído presente, pois é a frequência máxima permitida devido à banda passante do circuito. O valor de *threshold* quando o $\log(\text{taxa})$ é zero se comporta de maneira que, quanto maior o seu valor, maior o ruído presente na entrada do discriminador da *front-end*. Teoricamente, com esses três parâmetros é possível obter informação em relação à capacitância do detector, a amplificação (ganho) da *front-end* e as características de ruído do sistema assim como detectar nível DC (offset) no sinal de *threshold*.

Abaixo estão descritos alguns casos de variação dos parâmetros em relação à reta esperada (linha tracejada).

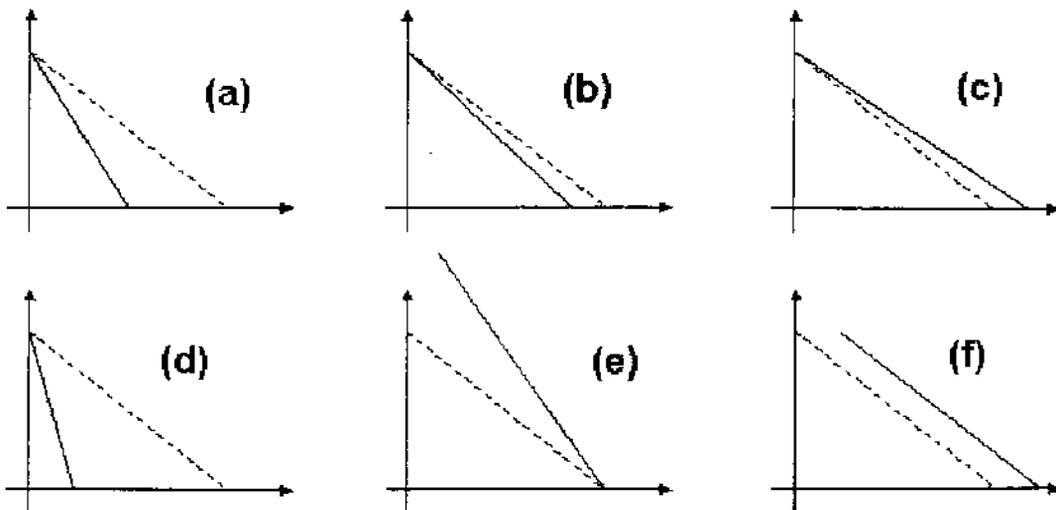


Figura 60 - Algumas variações que podem ocorrer no teste de *Rate-Method*

O caso (a) é facilmente verificado com a *front-end* baseada no ASDQ++ por este oferecer dois ganhos (fator 2) diferentes de trabalho. Como a amplitude do ruído será proporcional ao ganho do amplificador, quando diminuirmos à metade o ganho do amplificador, diminuirmos também a amplitude do ruído assim como a contagem da taxa deste em relação ao *threshold* de acordo com a Equação (37).

Os gráficos (b) e (c) são parecidos e podem ser causados por diferentes motivos. Esse tipo de variação na curva pode indicar mudança no ganho da *front-end*, ou mudança na banda passante da *front-end* (em relação ao ganho), ou variação da capacitância do detector.

O gráfico (d) representa o teste quando este detecta um canal aberto na entrada da *front-end*, onde a curva com a menor inclinação indica a presença da capacitância do detector, portando a conexão entre este e a *front-end*, enquanto a curva com a maior inclinação indica a ausência desta capacitância, portando a ausência de conexão entre *front-end* e detector, porém, o problema pode estar relacionado com outros aspectos como problemas com o detector.

O caso (e) indica, pelo menos, duas possibilidades para a variação do coeficiente angular da reta: A presença de interferência externa no sistema e/ou variação da banda passante do circuito em relação as suas frequências de corte.

O gráfico (f) pode ser uma indicação da presença de *offset* no sinal de *threshold*.

Uma possível conclusão dos casos acima apresentados é que o diagnóstico não pode determinar o problema, apenas indicar as possíveis causas de falha. Note que no ambiente real os fatores mencionados acima sempre vão estar superpostos e que sempre existirá interferência devido a fatores externos.

Os gráficos da figura 61 apresentam dois casos reais do teste de *Rate-Method* onde foi usado um capacitor de 150pF para simular a capacitância do detector e os dois ganhos oferecidos pelo ASDQ++. O gráfico à esquerda acusa a presença do detector enquanto o da direita não. Comparando com o teste de conectividade foi constatado que o canal que gerou este último gráfico estava aberto. A mudança da inclinação da reta devido às duas configurações de ganho também pode ser observada nos dois gráficos.

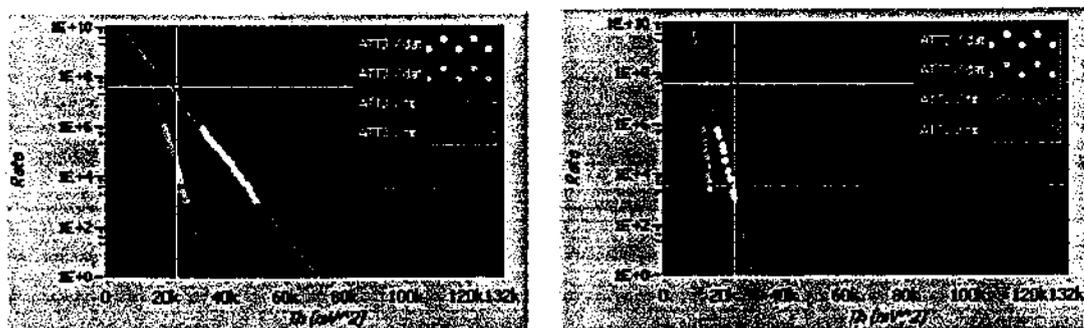


Figura 61 - Gráficos obtidos a partir dos testes feitos nas placas do ASDQ++

Os parâmetros específicos do teste *Rate-Method* são:

Tabela 9 - Parâmetros do teste *Rate-Method*

VertexMin	Valor mínimo para a frequência <i>vertex</i>
VertexMax	Valor máximo para a frequência <i>vertex</i>
PedestalMin	Valor mínimo para o valor de <i>threshold</i> pedestal (mV^2)
PedestalMax	Valor máximo para o valor de <i>threshold</i> pedestal (mV^2)
Th_log(rate)Min	Valor mínimo para o <i>threshold</i> quando o $\log(\text{taxa}) \approx 0$ (mV^2)
Th_log(rate)Max	Valor máximo para o <i>threshold</i> quando o $\log(\text{taxa}) \approx 0$ (mV^2)
Initial1, Initial2	Valor inicial da varredura do valor de <i>threshold</i> (mV)
Final1, Final2	Valor final da varredura do valor de <i>threshold</i> (mV)
Step1, Step2	Valor do passo da varredura do valor de <i>threshold</i> (mV)

Os quatro primeiros parâmetros de diagnóstico ($[VertexMin]$, $[VertexMax]$, $[PedestalMin]$ e $[PedestalMax]$) definem uma área de tolerância, no gráfico, onde o ponto correspondente à f_{n0} pode ocorrer. $[Th_log(rate)Min]$ e $[Th_log(rate)Max]$ definem a tolerância do valor do *threshold* para quando o logaritmo da taxa tem um valor próximo de zero. Os outros parâmetros da Tabela 9 definem o início, o fim e o passo da varredura de *threshold* para os dois ganhos do ASDQ++.

A figura 62 apresenta a tabela gerada ao final de cada teste. As seis colunas são respectivamente a frequência *vertex*, o *threshold* pedestal, os valores de *threshold* quando $\log(\text{taxa})$ é zero (para as duas curvas dos dois ganhos do ASDQ++) e as duas últimas colunas são os coeficientes angulares das retas. As quatro primeiras colunas são, teoricamente, suficientes para o diagnóstico das placas no teste *Rate-Method*.

RATE METHOD						
	vertex_frequency (Hz)	th_pedestal (mV^2)	IATT0V_Xmax (mV^2)	IATT3V_Xmax (mV^2)	slope_0V	slope_3V
Ch0	1630059093	14	71	36	-372	-986
Ch1	1214477328	14	76	39	-340	-856
Ch2	1083974792	13	69	34	-371	-989
Ch3	3574234279	10	29	16	-1126	-2727
Ch4	616347896	12	71	34	-345	-926
Ch6	66066940478	7	26	16	-1334	-2702
Ch8	52513460393	7	26	17	-1295	-2572
Ch7	81693822371	13	55	27	-596	-1836
Ch9	1924862212	12	67	33	-368	-1045
Ch9	3729955810	9	63	33	-406	-937
Ch10	870512540	13	73	36	-338	-893
Ch11	617210111	10	66	32	-383	-931
Ch12	918700736	12	69	34	-360	-942
Ch13	1051200036	13	75	38	-337	-845
Ch14	6433002500	11	59	28	-469	-1311
Ch15	20777431782	11	60	28	-486	-1361

Figura 62 - Resultado gerado por um dos testes do ASDQ++

A figura 63 apresenta o painel do teste *Rate-Method*. Este painel faz parte do *software* enviado ao CERN junto a uma versão do FEET onde apenas o teste *Rate-Method* está disponível.

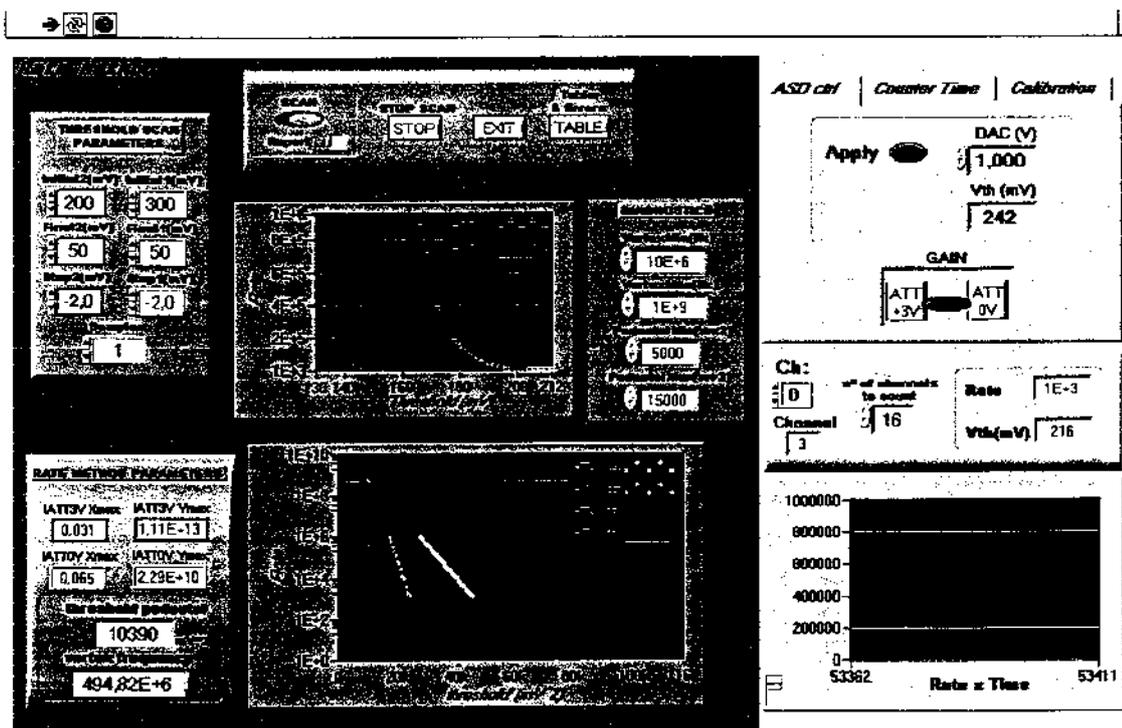


Figura 63 - Painel do teste de *Rate-Method*

Os gráficos que podemos visualizar no painel representam a taxa de eventos (y) versus valor de *threshold* (x), porém no gráfico localizado na posição inferior da figura, a escala do eixo y está em logaritmo e a do eixo x quadrática. O gráfico na parte inferior direita do painel mostra a contagem de eventos no tempo de acordo com o sinal de saída do discriminador.

Esta versão foi construída para ser um módulo dedicado ao teste da *front-end* junto ao detector.

4.2.8 Painel de Controle

Devido à complexidade do sistema FEET, pela existência de cinco testes diferentes (mais de 50 parâmetros são usados), buscamos desenvolver uma estrutura de controle de forma a otimizar em praticidade a sua operação. Todos os parâmetros podem ser acessados e modificados a partir de um único ponto de controle, ver figura 64.

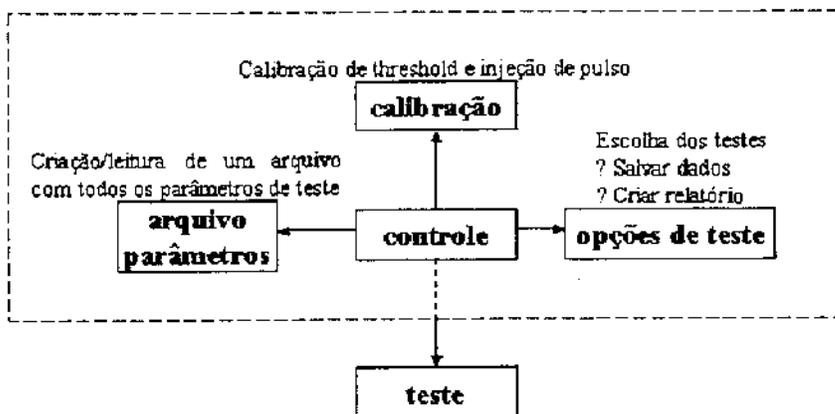


Figura 64 - Diagrama de blocos do programa que controla a operação de teste

No programa, este ponto é o painel de controle (figura 65), com ele é possível acessar e ajustar todas as variáveis que serão usadas para o teste, ou seja, o painel de controle permite entrar com os parâmetros dos testes (todas as variáveis presentes no painel Template), com os parâmetros de calibração (painel de calibração) e configurar as opções

de teste. Os parâmetros dos testes são as variáveis de todos os testes descritos nas seções anteriores (seções 4.2.2 a 4.2.7), o arquivo correspondente pode ser criado ou modificado a partir do painel Template ou via os painéis de cada teste. A calibração, como descrita na seção 4.2.1, é relativa ao sinal de *threshold* e de injeção de pulso.

As opções de teste permitem a escolha dos testes a serem realizados e oferece como opção a criação de um relatório final (com os resultados dos testes) assim como a criação de uma pasta para armazenamento dos dados que serão adquiridos nos testes de ruído, sensibilidade e *Rate-Method*.

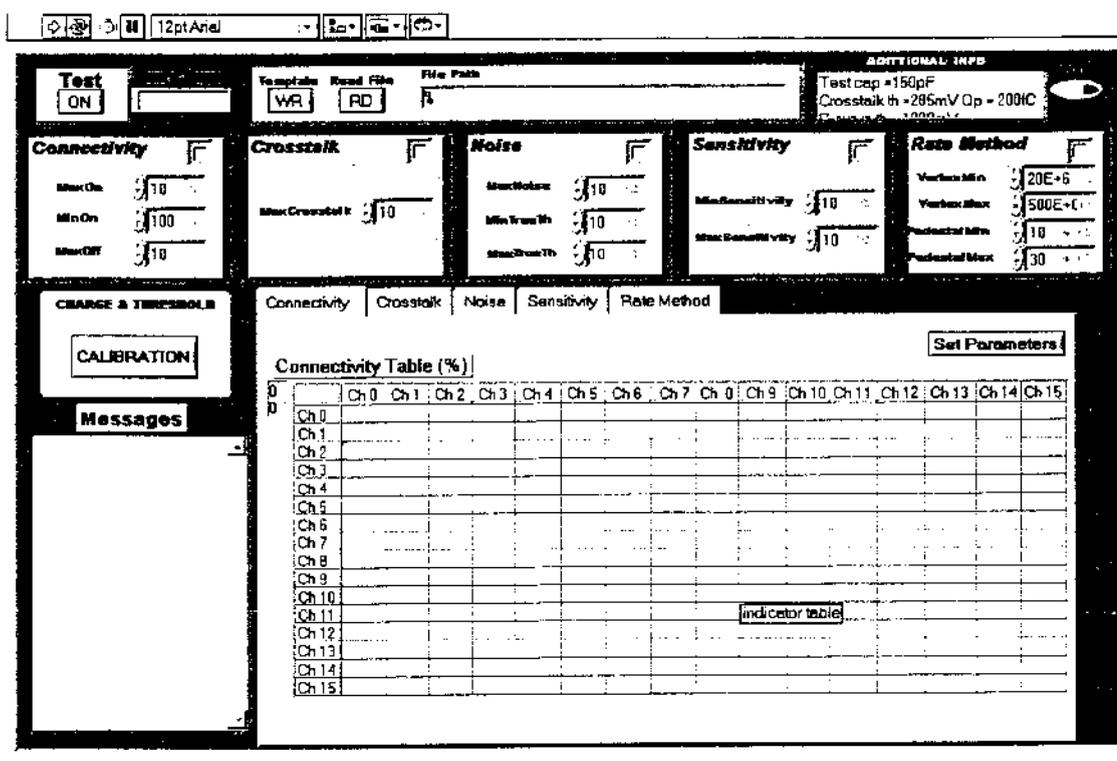


Figura 65 - Painel de controle

Além de propiciar o gerenciamento de todas as variáveis de teste (através do painel Template e de calibração), o painel de controle permite a visualização das tabelas, com os resultados e as mensagens de erro, do último teste realizado, assim como dos limites usados

para diagnóstico das placas. Dele também é possível acessar o painel de cada teste, através do botão [*set parameters*], para verificação e modificação dos parâmetros escolhidos.

Capítulo 5

Resultados Experimentais

Os dados aqui apresentados são retirados do teste de 40 placas (640 canais) da *front-end* baseada no ASDQ++ que ocorreu no CERN no mês de Maio de 2003. Dois grupos de placas foram testados: placas recém adquiridas pelo CERN (enviadas pelo grupo de Potenza – grupo responsável pela produção desses ASDQ++) sem nenhum teste prévio, e placas que já estavam sendo usadas nos testes de câmaras MWPC. Com os testes foi possível avaliar o status do sistema FEET e projetar os passos futuros. Um dos problemas do ASDQ++, por este ser uma eletrônica de aplicação específica e não comercial, é o difícil acesso a documentos com informação de suas características, o que não acontece com os circuitos comerciais. Porém, dentro do possível faremos comparações com os valores esperados indicando referências.

O número de placas recém chegadas, as quais iríamos testar, somavam 31 placas, estas placas vieram com uma numeração própria que adotamos para fins de controle. A numeração das placas positivas inclui o prefixo **asdqp**, e as placas negativas **asdqn** (e.g. asdqp1001, asdqp1014, asdqn0010, asdqn 0016, etc). A numeração das placas que já se encontravam no CERN tem como prefixo a letra **P** (e.g. P#9, P#4, Pf#1, etc).

Dos 640 canais testados, 25 foram diagnosticados como defeituosos, veja figura 66.

<p>ASDQp090</p> <ul style="list-style-type: none"> Channel 07 - component Q69, base lead is not connected to GND Channel 05 - component Q24, base lead is not connected to GND Channel 06 - component Q47, base lead is not connected to GND <p>ASDQp092</p> <ul style="list-style-type: none"> Channel 07 - component Q69, base lead is not connected to GND <p>ASDQp094</p> <ul style="list-style-type: none"> Channel 04 - component Q1, base lead is not connected to GND <p>ASDQp097</p> <ul style="list-style-type: none"> Channel 05 - component Q2, base lead is not connected to GND <p>ASDQp098</p> <ul style="list-style-type: none"> Channel 03 and 04 - do not circuit between component pads R102-R104 <p>ASDQp092</p> <ul style="list-style-type: none"> Channel 00 - component Q1, base lead is not connected to GND <p>ASDQp097</p> <ul style="list-style-type: none"> Channel 05 - under test is Open Channel <p>ASDQp098</p> <ul style="list-style-type: none"> Channel 12 - component Q1, smiter lead is connected to GND 	<p>ASDQm007</p> <ul style="list-style-type: none"> Channel 01 - Open Channel Channel 02 - Open Channel Channel 03 - Open Channel Channel 04 - Open Channel Channel 05 - Open Channel Channel 06 - Open Channel Channel 07 - Open Channel Channel 08 - Open Channel <p>ASDQm005</p> <ul style="list-style-type: none"> Channel 03 - Open Channel Channel 05 - Noisy Channel <p>ASDQm009</p> <ul style="list-style-type: none"> Channel 03 - Open Channel <p>ASDQm013</p> <ul style="list-style-type: none"> Channel 03 - Open Channel <p>ASDQm014</p> <ul style="list-style-type: none"> Channel 06 - Open Channel <p>ASDQm017</p> <ul style="list-style-type: none"> Channel 05 - Open Channel
---	--

Figura 66 - Resultado dos testes das placas de *front-end* (ASDQ++)

Os canais defeituosos das placas positivas (quadro à esquerda) foram verificados e corrigidos. O quadro à direita apresenta as mensagens de diagnóstico geradas pelo sistema FEET, porém esses problemas não foram corrigidos imediatamente.

Antes da apresentação dos resultados quantitativos dos diferentes testes realizados, consideremos como foi feita a calibração do sistema: Um canal de uma *front-end* foi usado para calibrar todos os canais. A calibração ocorreu de forma a obtermos um resultado de sensibilidade igual a 12,5mV/fC, com capacitância de entrada igual a zero (simulação da capacitância de uma câmara MWPC), para todos os canais da placa de injeção do FEET no modo por canal, onde cada canal é calibrado independentemente.

Para o teste de *crosstalk*, o *threshold* escolhido foi de 285mV o que equivale, pelo gráfico da figura 67, a um valor entre 11fC e 16fC. Para este valor nenhum canal apresentou um *crosstalk* acima de 3%. Esses gráficos mostram os valores de *threshold* para diferentes valores de carga injetada, à esquerda temos o resultado do teste com o ASDQ++ e à direita com o ASDQ. Estes foram retirados de uma apresentação do grupo de Potenza,

local onde esses ASDQ++ foram produzidos. Note que o ganho (fator 2) utilizado para a obtenção desses gráficos é diferente do utilizado nos testes aqui apresentados. O valor de 285mV deve ser multiplicado por 2 para que seja possível comparação direta com o gráfico.

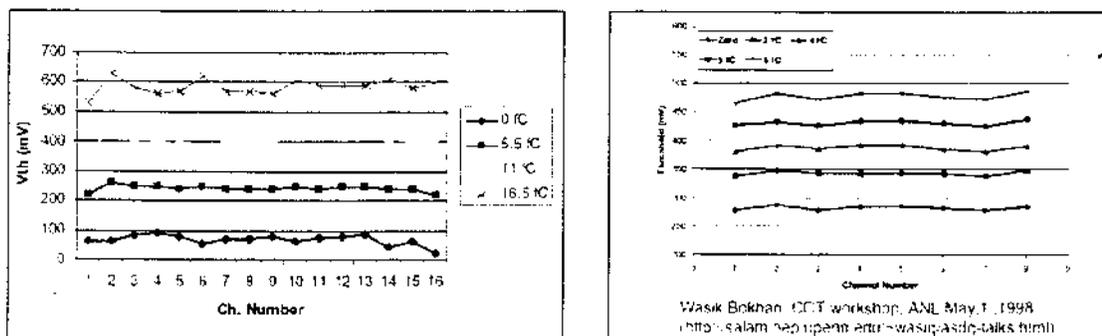


Figura 67 - Gráficos do nível de *threshold* para diferentes cargas de injeção

Uma das conclusões dos testes descritos acima foi à necessidade de um sistema com melhor blindagem para que fosse possível trabalhar com nível de *threshold* mais baixo. Foi constatado que quando o sistema de injeção de pulsos era ativado, o nível de interferência entre os canais aumentava. Dois problemas foram detectados: a placa dos capacitores de entrada, elaborada manualmente, e o cabo não blindado do conector de saída da *front-end* (LVDS). Após implementação de uma nova placa de capacitores e de blindagem do cabo o problema foi solucionado. O resultado de um teste com nível de *threshold* igual a 290mV (~ 7 fC), medido diretamente na placa de *front-end*, com ganho fator-2 acionado e carga injetada 150fC, feito com a placa asdqp1003 já aqui no Brasil, é mostrado na figura 68.

	Ch 0	Ch 1	Ch 2	Ch 3	Ch 4	Ch 5	Ch 6	Ch 7	Ch 8	Ch 9	Ch 10	Ch 11	Ch 12	Ch 13	Ch 14	Ch 15
Ch 0	100	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Ch 1	0	100	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Ch 2	0	0	100	0	0	0	0	0	0	0	0	0	0	0	0	0
Ch 3	0	0	0	100	0	0	0	0	0	0	0	0	0	0	0	0
Ch 4	0	0	0	0	100	0	0	0	0	0	0	0	0	0	0	0
Ch 5	0	0	0	0	0	100	0	0	0	0	0	0	0	0	0	0
Ch 6	0	0	0	0	0	0	100	0	0	0	0	0	0	0	0	0
Ch 7	0	0	0	0	0	0	0	100	0	0	0	0	0	0	0	0
Ch 8	0	0	0	0	0	0	0	0	100	0	0	0	0	0	0	0
Ch 9	0	0	0	0	0	0	0	0	0	100	0	0	0	0	0	0
Ch 10	0	0	0	0	0	0	0	0	0	0	100	0	0	0	0	0
Ch 11	0	0	0	0	0	0	0	0	0	0	0	100	0	0	0	0
Ch 12	0	0	0	0	0	0	0	0	0	0	0	0	100	0	0	0
Ch 13	0	0	0	0	0	0	0	0	0	0	0	0	0	100	0	0
Ch 14	0	0	0	0	0	0	0	0	0	0	0	0	0	0	100	0
Ch 15	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	100

Figura 68 - Tabela gerada após teste de *crossstalk* da placa asdq1003

Para valores de *threshold* menores já é possível notar a presença de ruído, como podemos verificar na figura 69, o nível de *threshold* aqui usado foi de 250mV com ganho fator-2 ativado.

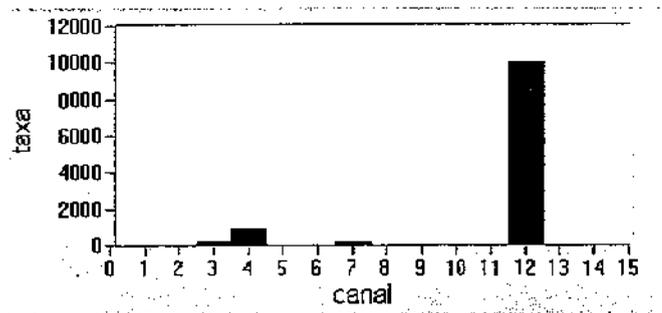


Figura 69 - Painel de leitura da contagem de todos os canais da placa de *front-end*

Como será visto posteriormente, para valores de *threshold* menores que 280mV, com capacitância de entrada de 150pF, é esperado contagem devido à presença de ruído.

Para o teste de ruído, todos os canais (das placas não testadas), que passaram no teste de conectividade, apresentaram níveis de ruído (rms) muito próximos. O gráfico à esquerda da figura 70 apresenta o teste de ruído para a placa asdq1003. O gráfico à direita mostra a distribuição do nível de ruído em fC para um conjunto de 245 canais. Note que o desvio padrão encontrado é de 0,054fC e o valor médio é de 1,36fC (~8489 e). O valor do capacitor de entrada usado, que simula a capacitância do detector, foi de 150pF.

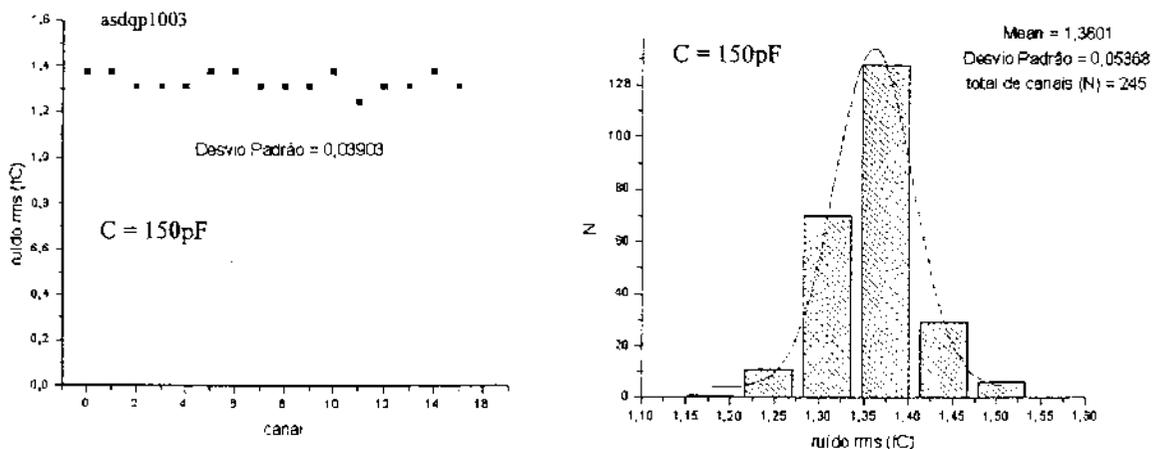


Figura 70 - Gráficos do teste de ruído das placas do ASDQ++

Esses resultados mostram que nenhum canal, das placas recém produzidas, apresentou nível de ruído elevado, estando bem próximos do valor esperado de 7290 e para capacitância de entrada igual a 150pF [24].

As placas antigas, que estavam sendo usadas nos testes de MWPCs, apresentaram níveis de ruído mais elevados como podemos observar na figura 71.

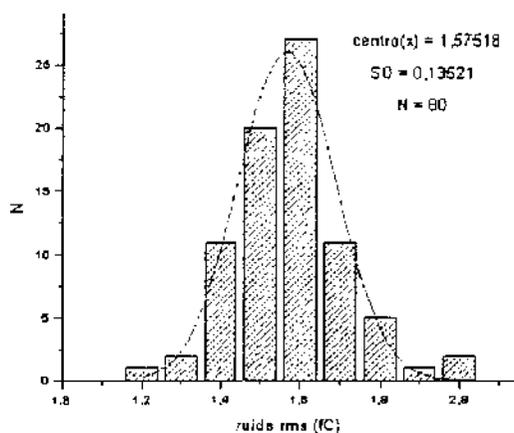


Figura 71 - Resultado do teste de ruído das placas (ASDQ++) que estavam sendo usadas para teste de MWPCs

Apenas duas placas antigas apresentaram níveis de ruído similares aos das placas recém produzidas, por esta razão as separamos em um histograma próprio, ver figura 72.

Como o somatório de canais é pequeno, apenas 32, temos um histograma em sua formação inicial, mas ainda é possível notar a similaridade em relação ao histograma da figura 70.

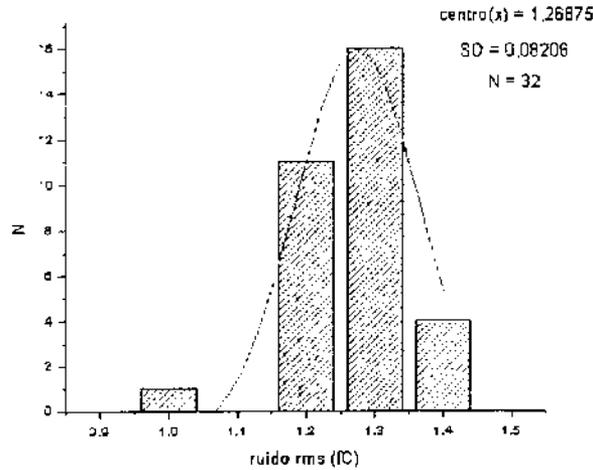


Figura 72 - Resultado do teste de ruído das placas que já estavam sendo usadas no CERN, porém que mostraram comportamento similar às placas que novas

Ainda não sabemos o motivo dessa variação entre as placas antigas, não conseguimos obter informação sobre o tempo de exposição à radiação de cada placa ou sobre versões antigas do ASDQ++, o que seriam hipóteses a serem investigadas.

Os gráficos da figura 73 apresentam o teste do nível de ruído para diferentes capacitores.

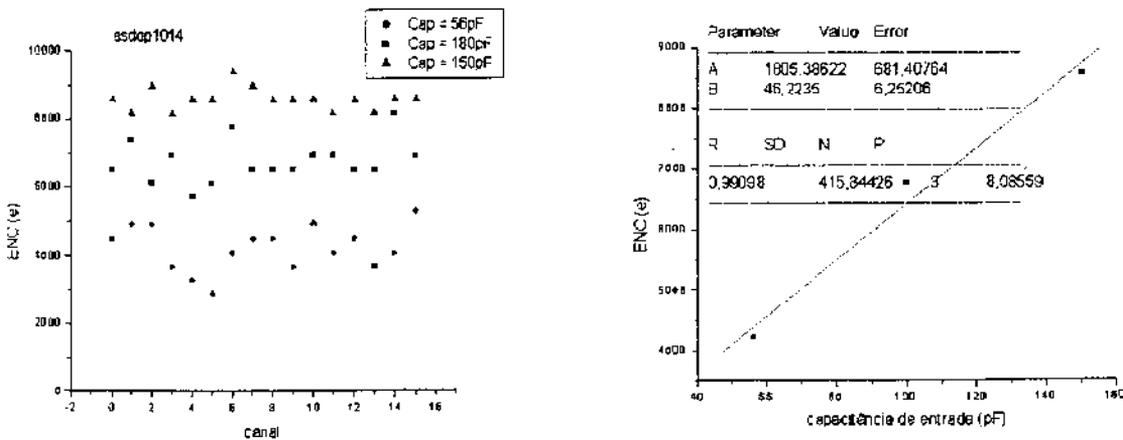


Figura 73 - Teste de ruído feito com diferentes capacitores de entrada

Esses resultados mostram que o nível de ruído cresce linearmente com a capacitância com valores muito próximos aos esperados ($ENC_{ASDQ++}=1740\text{elétrons} + 37\text{elétrons/pF}$).

Diferentes danos podem ter ocorrido com as placas antigas, A figura 74 mostra o resultado do teste de duas placas que apresentaram nível de ruído elevado.

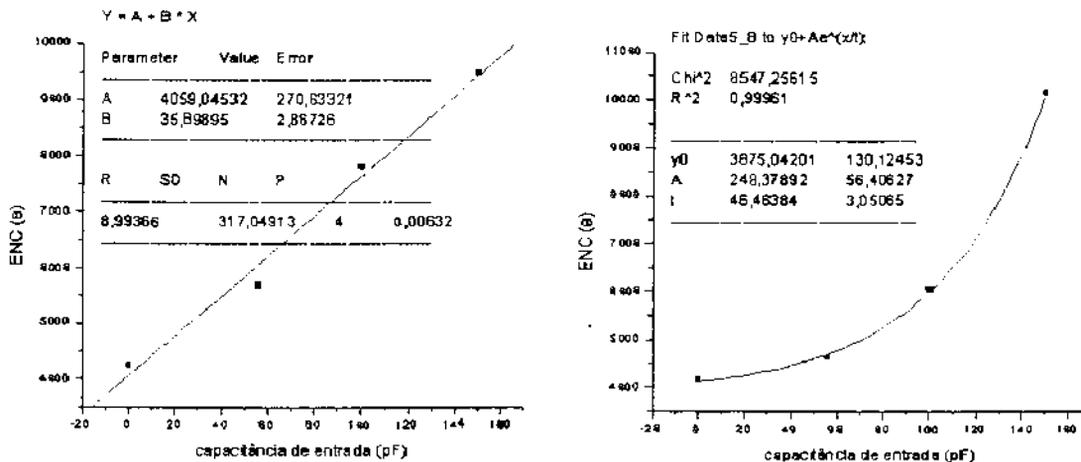


Figura 74 - Teste de placas que apresentaram nível de ruído elevado

O primeiro gráfico mostra uma sensibilidade ao ruído muito elevada em relação ao aumento da capacitância. O gráfico à direita indica que o ruído cresce exponencialmente de acordo com a capacitância de entrada.

Os gráficos da figura 75 mostram o comportamento de 4 placas de acordo com a sensibilidade encontrada em cada canal.

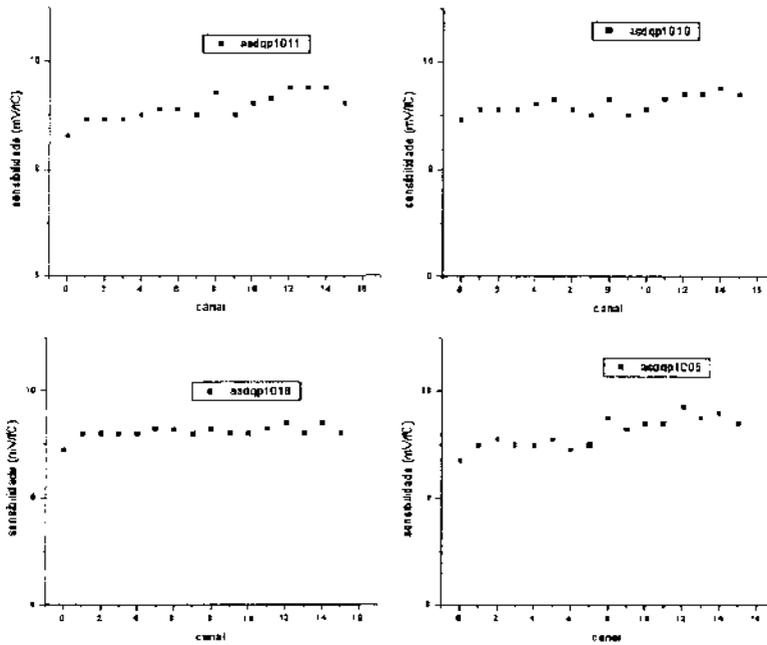


Figura 75 - Teste de sensibilidade de quatro placas do ASDQ++ para capacitância de entrada de 150pF

A distribuição da sensibilidade encontrada, para capacitância de entrada igual a 150pF, para as placas positivas está presente na figura 76.

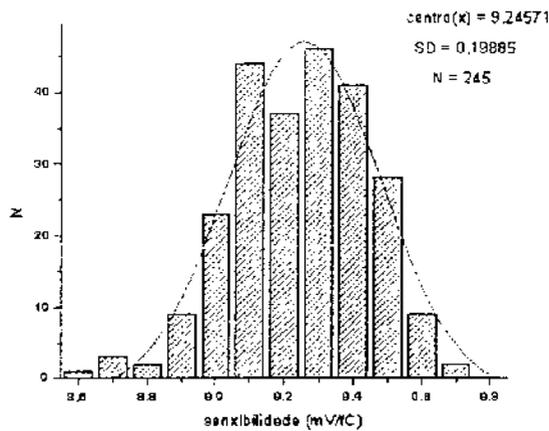


Figura 76 - Resultado geral do primeiro teste de sensibilidade das placas positivas

O resultado encontrado, sensibilidade média igual a 9,26mV/fC, está bem próximo do valor apresentado na referência [12], porém os dados indicam imprecisão da calibração devido ao seu desvio padrão ter um valor elevado e do comportamento similar da

sensibilidade para um mesmo canal em diferentes placas, mostrado na figura 75. Antes da conclusão de todos os testes nova calibração foi feita.

A nova calibração ocorreu da seguinte forma: Com instrumentos cedidos pelo grupo de múons do LHCb, a sensibilidade de todos os canais de uma *front-end* foi medida, agora com um capacitor de entrada de 150pF. O resultado médio encontrado foi de aproximadamente 10mV/fC, então, utilizando a mesma placa, todos os canais do sistema de injeção do FEET foram calibrados no modo por canal.

A figura 77 apresenta o resultado do teste de sensibilidade de três placas e os seus respectivos desvios padrão. Para todos esses testes foi usado na entrada um capacitor de 150pF. Ainda foi possível reconhecer uma tendência de comportamento da sensibilidade de acordo com o canal de injeção, porém de magnitude muito menor que o apresentado com a calibração anterior.

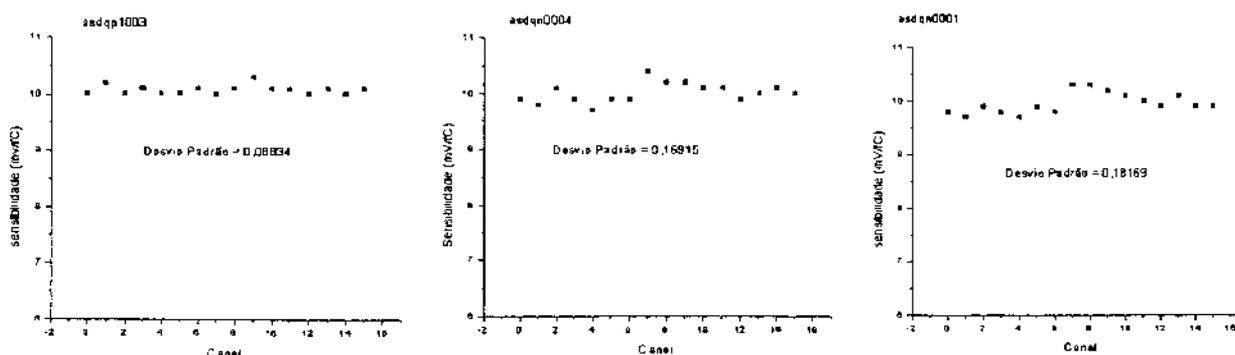


Figura 77 - Resultado de três diferentes placas do teste de sensibilidade para a segunda calibração

O histograma da figura 78 apresenta a distribuição da sensibilidade para um total de 384 canais (placas positivas e negativas de Potenza).

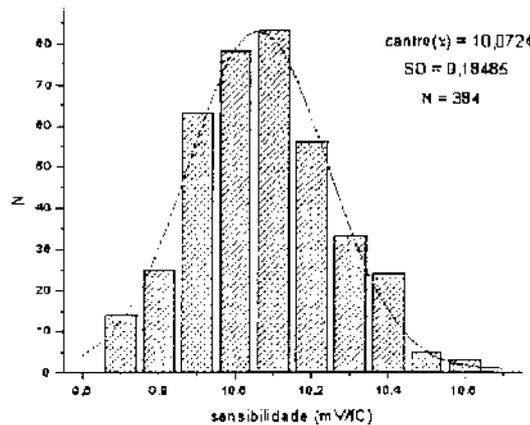


Figura 78 - Resultado geral do teste de sensibilidade para as placas que recém chegaram de Potenza

O valor médio de sensibilidade ($C=150\text{pF}$) é de $10,07 \text{ mV/fC}$, o que corresponde com valor esperado para a *front-end* ASDQ++ com base na segunda calibração do sistema de injeção do FEET. Note que o desvio padrão do resultado é de $\sim 0,186 \text{ mV/fC}$.

Após o teste de todas as placas entregues ao CERN pelo grupo de Potenza, alguns testes variando à capacitância de entrada foram feitas. A figura 79 apresenta um teste de sensibilidade de uma *front-end* para capacitâncias de 150pF , 100pF e 56pF .

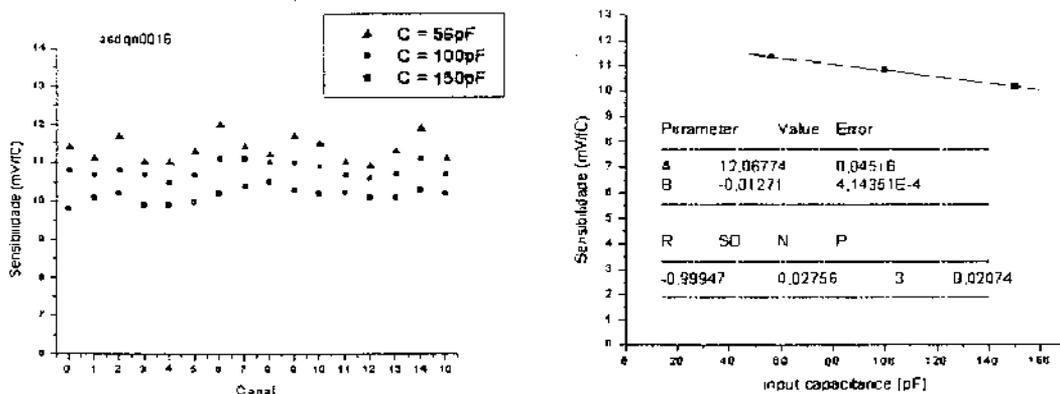


Figura 79 - Teste de sensibilidade para diferentes capacitâncias de entrada

Esses resultados mostram que embora a diferença entre os canais tenha diminuído, a calibração está mais distante do ideal em relação ao seu valor absoluto. No entanto hoje

podemos ter uma calibração mais precisa do sistema de injeção do FEET, o que, no momento das medidas, ainda não era possível devido ao fato de o tempo de subida do sinal de injeção ser mais lento do que o permitido pelo tempo de pico da *front-end* (8ns).

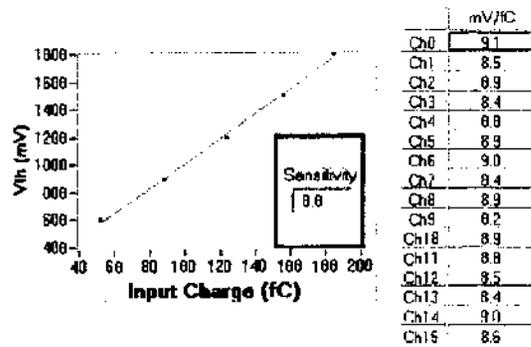


Figura 80 - Resultado de um teste de sensibilidade após processo de calibração mais apurado

Os resultados obtidos no teste *Rate-Method* mostraram que este pode ser uma ferramenta útil para teste qualitativo da *front-end* e do MWPC in loco, e simples por não precisar de pulso de injeção para ser realizada.

Para a análise de dados iremos apenas apresentar as curvas de ajuste a partir dos dados adquiridos. Apenas na figura 81 iremos mostrar a curva de ajuste e os dados adquiridos, no teste da placa asdq0010, no intuito de apontar como é obtida esta curva.

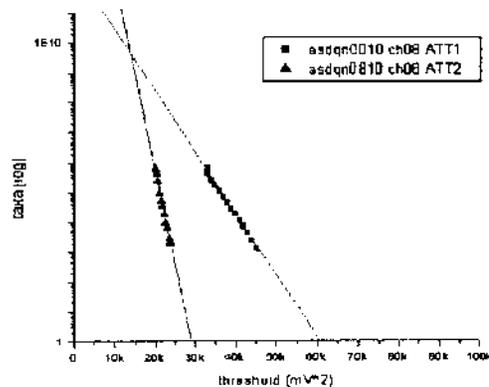


Figura 81 - Teste de *Rate-Method*, dados e curva de ajuste

Os gráficos da figura 82 mostram, à esquerda, o comportamento da curva do teste de *Rate-Method* para diferentes capacitâncias de entrada e, à direita, o comportamento do valor do nível de *threshold* quando o valor do logaritmo da taxa é, aproximadamente, igual à zero, em relação à capacitância de entrada.

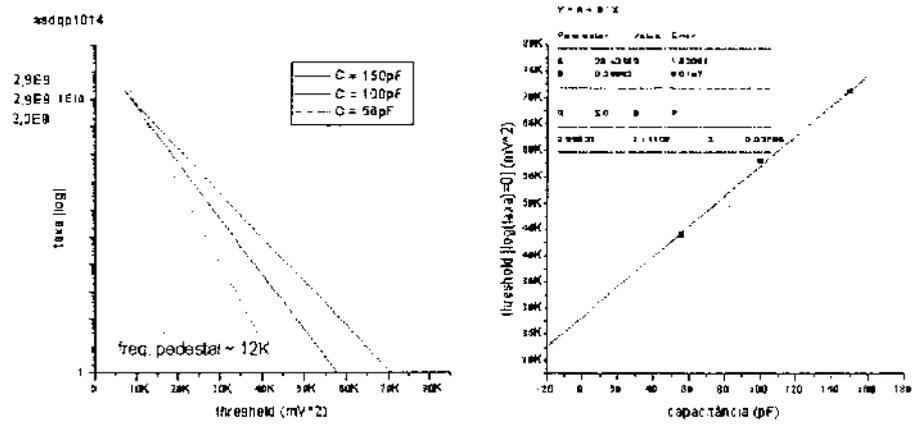


Figura 82 - Teste de *Rate-Method* para diferentes capacitâncias de entrada, placa asdq1014

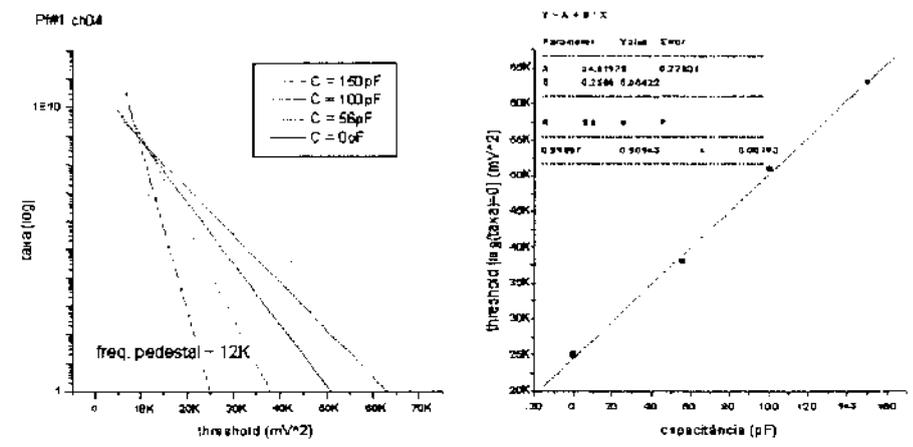


Figura 83 - Teste *Rate-Method* para diferentes capacitâncias de entrada, placa Pf#1

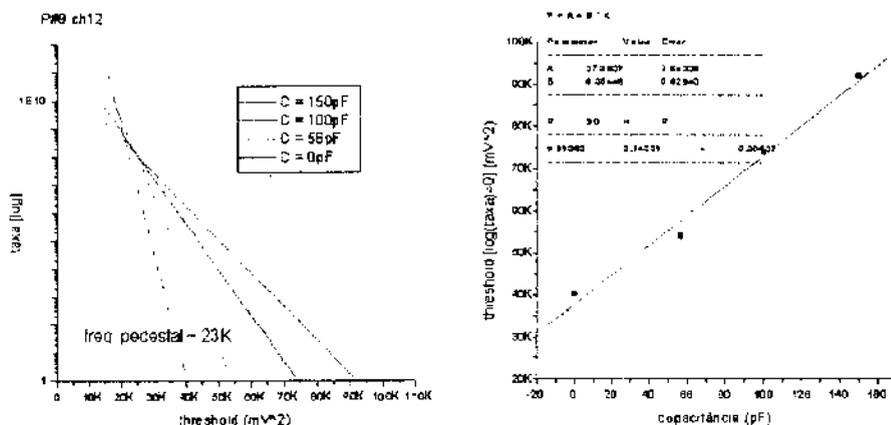


Figura 84 - Teste *Rate-Method* para diferentes capacitâncias de entrada, placa P#9

Quando comparamos os gráficos acima, entre si e com os resultados obtidos na ref.[20], podemos observar mudanças de *offset*, no nível de *threshold*, e de sensibilidade à capacitância de entrada entre as placas antigas e novas. A variação de *offset* e sensibilidade está mais bem representada na figura 85.

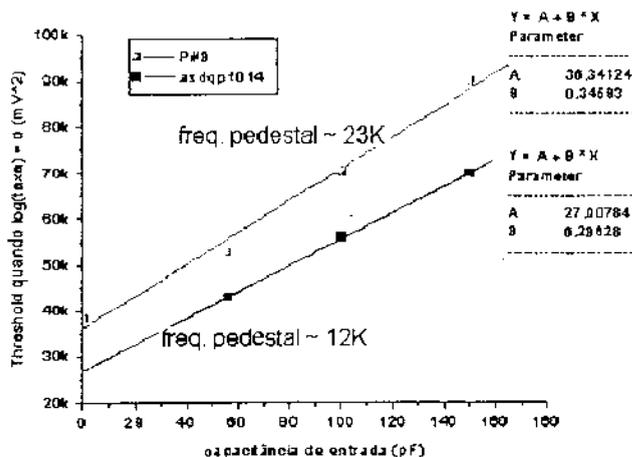


Figura 85 - gráfico com o valor de nível de *threshold* quando $\log(\text{taxa})=0$ para diferentes capacitâncias

A figura mostra um resultado relativo às placas novas (azul) e outro relativo às placas antigas (vermelho). Pesquisando o motivo do nível de *threshold*, quando o logaritmo da taxa é igual a zero, descobrimos a existência de mais de uma versão da *front-end* baseada no ASDQ++. A pequena mudança da inclinação da curva pode também estar

relacionada com diferentes versões da *front-end*, porém o aumento da capacitância de entrada da *front-end*, conforme esta é exposta à radiação, pode ser uma outra explicação para o fato. Estudos dedicados devem ser feitos para que se possa descobrir o motivo desta variação.

Os gráficos da figura 86 apresentam testes feitos para os dois ganhos oferecidos pelo ASDQ++. À esquerda temos um teste onde o comportamento das curvas do teste de *Rate-Method* é normal, ou seja, a presença da capacitância de entrada da *front-end* é caracterizada pela inclinação da curva. À direita é apresentado um gráfico onde, embora o capacitor de 150pF esteja conectado à entrada da *front-end*, o teste não acusou a sua presença. Comparando com o teste de conectividade do FEET podemos então confirmar que este canal apresentava falha de conexão.

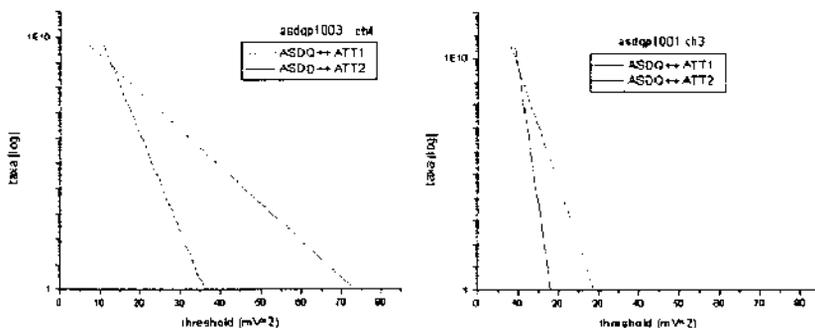


Figura 86 - Teste de *Rate-Method* para diferentes ganhos do ASDQ++ e mesma capacitância (150pF)

Um problema foi encontrado no teste de *Rate-Method*, onde os canais externos apresentavam uma frequência *vertex* maior que os outros canais, como pode ser visto na figura 87.

RATE METHOD	
	vertex frequency(Hz)
Ch0	316283190688
Ch1	2209722686
Ch2	1399733959
Ch3	879522027
Ch4	1600488511
Ch5	11434181599
Ch6	52071818536
Ch7	51943804115
Ch8	12933316677
Ch9	3949957661
Ch10	1339490649
Ch11	718339743
Ch12	807512583
Ch13	1017381909
Ch14	13779897081
Ch15	50411708104

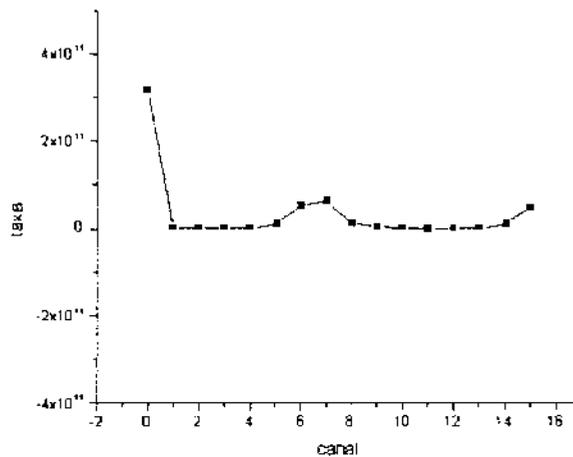


Figura 87 - Comportamento do teste de *Rate-Method* de acordo com a interferência entre os canais

Com a construção da nova placa, onde ficam conectados os capacitores de simulação da capacitância do detector, o problema foi solucionado. A figura 88 mostra um resultado obtido com o uso desta placa.

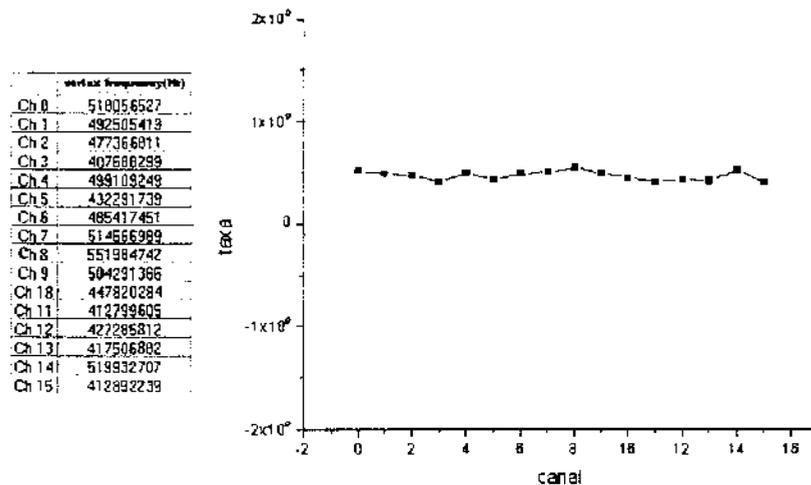


Figura 88 - Comportamento do teste *Rate-Method* após melhoria do sistema

Capítulo 6

Conclusão e Perspectivas

Este projeto representa a primeira inserção do CBPF, na área de instrumentação, ao experimento LHCb. Toda uma heurística foi desenvolvida para a efetivação dos testes da eletrônica de *front-end*. *Hardware* e *Software* foram implementados e colocados em uso, viabilizando a obtenção dos resultados aqui documentados. Os resultados mostraram a funcionalidade do sistema FEET. O teste de conectividade foi importante para a identificação rápida das falhas encontradas. Os testes dos parâmetros de sensibilidade e ruído mostraram-se coerentes com as características do ASDQ++. O teste de *crosstalk* inicialmente apresentou alguns problemas que, mais tarde, foram solucionados e hoje se encontra apto para operação. Os resultados obtidos com o teste *Rate-Method* mostraram que este é eficiente para testes qualitativos da eletrônica de *front-end* in loco, podendo indicar vários tipos de falhas que podem ocorrer, durante o funcionamento do experimento, tanto com a MWPC como com a *front-end*, porém foi constatado que ele não exclui a necessidade dos testes com injeção de carga.

Do ponto de vista do *hardware*, embora o FEET hoje esteja pronto para trabalhar com a arquitetura da eletrônica de *front-end* proposta no início do projeto, esta última encontra-se hoje em fase de mudança (mudança prevista para o ano de 2004). Para que o

FEET seja usado para o teste das placas, algumas alterações devem ser implementadas, porém a nova arquitetura ainda não foi definida. O início da produção das placas se dará em meados de 2004, e seu final em Outubro de 2005 [25]. Outra aplicação para o sistema é o teste dos circuitos integrados antes desses serem conectados à placa. O sistema FEET, como foi desenvolvido, pode ser adaptado facilmente para esta aplicação. Do ponto de vista dos métodos e procedimentos desenvolvidos, o FEET poderá servir de base tanto para o teste das placas ASDs assim como seu teste in loco via ECS (*Experiment Control System*), responsável pelo controle e monitoramento de todos os parâmetros do sistema de *front-end* do experimento LHCb.

Uma versão dedicada ao *Rate-Method* se encontra, hoje, no CERN podendo ser utilizado para teste tanto de ASDs como de câmaras MWPC (de acordo com sua capacitância). Outros dois sistemas serão montados com todos os testes aqui desenvolvidos: um permanecerá no CBPF, e fará parte de um dos cursos da escola de instrumentação ICFA de 2003, enquanto o outro será entregue ao grupo de Roma (INFN), onde poderá ser utilizado por institutos próximos.

O sistema FEET fez parte de um esforço para uma inserção maior do CBPF no experimento LHCb, assim como abriu a possibilidade de uma nova colaboração com o INFN (*Istituto Nazionale di Fisica Nucleare*) via o grupo de Roma responsável pelo sistema ECS do LHCb. O projeto a ser realizado com o grupo de Roma, mediante esta colaboração, em parte, é um prosseguimento do projeto FEET, já que muitos dos algoritmos aqui utilizados serão implementados em um novo projeto de teste in lócus da eletrônica de *front-end* via ECS.

Bibliografia

- [1] LHCb Collaboration. LHCb Technical Proposal. CERN/LHCC/98-004, 1998.
- [2] GEORGE, K. A. The LHCb Experiment. LHCb note 2003-130, 2003.
- [3] LHCb Collaboration. LHCb VELO (Vertex Locator) Technical Design Report. CERN/LHCC/2001-011. LHCb-TDR-5, 2001.
- [4] T. Nakada. Status of the LHCb experiment. LHCb-RRB-2002-136 (2002).
- [5] LHCb Collaboration. LHCb Data Acquisition and Experiment Control Technical Design Report. CERN/LHCC/2001-040. LHCb-TDR-7, 2001.
- [6] SAULI, F. Principles of Operation of Multiwire Proportional and Drift Chambers. CERN 77-09, 1977.
- [7] MARINHO, P.R.B. Projeto e Construção de um Detector de Raios Cósmicos com Localização Tridimensional. Tese de Mestrado. Centro brasileiro de Pesquisas Físicas, 2000.
- [8] KNOLL, G. F. Radiation Detector and Measurement. John Wiley & Sons, 1989.
- [9] NICHOLSON, P. W. Nuclear Electronics. John Wiley & Sons, 1974.
- [10] LHCb Collaboration. LHCb Muon System Technical Design Report. CERN/LHCC/2001 010. LHCb TDR 4, 2001.
- [11] BOCHI, B. et al. Wire Pad Chamber for LHCb Muon System. LHCb2000-003 Muon, 2000.

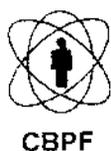
- [12] KACHTCHOUK, A. et al. Performance study of a MWPC prototype for the LHCb Muon System with the ASDQ chip. LHCb-Muon 2000-062, 2000.
- [13] CHRUSTIANSEN, J. Requirements for the L0 front-end electronics. LHCb 1999-029 Trigger, 1999.
- [14] RIEGLER, W. Crosstalk, cathode structure and electrical parameters of the MWPCs for the LHCb muon system. LHCb 2000-061 Muon, 2000.
- [15] RIEGLER, W. Detector physics and performance - simulations of the MWPCs for the LHCb Muon System. LHCb 2000-60 Muon, 2000.
- [16] NEWCOMER, M. et al. The ASDQ ASIC for the Front End electronics of the COT. CDF note, 1999.
- [17] NEWCOMER, M. et al. IEEE Transactions on Nucl.Sci.NS 40 (1993). p.630.
IEEE Transactions on Nucl.Sci.NS 43 (1996). p.1725.
- [18] MORAES, D. M. Spontaneous R Parity Violation Measurement at DELPHI & CARIOCA - A New Front-end Electronic for the LHCb Muon Detector. Tese de Doutorado. Universidade Federal do Rio de Janeiro, 2002.
- [19] RIEGLER, W. CARIOCA Final Prototype Info Page. Disponível na INTERNET via <http://riegler.home.cern.ch/riegler>. Arquivo consultado em 2003.
- [20] KACHTCHOUK, A. Method for test and diagnostics of the on-detector front-end electronics for the LHCb Muon System. LHCb 2002-013 Muon, 2002.
- [21] NEWCOMER, M. et al. The ASDQ ASIC. CDF note, 1998.
- [22] NATIONAL INSTRUMENTS. DAQ: 6023E/6024E/6025 User Manual. NATIONAL INSTRUMENTS, 2000.
- [23] SPIELER, H. Signal Processing. Disponível na INTERNET via <http://www-physics.lbl.gov/~spieler>. Arquivo consultado em 2002/2003.

- [24] KACHTCHOUK, A. et al. ASDQ++ Front-end board for the MWPC readout of the LHCb Muon System. LHCb Muon 2002-014, 2002.
- [25] REVIEW of the LHCb Addendum to the Muon System Technical Design Report. Disponível na INTERNET via http://lhcb-doc.web.cern.ch/lhcb-doc/progress/Source/LHCC/Jan_2003/lhcc-g-0027.pdf. CERN / LHCC / 2003 - 008 / G027, 2003.
- [26] BARBOSA, A. F. Progrès dans le Développement de Détecteurs à Gaz avec Lecture de Position par Méthode de Ligne-à-retard pour des Expériences Dynamiques. Tese de Doutorado. Université Joseph Fourier-Grenoble, 1992.
- [27] JOHNSON, H., GRAHAM, M. High-Speed Digital Design, A Handbook of Black Magic. Prentice Hall, 1993.
- [28] RIEGLER, W. Simulations of the MWPCs for the LHCb Muon System. LHCb Muon 2000-060, 2000.
- [29] POLYCARPO, E., Estudo da Sensibilidade do Experimento LHCb ao Decaimento Raro $B_s \rightarrow \mu\mu$ e Contribuição ao Desenvolvimento do Sistema de Muons. Universidade Federal do Rio de Janeiro, 2002.
- [30] RADEKA, V. Low Noise techniques in Detectors. Ann. Rev. Nucl. Part. Sci. 1988, p.217-277.
- [31] WILKINSON, D.H. Ionization Chambers and Counters. Cambridge University Press, 1950.

APÊNDICES

Apêndice A

Status do Sistema FEET após Teste da Eletrônica de Front-end no CERN



Front-End Electronics Test System Status Information

(After ASDQ++ boards TEST at CERN)

LHCb Technical Note

Reference: LHCb 2003-026
Created: 23 April 2003

Prepared by: Rafael Nóbrega, Ignacio Bediaga, Geraldo Cernicchiaro
CBPF, Rio de Janeiro, Brazil

Abstract

A Front-End Electronics Test System (FEET) is being implemented in order to test the Front-end electronics (FEE), in the production line, for the LHCb Muon System. This document discusses some aspects related to the test of ASDQ++ boards. FEET presently enables 5 different tests: Connectivity, Crosstalk, Noise, Sensitivity and Rate-Method tests. The system has detected 25 channels with problems out of 640 tested channels.

Content

1 Introduction	115
2 Test Results	115
2.1 <i>Test Report</i>	116
2.2 <i>Connectivity Test</i>	116
2.3 <i>Crosstalk Test</i>	116
2.4 <i>Noise Test</i>	117
2.5 <i>Sensitivity Test</i>	118
2.6 <i>Rate Method Test</i>	118
3 ASDQ++ Board Diagnostics	120
4 Conclusions	121
5 Aknowledgements	122

1 Introduction

The **Front-End Electronics Test System (FEET)** [1] is being implemented to test the FEE for the LHCb Muon System. The System was implemented in order to be compatible with the ASDQ++ [2-4-5] and the CARIOCA [3] boards. A total of 40 ASDQ++ boards were tested at CERN. The test results were used to evaluate the FEET System, as it is implemented now, and they will be discussed in this document, as well some Rate Method related aspects.

2 Test Results

The ASDQ++ boards were separated into two groups, the new ones which arrived at CERN without any previous test and the ones which were already available at CERN by the tests period.

The routine for the tests was based on the diagram presented in the Fig.1. Once a channel presents a problem in the **Connectivity Test**, opened or short-circuited channel, the other tests, **Crosstalk**, **Noise** and **Sensitivity Test**, ignore the defective channel except for the **Rate Method Test** [4].

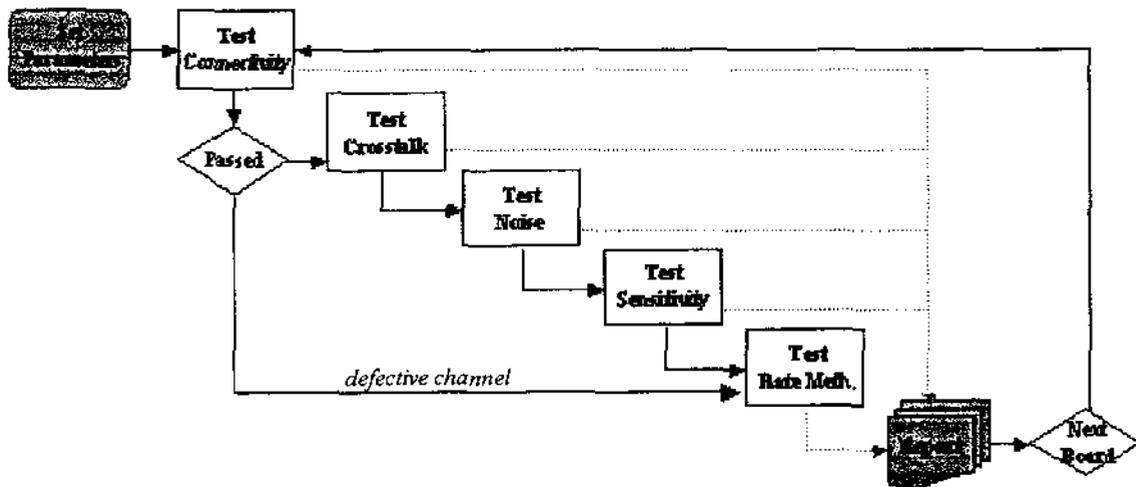


Fig. 1 - Test Routine

A 150pF input capacitor was used for all the tests. The used threshold value is the one measured at the ASDQ++ board input; only in the Crosstalk Test the threshold was measured at the PCB connector named ST1, which corresponds to the threshold on the chip. We have set the ATT pin, offered by the ASDQ chip, to +3V, which attenuates input by factor 2, see Ref. [5].

In the Connectivity Test, between the new ASDQ++ boards 14 ones presented problems while the boards already available at CERN did not show any serious problem.

2.1 Test Report

The software allows to save all the data measured through the test and, when the test is finished, it generates a report file (.htm). The report given comes with the board name, error messages, test tables (with test parameters), date, and some relevant test conditions at the end. It begins as shown in Fig.2.

Front-End Electronics Test Station - FEET															11/04/2003	
BOARD asdqp 1001																
ERROR MESSAGES																
ch3 Open channel ch5 Open channel ch6 Open channel																
CONNECTIVITY TABLE (%)																
	Ch0	Ch1	Ch2	Ch3	Ch4	Ch5	Ch6	Ch7	Ch8	Ch9	Ch10	Ch11	Ch12	Ch13	Ch14	Ch15
Ch0	100	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Ch1	0	100	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Ch2	0	0	100	0	0	0	0	0	0	0	0	0	0	0	0	0
Ch3	0	0	0	100	100	0	0	0	0	0	0	0	0	0	0	0
Ch4	0	0	0	100	100	0	0	0	0	0	0	0	0	0	0	0
Ch5	0	0	0	0	0	100	0	0	0	0	0	0	0	0	0	0
Ch6	0	0	0	0	0	0	100	0	0	0	0	0	0	0	0	0
Ch7	0	0	0	0	0	0	0	100	0	0	0	0	0	0	0	0
Ch8	0	0	0	0	0	0	0	0	100	0	0	0	0	0	0	0
Ch9	0	0	0	0	0	0	0	0	0	100	0	0	0	0	0	0
Ch10	0	0	0	0	0	0	0	0	0	0	100	0	0	0	0	0
Ch11	0	0	0	0	0	0	0	0	0	0	0	100	0	0	0	0
Ch12	0	0	0	0	0	0	0	0	0	0	0	0	100	0	0	0
Ch13	0	0	0	0	0	0	0	0	0	0	0	0	0	100	0	0
Ch14	0	0	0	0	0	0	0	0	0	0	0	0	0	0	100	0
Ch15	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	100

Fig. 2 - Final Report Document

2.2 Connectivity Test

It is the simplest test but the one that will recognize most of the problems, in a very fast way. If there is any opened or short-circuited channel it is recognized by this test and with its results we can avoid doing the other tests on the failing channel. A table from the ASDQp1008 is shown in Fig.3.

CONNECTIVITY TABLE (%)																
	Ch0	Ch1	Ch2	Ch3	Ch4	Ch5	Ch6	Ch7	Ch8	Ch9	Ch10	Ch11	Ch12	Ch13	Ch14	Ch15
Ch0	100	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Ch1	0	100	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Ch2	0	0	100	0	0	0	0	0	0	0	0	0	0	0	0	0
Ch3	0	0	0	100	100	0	0	0	0	0	0	0	0	0	0	0
Ch4	0	0	0	100	100	0	0	0	0	0	0	0	0	0	0	0
Ch5	0	0	0	0	0	100	0	0	0	0	0	0	0	0	0	0
Ch6	0	0	0	0	0	0	100	0	0	0	0	0	0	0	0	0
Ch7	0	0	0	0	0	0	0	100	0	0	0	0	0	0	0	0
Ch8	0	0	0	0	0	0	0	0	100	0	0	0	0	0	0	0
Ch9	0	0	0	0	0	0	0	0	0	100	0	0	0	0	0	0
Ch10	0	0	0	0	0	0	0	0	0	0	100	0	0	0	0	0
Ch11	0	0	0	0	0	0	0	0	0	0	0	100	0	0	0	0
Ch12	0	0	0	0	0	0	0	0	0	0	0	0	100	0	0	0
Ch13	0	0	0	0	0	0	0	0	0	0	0	0	0	100	0	0
Ch14	0	0	0	0	0	0	0	0	0	0	0	0	0	0	100	0
Ch15	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	100

Fig. 3 - ASDQp1008 Connectivity Test Table (notice short-circuit between ch3 and ch4)

2.3 Crosstalk Test

Crosstalk is the second test to be done in the FEET test sequence. For this test we worked with threshold around 285mV. It was possible to see some interference between channels but it is still not possible to tell if this interference comes from the ASDQ due to

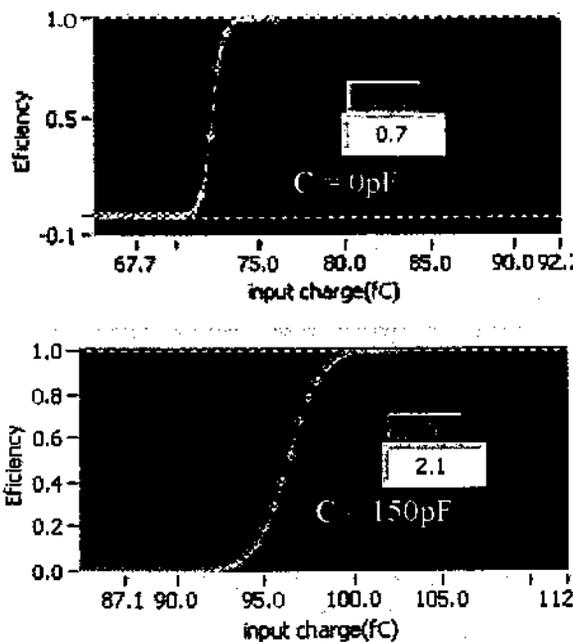
shielding imperfection on the FEET system. At the used threshold, the new ASDQ++ boards have not presented much crosstalk problems while the other ones presented some. With an improvement on the shielding we believe this problem will be solved without much difficulty. A table from ASDQp1009 is shown in Fig.4.

CROSSTALK TABLE (%)																
	Ch0	Ch1	Ch2	Ch3	Ch4	Ch5	Ch6	Ch7	Ch8	Ch9	Ch10	Ch11	Ch12	Ch13	Ch14	Ch15
Ch0	100	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Ch1	0	100	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Ch2	0	0	100	0	0	0	0	0	0	0	0	0	0	0	0	0
Ch3	0	0	0	100	0	0	0	0	0	0	0	0	0	0	0	0
Ch4	0	0	0	0	100	0	0	0	0	0	0	0	0	0	0	0
Ch5	0	0	0	0	0	100	0	0	0	0	0	0	0	0	0	0
Ch6	0	0	0	0	0	0	100	0	0	0	0	0	0	0	0	0
Ch7	0	0	0	0	0	0	0	100	0	0	0	0	0	0	0	0
Ch8	0	0	0	0	0	0	0	0	100	0	0	0	0	0	0	0
Ch9	0	0	0	0	0	0	0	0	0	100	0	0	0	0	0	0
Ch10	0	0	0	0	0	0	0	0	0	0	100	0	0	0	0	0
Ch11	0	0	0	0	0	0	0	0	0	0	0	100	0	0	0	0
Ch12	0	0	0	0	0	0	0	0	0	0	0	0	100	0	0	0
Ch13	0	0	0	0	0	0	0	0	0	0	0	0	0	100	0	0
Ch14	0	0	0	0	0	0	0	0	0	0	0	0	0	0	100	0
Ch15	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	100

Fig. 4 - ASDQp1009 Crosstalk Test Table

2.4 Noise Test

The Noise tests presented very stable results and the S-curve acquisition and fitting process worked as expected, having no errors through all the tests. Fig.5 shows the ASDQp1009 test table, and two S-curves (data and fitting results), for none and 150pF input capacitance.

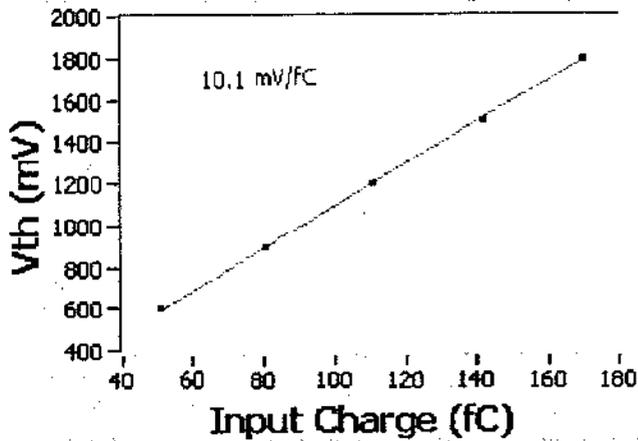


NOISE TABLE		
	sigma (fC)	true th (fC)
Ch0	2.1	97.4
Ch1	2.0	95.6
Ch2	2.0	94.3
Ch3	2.0	96.9
Ch4	2.1	93.1
Ch6	2.1	97.4
Ch6	2.3	94.0
Ch7	2.2	94.7
Ch8	2.1	98.5
Ch9	2.2	98.7
Ch10	2.1	97.6
Ch11	1.9	96.9
Ch12	2.2	96.8
Ch13	2.1	98.5
Ch14	2.1	98.9
Ch15	2.2	96.9

Fig. 5 - Noise Acquisition Graphics and ASDQp1009 Noise Test Table

2.5 Sensitivity Test

Sensitivity tests have also shown very stable results. Fig.6 shows the ASDQp1010 channel-7 graphic and the ASDQp1005 board sensitivity test results. The new ASDQ++ boards sensitivity, with $C = 150\text{pF}$ input capacitance, was somewhat around 10mV/fC . Although better calibration is needed it is possible to see the stability between the channels.



SENSITIVITY TABLE		
	mV/fC	offset (mV)
Ch0	10.0	81.8
Ch1	10.1	52.4
Ch2	10.0	81.8
Ch3	10.0	66.1
Ch4	9.8	66.1
Ch5	9.9	63.6
Ch6	9.8	87.1
Ch7	10.0	41.1
Ch8	10.1	35.7
Ch9	10.2	84.7
Ch10	10.1	71.9
Ch11	10.0	79.6
Ch12	10.1	78.9
Ch13	10.1	95.3
Ch14	10.1	86.7
Ch15	10.0	91.7

Fig.6 - ASDQp1004 channel0 Sensitivity Graphic and ASDQp1015 Test Table (ATT pin logic level high)

2.6 Rate Method Test

From the ASDQp1001 Rate Method test table, it is easy to see how channels 3, 4 and 5 are different due to an open connection. Their behavior is like a channel with input capacitance equal to zero, a clear indication to localize the problem. With the four first columns it is possible to rebuild the test curves. Each graphic contains two curves; each curve is related with a different gain set-up of the ASDQ++ chip. The *vertex frequency* represents the y-axis value and the *th_pedestal* represents the x-axis value of the crossing point between both curves, the third and fourth columns represent the x-axis value when $y=0$.

Fig. 8 shows a good channel behavior of the Rate Method test and Fig. 9 shows an opened channel. Both tested by FEET.

RATE METHOD						
	vertex_frequency (Hz)	th_pedestal (mV ²)	IATT0V_Xmax (mV ²)	IATT3V_Xmax (mV ²)	slope_0V	slope_3V
Ch0	1630059093	14	71	36	-372	-988
Ch1	1214477328	14	75	39	-340	-856
Ch2	1083674762	13	69	34	-371	-989
Ch3	3574234279	10	29	18	-1126	-2727
Ch4	616347888	12	7	34	-345	-926
Ch6	66066940478	7	26	16	-1334	-2702
Ch6	52513460393	7	28	17	-1295	-2572
Ch7	61693822371	13	55	27	-596	-1636
Ch8	1924862212	12	57	33	-388	-1045
Ch9	3729856810	9	63	33	-406	-937
Ch10	670512540	13	73	36	-336	-893
Ch11	817210111	10	66	32	-363	-931
Ch12	918700738	12	89	34	-360	-942
Ch13	1051200036	13	75	38	-337	-845
Ch14	6433002500	11	59	28	-469	-1311
Ch15	20777431782	11	60	28	-486	-1361

Fig. 7 - ASDQp1001 Rate Method Test Table

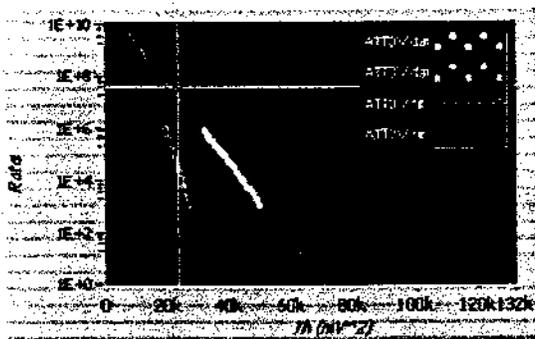


Fig.8 - Test with 150pF input capacitor

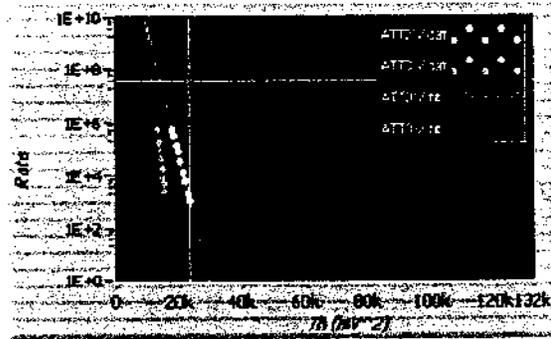


Fig.9 - ASDQp1001 channel-3 result

In a well-behaved channel test, the curve parameters, given by the rate method table, provide important information but different kind of problems are expected and some times these parameters are not enough to describe a channel behavior through the Rate Method test. Fig. 10 and 11 show the graphic result of two open channels, the ASDQp1002 channel 7 and ASDQp1017 channel 5, Although the channel in the Fig. 11 test is open, the Rate Method parameters would respect the values expected. These results show that a diagnostic on the fitting mean squared error (mse) must be taken in account in order to, in case the test presents an mse over the expected value, indicate whether examinations on the data points should be made.

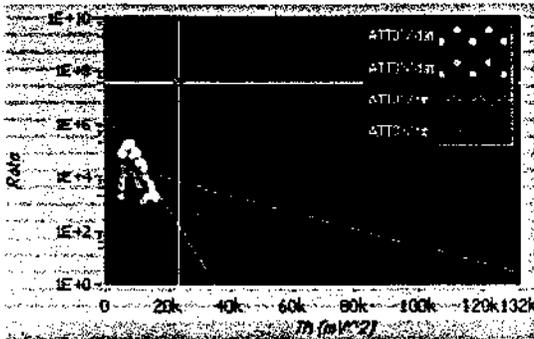


Fig10 - ASDQp1002 channel 7 result

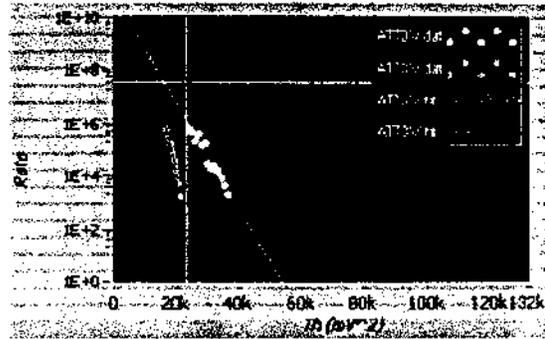


Fig.11 - ASDQp1017 channel 5 result

3 ASDQ++ Board Diagnostics

The positive-board problems were quickly investigated and most of them were found in the input transistor pin connections as listed in table 1, full information about ASDQ++ board can be found in Ref.[5].

Table 1 – Problems found on the boards after diagnostics indication. Transistors are indicated by Q (the channels numeration is considered from 00 to 15)

ASDQp1001	Channel 03 – component Q68, base lead is not connected to GND
	Channel 05 – component Q24, base lead is not connected to GND
	Channel 06 – component Q47, base lead is not connected to GND
ASDQp1002	Channel 7 – component Q69, base lead is not connected to GND
ASDQp1004	Channel 04 – component Q1, base lead is not connected to GND
ASDQp1007	Channel 08 – component Q2, base lead is not connected to GND
ASDQp1008	Channel 03 and 04 – short-circuited between component pads R102-R104
ASDQp1012	Channel 00 – component Q0, base lead is not connected to GND
ASDQp1017	Channel 5 – unknown (Dpen Channel)
ASDQp1018	Channel 12 – component Q3, emitter lead is connected to GND

Table 2 indicates the defective channels for the negative boards given by the FEET test diagnostics. It should be investigated where the problems are located.

Table 2 – Problems found on the negative boards by FEET diagnostics

ASDQn0003
Channel 01 – Open Channel
Channel 02 – Open Channel
Channel 03 – Open Channel
Channel 04 – Open Channel
Channel 05 – Open Channel
Channel 06 – Open Channel
Channel 07 – Open Channel
Channel 14 – Open Channel
ASDQn0008
Channel 01 – Open Channel
Channel 15 – Noisy Channel
ASDQn0009
Channel 01 – Open Channel
ASDQn0013
Channel 01 – Open Channel
ASDQn0014
Channel 06 – Open Channel
ASDQn0017
Channel 03 – Open Channel

4 Conclusions

This note presents results obtained with the FEET System. The results meet the expectation. The system could identify 14 out of 40 boards tested with problems, meaning 25 out of 640 channels.

Numerical values presented must be taken as reference. Further more accurate calibration is needed if we consider necessary absolute values. Our main goal was to test and identify problems on the boards. First analyses indicate good possibilities in the use of rate method as an in locus diagnostic tool. Improvements in the shielding and noise of the system are in progress. These improvements would provide better results in all test methods.

A more detailed paper, with procedures information and electrical schematics, about the system is being prepared and it will be available soon.

5 Acknowledgements

We would like to thank A.Kashchuk, G.Carboni, B.Schmidt, A.Barbosa, J.Miranda and A.Massafferi for support and useful discussion.

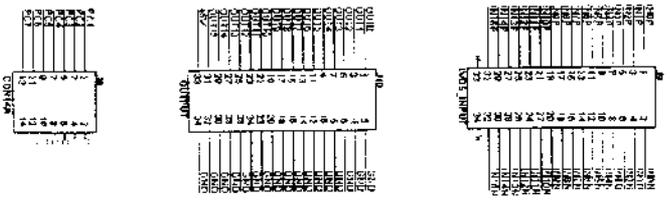
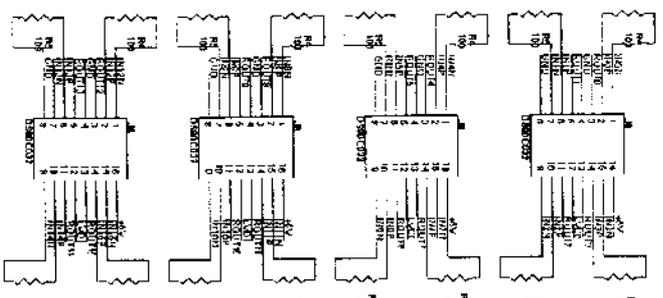
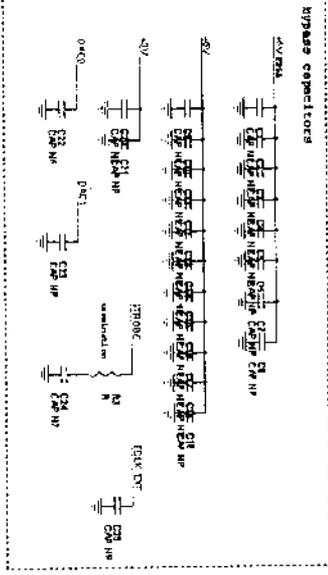
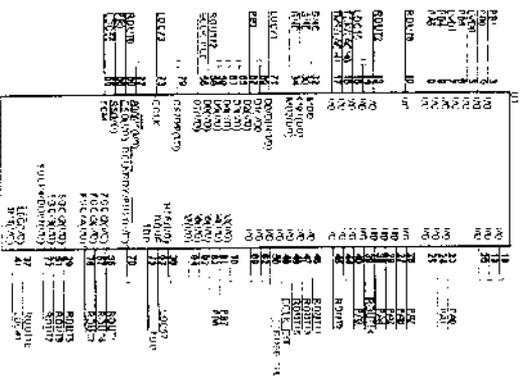
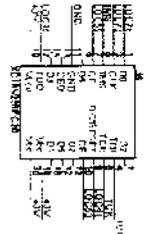
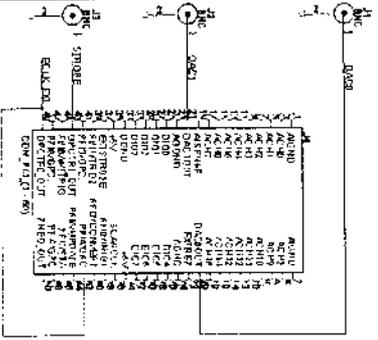
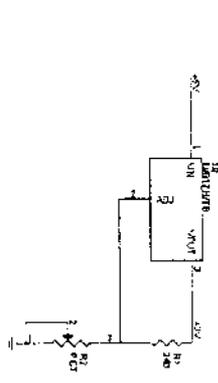
References

- [1] R. Nobrega, I. Bediaga, G. Cerniciaro, "Front-End Electronics Test System - FEET", to be published.
- [2] A. Kashchuk, W. Riegler, B. Schmidt, T. Schneider, L. de Paula, "Performance study of a MWPC prototype for the LHCb Muon System with the ASDQ chip", A. Kachtchouk, LHCb-Muon 2000-062 (2000).
- [3] D. Moraes, "Spontaneous R Parity Violation Measurement at DELPHI & CARIOCA – A New Front-end Electronic for the LHCb Muon Detector", PhD Thesis, Universidade Federal do Rio de Janeiro (2002).
- [4] A. Kashchuk, "Method for test and diagnostics of the on-detector front-end electronics for the LHCb Muon System", LHCb2002-013 Muon (2002).
- [5] G. Chiodi, G. Corradi, G.Felici, M. Gatta, A. Kashchuk, B. Schmidt, "ASDQ++ Front-end board for the MWPC readout of the LHCb Muon System", LHCb2002-014 (2002).
- [6] V. Radeka, "Low Noise Techniques in Detectors", Ann. Rev. Necl. Part. Sci. 217-277 (1988).

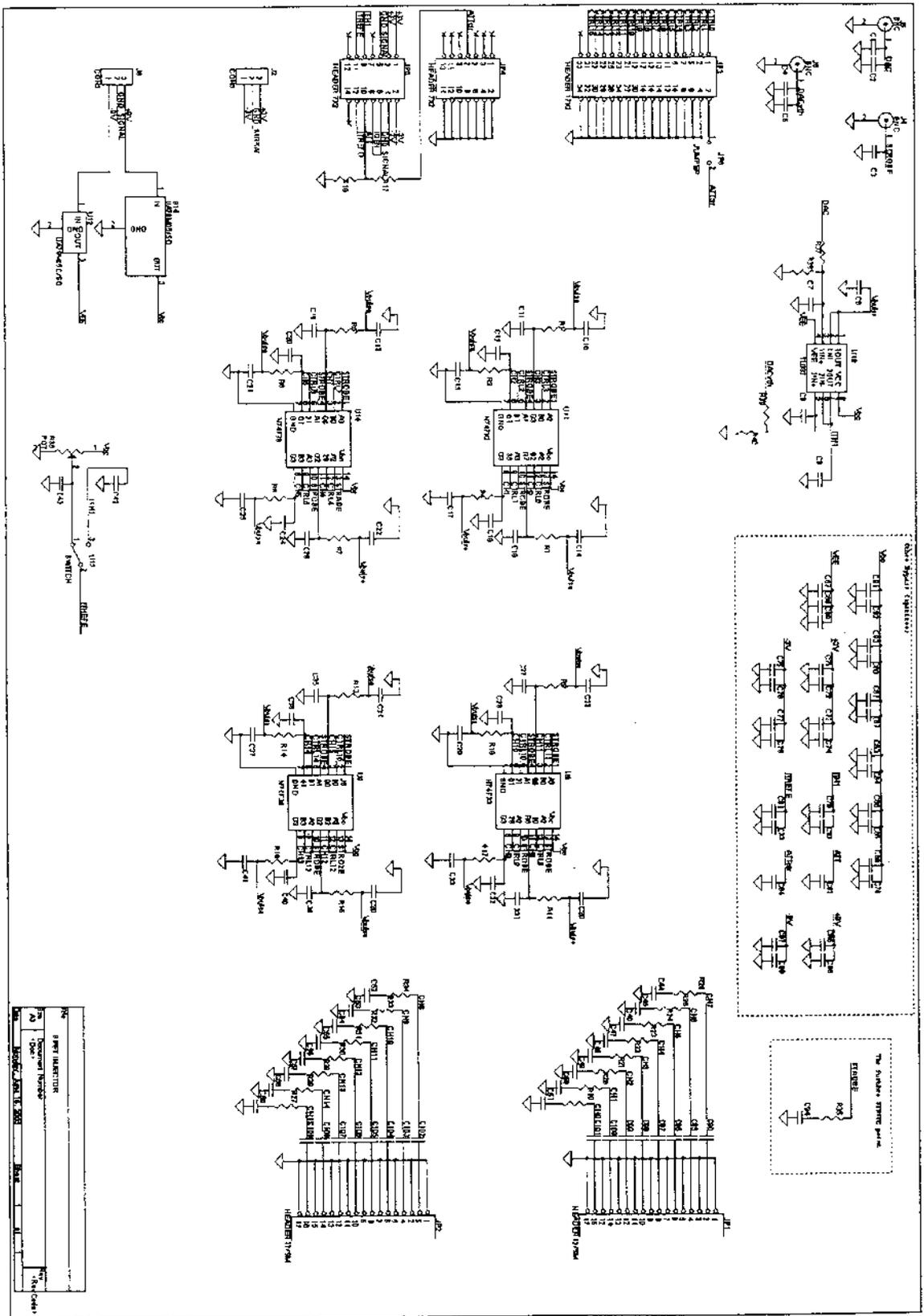
Apêndice B

Esquemáticos das Placas do FEET

- 1. Placa de Alimentação**
- 2. Placa de Controle**
- 3. Placa de Injeção**



CENTRAL BOARD	
1	250V AC
2	150V AC
3	200V DC
4	100V DC
5	100V DC
6	100V DC
7	100V DC
8	100V DC
9	100V DC
10	100V DC
11	100V DC
12	100V DC
13	100V DC
14	100V DC
15	100V DC
16	100V DC
17	100V DC
18	100V DC
19	100V DC
20	100V DC
21	100V DC
22	100V DC
23	100V DC
24	100V DC
25	100V DC
26	100V DC
27	100V DC
28	100V DC
29	100V DC
30	100V DC



Apêndice C

Circuito de Conexão e Programação de uma EEPROM e uma FPGA

Aqui serão apresentados os esquemas utilizados para gravação e conexão dos dispositivos EEPROM XC18V256PC20C e FPGA XC4010E3PC84C.

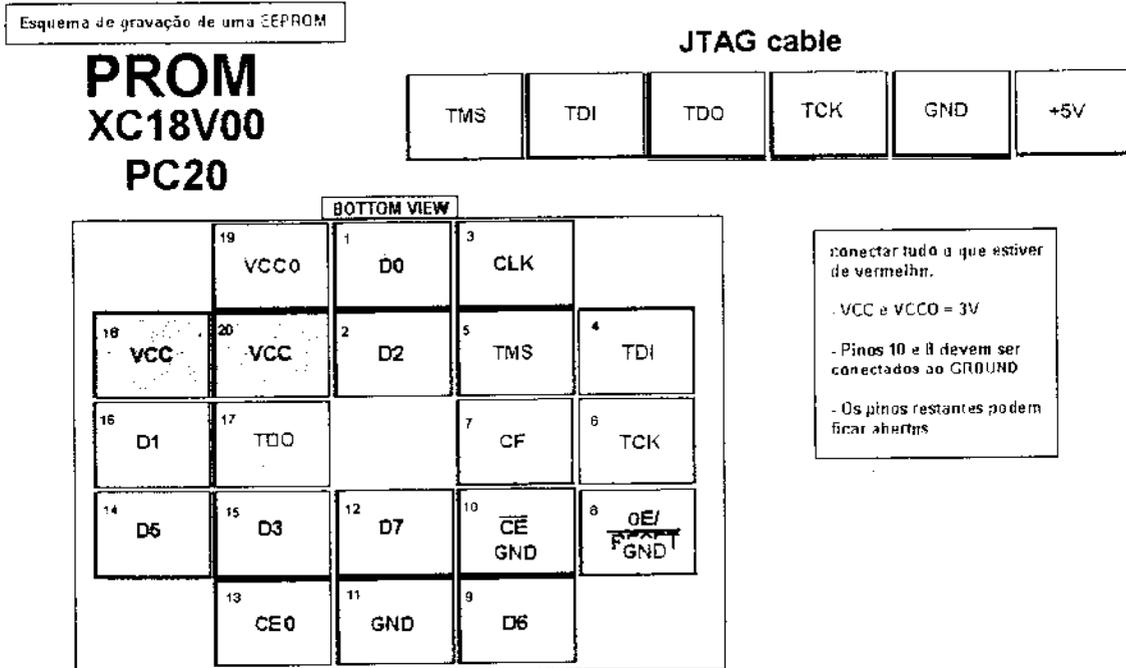


Figura C1 - Esquema de gravação de uma EEPROM

A EEPROM deve ser programada após a criação de um arquivo de extensão .mcs a partir de outro com extensão .bit (FPGA). As ligações estão indicadas na figura C1. O cabo a ser usado deve ser o JTAG (*IEEE Std. 1149.1 Boundary-Scan*). Esta configuração deve ser usada quando a gravação é feita isolada, sem a EEPROM estar conectada a outro circuito.

A EEPROM usada neste projeto foi a XC18V256PC20C, porém este componente não será mais produzido em breve. O dispositivo XC18V512PC20 pode ser usado neste projeto sem algum problema.

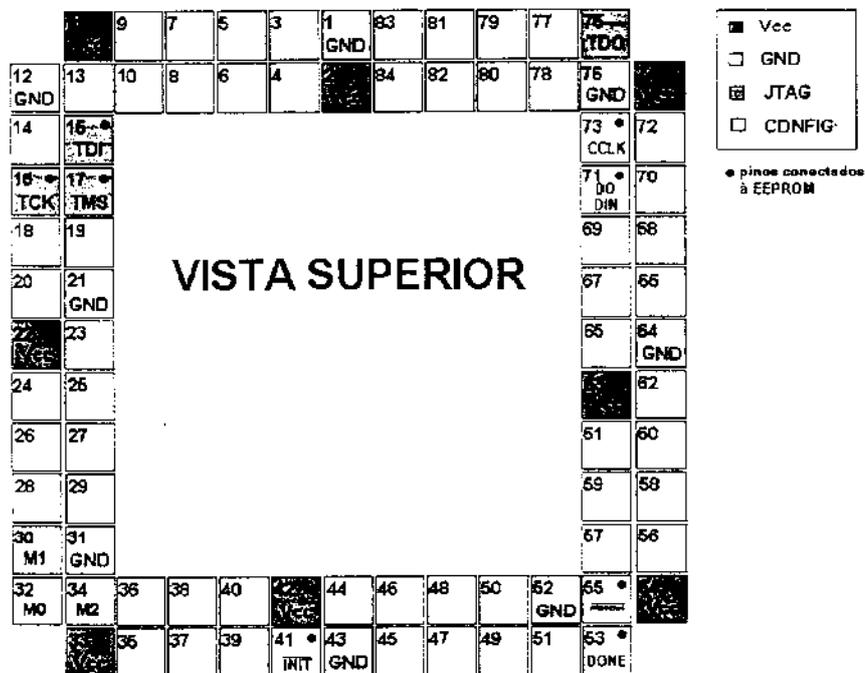


Figura C2 - Pinagem da FPGA XC4010E com indicação do principais pinos

A figura C2 mostra a vista superior da FPGA XC4010E de acordo com a pinagem obtida com o uso de um soquete PLCC padrão. Os pinos M0, M1 e M2 são pinos de configuração e devem estar conectados ao terra (GND) quando o dispositivo for programado por uma EEPROM e deve estar em alto (*pull-up*) quando este for programado via cabo JTAG.

O caso a seguir, da figura C3, mostra o esquema de ligação entre EEPROM e FPGA que pode ser usada tanto para programação dos dois dispositivos em cadeia (M0, M1 e M2 em *pull-up*) com o uso do cabo JTAG, ou apenas da FPGA a partir da EEPROM (M0, M1 e M2 conectados ao plano de terra), sem uso do JTAG.

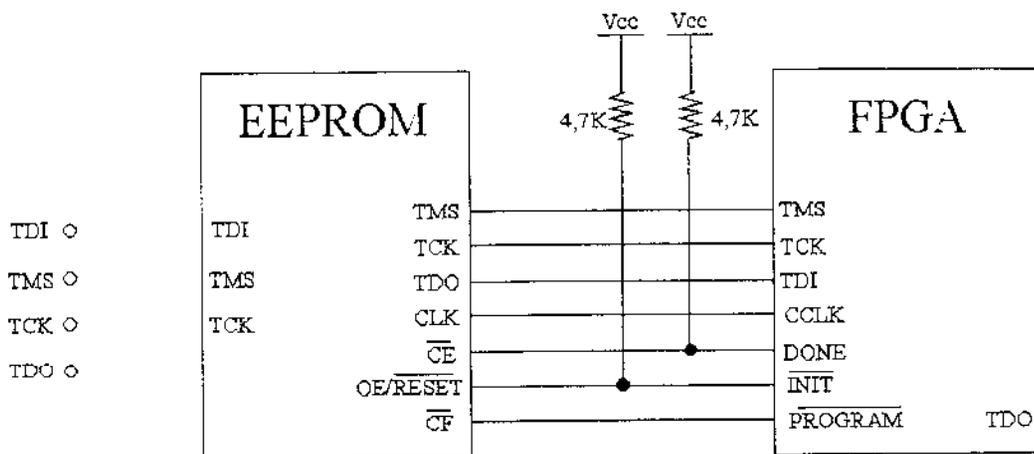


Figura C3 - Esquema de ligação entre FPGA e EEPROM

```

library ieee;

use ieee.std_logic_1164.all;

entity clock is
  port(ch0: in std_logic;
        ch1:in std_logic;
        ch2:in std_logic;
        ch3:in std_logic;
        ch4:in std_logic;
        ch5:in std_logic;
        ch6:in std_logic;
        ch7:in std_logic;
        EN: in std_logic;
        Rst: in std_logic;
        clk0: inout integer range 0 to 16777215;
        clk1: inout integer range 0 to 16777215;
        clk2: inout integer range 0 to 16777215;
        clk3: inout integer range 0 to 16777215;
        clk4: inout integer range 0 to 16777215;
        clk5: inout integer range 0 to 16777215;
        clk6: inout integer range 0 to 16777215;
        clk7: inout integer range 0 to 16777215);
end clock;

```

architecture behavior of clock is

```

begin

  counter0: process(ch0, Rst)
  begin
    if Rst = '1' then clk0 <= 0;
    elsif EN = '1' then
      if (ch0 = '1' and ch0'event) then clk0 <= clk0 + 1;
      end if;
    end if;
  end process;

  counter1: process(ch1, Rst)
  begin

```

```
if Rst = '1' then clk1 <= 0;
elsif EN = '1' then
  if (ch1 = '1' and ch1'event) then clk1 <= clk1 + 1;
  end if;
end if;
end process;
```

```
counter2: process(ch2, Rst)
begin
  if Rst = '1' then clk2 <= 0;
  elsif EN = '1' then
    if (ch2 = '1' and ch2'event) then clk2 <= clk2 + 1;
    end if;
  end if;
end process;
```

```
counter3: process(ch3, Rst)
begin
  if Rst = '1' then clk3 <= 0;
  elsif EN = '1' then
    if (ch3 = '1' and ch3'event) then clk3 <= clk3 + 1;
    end if;
  end if;
end process;
```

```
counter4: process(ch4, Rst)
begin
  if Rst = '1' then clk4 <= 0;
  elsif EN = '1' then
    if (ch4 = '1' and ch4'event) then clk4 <= clk4 + 1;
    end if;
  end if;
end process;
```

```
counter5: process(ch5, Rst)
begin
  if Rst = '1' then clk5 <= 0;
  elsif EN = '1' then
    if (ch5 = '1' and ch5'event) then clk5 <= clk5 + 1;
    end if;
  end if;
end process;
```

```
    end if;  
end process;
```

```
counter6: process(ch6, Rst)  
begin  
    if Rst = '1' then clk6 <= 0;  
    elsif EN = '1' then  
        if (ch6 = '1' and ch6'event) then clk6 <= clk6 + 1;  
        end if;  
    end if;  
end process;
```

```
counter7: process(ch7, Rst)  
begin  
    if Rst = '1' then clk7 <= 0;  
    elsif EN = '1' then  
        if (ch7 = '1' and ch7'event) then clk7 <= clk7 + 1;  
        end if;  
    end if;  
end process;
```

```
end behavior;
```

O circuito que representa o código VHDL acima está presente na figura D1.

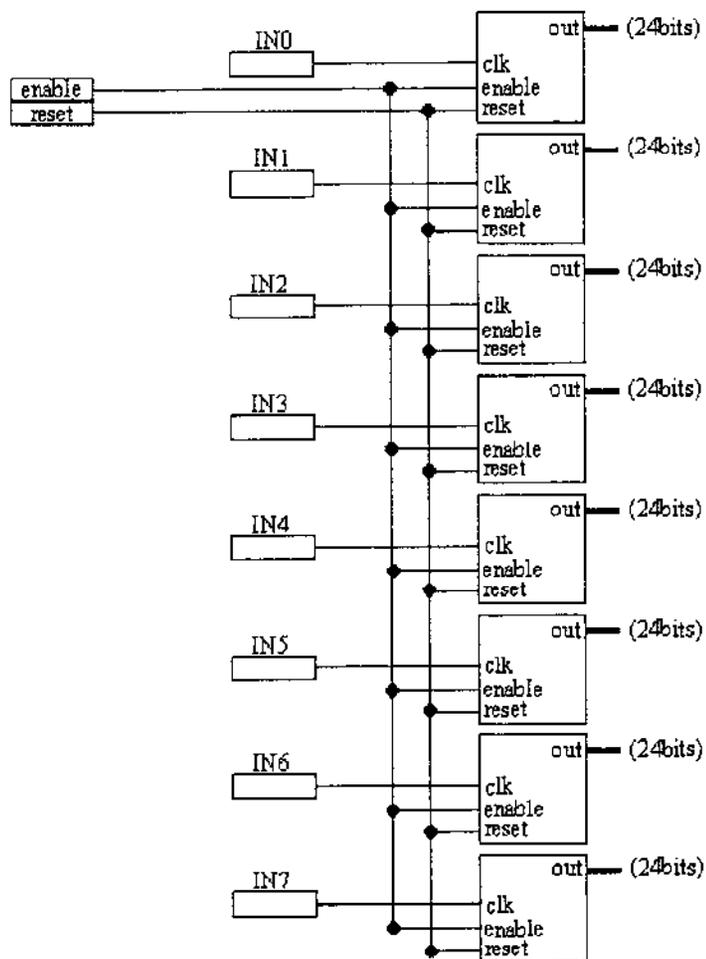
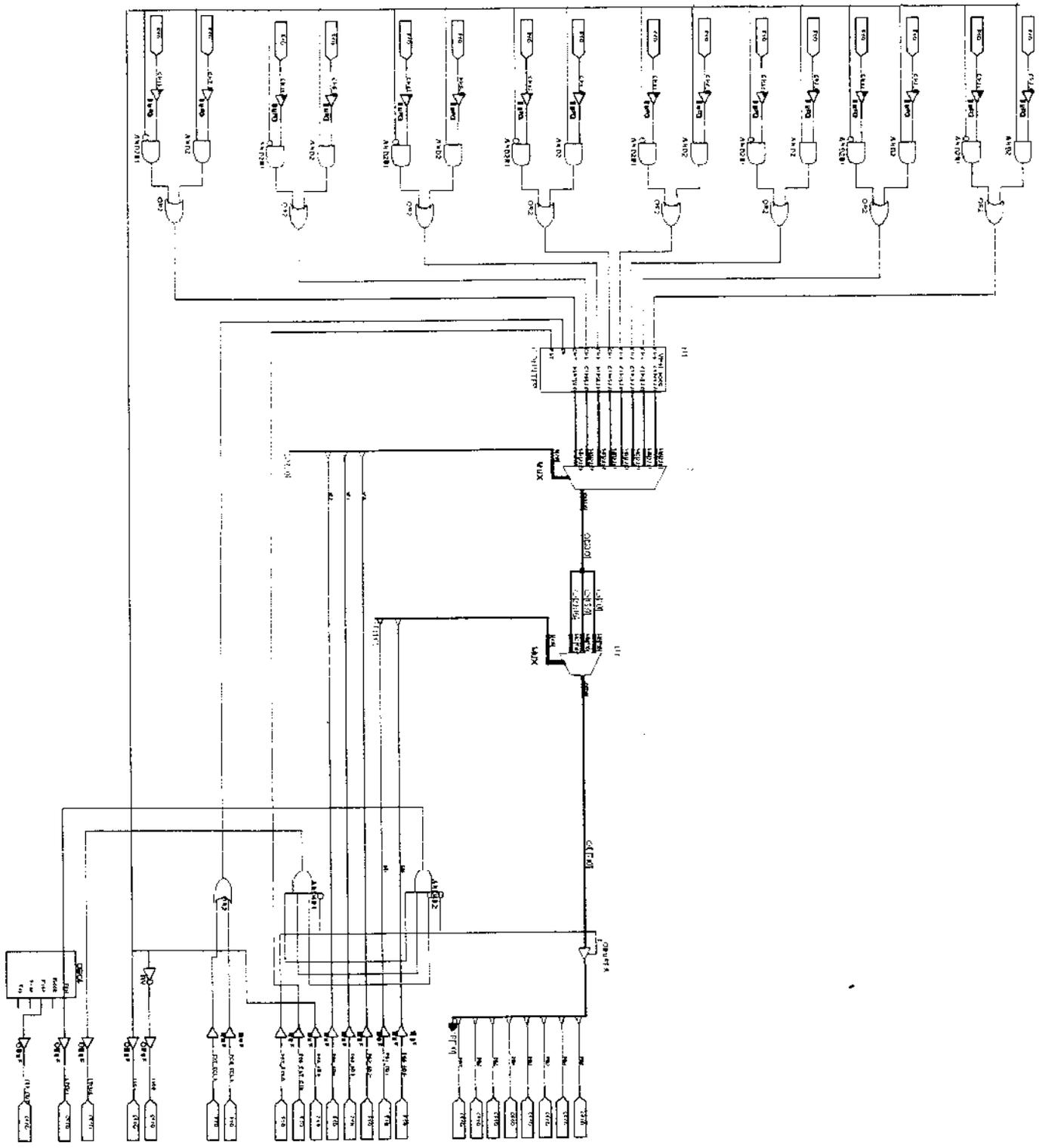


Figura D1 – Circuito correspondente ao código VHDL



Port A (Input)

Port B (Output)

“FEET – Sistema de Caracterização e Teste de
Eletrônica de
Aquisições de Sinal dos Detectores de
Múons MWPC do
LHCb”

Rafael Antunes Nóbrega

Tese apresentada no Centro Brasileiro de
Pesquisas Físicas, fazendo parte da Banca
examinadora os seguintes Professores:

Geraldo Roberto Carvalho Cernicchiaro – Presidente/CBPF

Miriam Gandelman- UFRJ

Ignácio Alfonso de Bediaga e Hickman – CBPF

Suplente: Ademariaudo França Barbosa – CBPF